

**YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**GENEL AMAÇLI BİR YAPAY SİNİR AĞININ
KARMA BİR DONANIMLA GERÇEKLENMESİ**

Elektronik ve Haberleşme Yük. Müh. Burcu ERKMEN

**FBE Elektronik ve Haberleşme Anabilim Dalı Elektronik Programında
Hazırlanan**

DOKTORA TEZİ

Tez Savunma Tarihi : 03 Ekim 2007

Tez Danışmanı : Prof. Dr. Tülay YILDIRIM (YTÜ)

Jüri Üyeleri : Prof. Dr. Atilla ATAMAN (YTÜ)

: Prof. Dr. Herman SEDEF (YTÜ)

: Prof. Dr. Günhan DÜNDAR (BÜ)

: Doç. Dr. Serdar ÖZOĞUZ (İTÜ)

İSTANBUL, 2007

İÇİNDEKİLER

	Sayfa
SİMGE LİSTESİ	iv
KISALTMA LİSTESİ	v
ŞEKİL LİSTESİ	vi
ÇİZELGE LİSTESİ	viii
ÖNSÖZ	ix
ÖZET	x
ABSTRACT	xi
1. GİRİŞ	1
2. CSFNN AĞ YAPISI VE AĞIN SINIFLANDIRMA PERFORMANSI	7
2.1 Konik Kesit Fonksiyonlarının Teorisi	9
2.2 Konik Kesit Fonksiyonlu Sinir Ağları	12
2.3 CSFNN Ağının Eğitimi	15
2.4 CSFNN Ağının Sınıflandırma Performansı	17
3. CSFNN AĞI TÜMDEVRESİNİN ALT BİLEŞENLERİ	19
3.1 Tümdevrenin İşlem Birimleri	19
3.1.1 Sayısal İşlem Birimi	20
3.1.1.1 EEPROM Hafıza Bloğu	20
3.1.1.2 Algı Yükselteci Devresi	24
3.1.1.3 Kod Çözücü Devreleri	26
3.1.1.4 Ağ Bağlantılarını Düzenleyen Dijital Kontrol Bloğu	30
3.1.2 Analog İşlem Birimi	32
3.1.2.1 Çarpma Devresi	32
3.1.2.2 Kare Alıcı Devre	35
3.1.2.3 Karekök Alıcı Devre	37
3.1.2.4 Sigmoid Fonksiyon Üretici Devresi	40
3.1.2.5 Aynı ve Zıt Yönlü Akım Aynalama Devreleri	43
3.1.3 Karma İşaret İşleyen Donanımlar	47
3.1.3.1 Sayısalan Analoga Dönüştürücü Devreleri	47
3.1.3.2 Anahtar Devreleri	52
3.2 Nöron Tasarımı	52
3.2.1 CSFNN Nöronu ile Karar Sınırı Eldesi	54
4. CSFNN TÜMDEVRESİNİN SINIFLANDIRMA PERFORMANSI	57
4.1 Tümdevreye Uygulanan Veri Kümeleri	57

4.1.1	İris Bitkisi Sınıflandırma Problemi.....	57
4.1.2	İmza Tanıma Problemi	58
4.2	Girişlerin Ağa Sunumu	60
4.2.1	Yazılım Ortamında Girişlerin Ağa Sunumu	60
4.2.2	Donanım Ortamında Girişlerin Ağa Sunumu	61
4.3	Yazılım ve Donanım Ortamlarında Ağ Çıkışlarının Eldesi.....	62
4.4	Döngü-içi-Yonga Tekniği ile Tümdevrenin Eğitimi	62
4.5	Tümdevrenin Sınıflandırma Başarımı	64
4.6	Yazılım ve Donanım Sonuçlarının Karşılaştırılması.....	64
5.	TÜMDEVRENİN SERİMİ	66
5.1	Serim Teknikleri	66
6.	TÜMDEVRENİN ÇALIŞMA DURUMLARI ve TEKNİK ÖZELLİKLERİ	70
6.1	Tümdevrenin Çalışma Durumları	70
6.1.1	Hafızanın Silinmesi	71
6.1.2	Hafızanın Programlanması	72
6.1.3	Hafızadan Bilgi Okunması	73
6.2	Tümdevrenin Teknik Özellikleri	74
7.	SONUÇLAR.....	76
	KAYNAKLAR.....	79
	İNTERNET KAYNAKLARI.....	83
	EKLER.....	84
Ek 1	MOSIS-AMIS 0.5µ Proses ve Model Parametreleri	85
Ek 2	MOSIS-AMIS 0.5µ Teknolojik Spesifikasyonları	88
Ek 3	Analog Alt Devrelerin Transistör Boyutları (W / L).....	89
Ek 4	İris Sınıflama Probleminin Eğitim ve Test İşlemindeki Performansı.....	90
Ek 5	İmza Tanıma Probleminin Eğitim ve Test İşlemindeki Performansı	92
Ek 6	Tümdevrede Yer Alan Analog ve Sayısal Alt Devrelerin Serimleri	98
Ek 7	Tümdevrede Yer Alan Analog Devrelerin Serim Sonrası Simülasyon Sonuçları.....	105
Ek 8	Tümdevrede Yer Alan Analog Devrelerin Parametrik Saçılım Eğrileri	111
	ÖZGEÇMİŞ.....	114
	Tez Konusu ile İlgili Yapılan Yayınlar	115

SİMGE LİSTESİ

w	Ağırlık değeri
c	Merkez değeri
ω	Açı değeri
x	Ağın giriş vektörü
$f(.)$	Aktivasyon fonksiyonu
$f'(.)$	Aktivasyon fonksiyonun türevi
C_{ox}	Birim alan başına düşen oksit kapasitesi
W	Transistör kanal genişliği
L	Transistör kanal uzunluğu
δ	Yerel eğim hesabı
γ	Öğrenme oranı
α	Momentum sabiti
V_T	Transistörün eşik gerilimi
e	Koninin dış merkezliği
R	Direnç
C	Kapasitör
V_{fg}	Yüzen geçit transistördeki saklanan yükün oluşturduğu eşik kayma gerilimi
I/O	Giriş/Çıkış
V_{dd}	Besleme Gerilimi
GND	Toprak

KISALTMA LİSTESİ

ADC	Analog to Digital Converter
CMOS	Complementary Metal Oxide Semiconductor
CSFNN	Conic Section Function Neural Network
DAC	Digital to Analog Converter
DC	Direct Current
DIP	Dual In-line Package
DNL	Differential Non-Linearity
DSP	Digital Signal Processing
EEPROM	Electrically Erasable Programmable Read Only Memory
FG	Floating Gate
FGMOS	Floating Gate Metal Oxide Semiconductor
FPGA	Field Programmable Gate Array
FPNA	Field Programmable Neural Array
GCPS	Giga Connection Per Second
HDL	Hardware Description Language
INL	Integral Non-Linearity
LSB	Least Significant Bit
MCPS	Mega Connection Per Second
MLP	Multilayer Perceptron
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
PCA	Principle Component Analysis
PGA	Pin Grid Array
RBF	Radial Basis Function
SOIC	Small Outline Integrated Circuit
VHDL	Very High Speed Integrated Circuit Hardware Description Language
VLSI	Very Large Scale Integrated Circuit
YSA	Yapay Sinir Ağları

ŞEKİL LİSTESİ

Şekil 2.1 MLP ağ mimarisi.....	8
Şekil 2.2 RBF ağ mimarisi	9
Şekil 2.3 MLP ve RBF ağı tarafından elde edilen karar sınırları	9
Şekil 2.4 Koni ile düzlemin kesişimiyle oluşan konik kesit düzlemler.....	10
Şekil 2.5 Polar koordinat sisteminde konik kesit eğrileri.....	10
Şekil 2.6 Düzlemin koniyi tepe noktasından kestiğinde oluşan eğriler.....	11
Şekil 2.7 CSFNN ağ mimarisi	12
Şekil 2.8 MLP nöronu ile elde edilen karar sınırlarının değişimi	13
Şekil 2.9 RBF nöronu ile elde edilen karar sınırlarının değişimi	14
Şekil 2.10 CSFNN nöronu ile elde edilen karar sınırlarının değişimi.....	14
Şekil 3.1 CSFNN tümdevresinin ana blok diyagramı	19
Şekil 3.2 FG transistörün sembolik gösterimi	21
Şekil 3.3 FG transistörün kesit görünüşü	21
Şekil 3.4 Hafıza hücresinin seriminin sembolik gösterimi.....	21
Şekil 3.5 Hafıza hücresinin seriminin SPICE eşdeğeri	21
Şekil 3.6 FG transistörün akım gerilim eğrisi	22
Şekil 3.7 Hafıza hücresinin serimi.....	24
Şekil 3.8 Hafıza hücresine bağlı algı yükselteci devresi	25
Şekil 3.9 Eşik kayması ile algı yükselteci devresinin çıkış geriliminin değişimi	25
Şekil 3.10 4 x 9 Kod çözücünün blok diyagramı	26
Şekil 3.11 4 x 9 Kod çözücü devresi	27
Şekil 3.12 Adres kod çözücülerin hafıza blokları ile gösterimi	28
Şekil 3.13 EEPROM hafıza hücrelerinin tek tek programlanması.....	29
Şekil 3.14 1 x 2 çoğullayıcı devresi.....	30
Şekil 3.15 3 x 8 kodlayıcı devresinin doğruluk tablosu	31
Şekil 3.16 Ağ bağlantılarını düzenleyen sayısal kontrol bloğu.....	31
Şekil 3.17 Çarpma devresinin sembolik gösterimi.....	32
Şekil 3.18 Çarpma devresi.....	33
Şekil 3.19 Çarpma devresinin DC analiz sonucu-I	34
Şekil 3.20 Çarpma devresinin DC analiz sonucu-II	35
Şekil 3.21 $I_y = 0$ için çarpıcı devresinin hata dağılım grafiği	35
Şekil 3.22 Kare alıcı devresinin sembolik gösterimi.....	36
Şekil 3.23 Kare alıcı devre	36
Şekil 3.24 Kare alıcı devresinin DC analiz sonucu	37
Şekil 3.25 Kare alıcı devresinin hata dağılım grafiği	37
Şekil 3.26 Karekök alıcı devresinin sembolik gösterimi	38
Şekil 3.27 Karekök alıcı devre	38
Şekil 3.28 Karekök alıcı devrenin DC analiz sonucu.....	39
Şekil 3.29 Karekök alıcı devrenin hata dağılım grafiği.....	40
Şekil 3.30 Sigmoid fonksiyon üretici devresinin sembolik gösterimi	40
Şekil 3.31 Sigmoid fonksiyon üretici devresi.....	41
Şekil 3.32 Sigmoid fonksiyon üretici devresinin DC analiz sonucu	42
Şekil 3.33 Sigmoid fonksiyon üretici devresinin hata dağılım grafiği	43
Şekil 3.34 Aynı ve zıt yönlü akım aynalama devreleri.....	44
Şekil 3.35 Aynı ve zıt yönlü akım aynalama devrelerinin DC analiz sonuçları.....	45
Şekil 3.36 Aynı ve zıt yönlü akım aynalama devrelerinin hata değişim grafikleri	46
Şekil 3.37 İşaret bitinin dahil olduğu 8+1 DAC devresi	49
Şekil 3.38 8 bitlik DAC devresi	49
Şekil 3.39 DAC devresinin merdiven tipi çıkış karakteristiği.....	50

Şekil 3.40 DNL Eğrisi	51
Şekil 3.41 INL Eğrisi.....	51
Şekil 3.42 CMOS geçiş transistörleri ile anahtar devresi	52
Şekil 3.43 CMOS geçiş transistörünün iletim ve kesim durumu	52
Şekil 3.44 Gizli katmandaki j. nöronunda yapılan işlemlerin sembolik gösterimi.....	53
Şekil 3.45 Çıkış katmanındaki k. nöronunda yapılan işlemlerin sembolik gösterimi	53
Şekil 3.46 2-4-2 CSFNN ağının sembolik gösterimi.....	54
Şekil 3.47 CSFNN nöronu ile elde edilen düzlemsel karar sınırı.....	55
Şekil 3.48 CSFNN nöronu ile elde edilen dairesel karar sınırı	56
Şekil 3.49 CSFNN nöronu ile elde edilen farklı karar sınırlarının değişimleri.....	56
Şekil 4.1 İris bitkisi problemi için tasarlanan CSFNN ağ yapısı.....	57
Şekil 4.2 İmza Tanıma Problemi için tasarlanan CSFNN ağ yapısı.....	59
Şekil 4.3 Döngü-içi-yonga tekniği ile eğitim işleminin sembolik gösterimi.....	63
Şekil 5.1 Ortak merkezli simetride serim örnekleri.....	67
Şekil 5.2 NMOS kaskod akım aynası devresinin ortak merkezli simetrik serim.....	67
Şekil 5.3 Tümdevrede yer alan kapasite ve direnç elemanlarının serimleri	68
Şekil 6.1 CSFNN tümdevresinin dış bağlantı uçları	70
Şekil 6.2 Tümdevrenin silinme durumu bağlantısı.....	72
Şekil 6.3 Tümdevrenin programlanma durumu bağlantısı	73
Şekil 6.4 Tümdevrenin çalışma durumu bağlantısı	74

ÇİZELGE LİSTESİ

Çizelge 3.1 FG transistörün Terminallerine Uygulanması Gereken Gerilim Seviyeleri.....	23
Çizelge 3.2 EEPROM hafıza hücresinin girişlerine uygulanması gereken gerilim seviyeleri.	25
Çizelge 3.3 Farklı çözünürlükler için ağın performansı	47
Çizelge 4.1 Yazılım ve donanım ortamında iris probleminin sınıflandırılma performansı.....	65
Çizelge 4.2 Yazılım ve donanım ortamında imza veri kümesinin sınıflandırılma performansı	65
Çizelge 4.3 Döngü-içi-yonga tekniği ile herbir iterasyonda eğitim başarımının değişimi.....	65
Çizelge 6.1 Tasarlanan tümdevre teknik özelliklerinin karşılaştırmalı gösterimi	75

ÖNSÖZ

Araştırmacılar uzun yıllardır yapay sinir ağlarının mimarisini, öğrenme algoritmalarını geliştirmeye yönelik çalışmalarda bulunmuşlar ve yazılım ortamında geliştirdikleri modelleri, donanım ortamında uygulamaya sunmuşlardır. Yapay sinir ağlarının, donanım ortamındaki paralel gerçeklemeleri ile hızlı bilgi işleme kabiliyetine sahip tümdevreler tasarlanmıştır. Bu tezde, öğrenme ve genelleme yeteneğine sahip genel amaçlı bir yapay sinir ağının karma bir donanım ile tümdevresi tasarlanmıştır. Ağa uygulanan veri kümesine bağlı olarak karar sınırlarının tümdevre üzerinde ayarlanabilmesi ve tümdevrenin probleme özgü olmayan, genel amaçlı tasarımı tümdevreye işlevsellik kazandırmıştır.

Çalışmalarım sırasında ve tezi hazırlama sürecinde sahip olduğu bilgi birikimi ve tecrübesi ile beni doğru bir şekilde yönlendirip ve bana her koşulda manevi destek olan çok değerli hocam Prof. Dr. Tülay YILDIRIM'a, tez izleme sürecinde ve tezin şekillenmesinde öneri ve destekleri ile teze anlam katan, kendi konularında uzman değerli hocalarım Prof. Dr. Atilla ATAMAN'a ve Prof. Dr. Günhan DÜNDAR'a teşekkürlerimi sunarım.

Hayatımın her alanında yanımda olduğunu bildiğim, desteği ve sevgisi ile manevi olarak beni güçlü kılan çok değerli eşim sevgili Burçin ERKMEN'e, tez yazım sürecini hızlandıran ve varolan mutluluğumuza mutluluk katan, varlığını her an içimde hissettiğim sevgili yavrumuza, yetişmemde emeği geçen, sevgi ve desteklerini her zaman yüreğimde hissettiğim ve ömür boyu hissedeceğim çok değerli annem Sevim KAPANOĞLU'na, çok değerli babam İbrahim KAPANOĞLU'na ve sevgili ablam Elif ÇELİK'e, manevi desteklerini benden hiçbir zaman esirgemeyen sevgili kayınvalidem Semra ERKMEN'e ve sevgili kayınpederim Yalçın ERKMEN'e teşekkürlerimi sunarım .

Hayatımda çok önemli yere sahip olan değerli arkadaşlarım, Revna ACAR VURAL, Nihan KAHRAMAN ve Nilgün DURSUNOĞLU'na, çalışmam sırasında yardımlarını esirgemeyen Yrd. Doç. Dr. Mutlu AVCI'ya ve eğitimim sırasında emeği geçen tüm hocalarıma teşekkürlerimi bir borç bilirim.

Ayrıca çalışmaları hala devam etmekte olan 104E133 nolu proje nedeniyle TÜBİTAK'ın bize sağladığı finansal desteği sayesinde elde ettiğimiz program ve teçhizatın, tezin oluşmasında büyük katkısı bulunmuştur. Finansal desteklerinden dolayı TÜBİTAK kurumuna teşekkürlerimi sunarım.

ÖZET

Yapay sinir ağıları, insan beyninin çalışma sisteminin yapay olarak benzetimi çalışmalarının bir sonucu olarak ortaya çıkmıştır. Üstün işlem yeteneğine sahip sinir hücrelerinin çalışma prensibini matematiksel olarak ifade eden yapay sinir ağıları, biyolojik nöronun avantajlarını yazılım ve donanım ortamında bilim ve teknolojinin hizmetine sunmaktadır. Beyin, günümüz sayısal bilgisayarlarından farklı olarak, yoğun paralel bir yapıya sahip olması nedeniyle hızlı işlem yapabilme kabiliyetine sahiptir. Yapay sinir ağı modellerinin bilgisayar ortamında gerçekleştirilen benzetimleri uzun hesaplama zamanı gerektirdiğinden, bu durum büyük boyutlu ağların davranışlarını gözlemlemeyi zorlaştırmaktadır. Yoğun paralel işlem yapabilen mikroelettronik ve çok geniş ölçekli tümleşik devre (VLSI) teknolojisinin gelişimi, birçok bilim adamı ile yapay sinir ağı araştırmacıları tarafından araştırmaların odağını oluşturmuştur. Çok sayıda yapay sinir hücresi modelinin, ağ topolojisinin ve öğrenme algoritmasının farklı donanım teknikleriyle tümdevre üzerinde tasarımına yönelik çalışmalar yapılmıştır.

Bu çalışmada, veri uzayının dağılımına bağlı olarak otomatik karar sınırları oluşturabilen genel amaçlı bir yapay sinir ağının tümdevre halinde tasarımı gerçekleştirilmiştir. Tümdevresi tasarlanan Konik Kesit Fonksiyonlu Sinir Ağları (CSFNN), Çok Katmanlı Algılayıcıların (MLP) ve Radyal Tabanlı Fonksiyon Ağlarının (RBF) yayılım kurallarını tek bir ağda kendine özgü bir yayılım kuralı ile birleştirmektedir. MLP'nin hiperdüzlemsel ve RBF'in hiperküresel karar sınırları CSFNN ağının özel durumlarını oluştururlar. Bu karar sınırlarının dışında, hiperbolik, parabolik ve eliptik düzlemler gibi arada kalan karar sınırları da CSFNN ağı ile oluşturulabilmektedir. Açık ve kapalı karar bölgeleri oluşturabilen CSFNN ağı, veri dağılımına bağlı olarak lokal ve global haritalama işlemini tek başına gerçekleştirebilmektedir. CSFNN ağının bu yeteneği tasarlanan tümdevreye kazandırılmıştır. Karma bir donanım ile tasarlanan tümdevrede, ağın ileri yönlü işlemlerinde akım modlu analog devreler kullanılmıştır. Eğitim işleminde döngü-içi-yonga tekniği kullanılarak tümdevrenin sınıflandırma performansı artırılmıştır.

Genel amaçlı olarak tasarlanan tümdevrede, CSFNN ağının boyutlarının kullanıcı tarafından ayarlanabilmesine imkan sağlanmıştır. Programlanabilme yeteneğine sahip CSFNN ağının tümdevresi, tümdevreye farklı problemlerin uygulanmasına imkan sağlayan bir esneklik kazandırmıştır. Tümdevrenin sınıflandırma performansı iris bitkisi sınıflama ve imza tanıma problemleri ile sınanmıştır. Tümdevrenin simülasyonları, serimi ve serim sonrası benzetimleri AMIS 0.5µm model parametreleri ile tasarım kuralları kullanılarak Cadence tasarım aracında gerçekleştirilmiştir. Çevre sıcaklığı ve besleme geriliminin değişiminin devre performansı üzerindeki etkisini gözlemlemek üzere parametrik saçılım eğrileri elde edilmiştir.

Anahtar kelimeler. Konik kesit fonksiyonlu sinir ağıları, karma donanım, yapay sinir ağı tümdevreleri, döngü-içi-yonga eğitim tekniği

ABSTRACT

Artificial Neural Networks came on the scene as a result of the studies on artificial simulation of the human brain's working system. Artificial Neural Networks, that can mathematically signify the working principle of neurons with superior operation capability, are presenting the advantages of biological neurons to the service of science and technology in software and hardware platform. The human brain, differently from today's digital computers, has the capability of high speed processing as it has a dense parallel structure. Artificial neural network models require a lot of computing time to be simulated on a computer resulting a great difficulty to investigate the behavior of the large networks. Development of advanced microelectronic and Very Large Scale Integration (VLSI) technology for massively parallel processing paradigms has been the main focus of active research by many scientists and neural network researchers. Studies on circuitry designing of a number of artificial neuron models, network topologies and learning algorithms have been done with different hardware techniques.

In this study, the designed integrated circuitry of a general purposed artificial neural network, which is capable of making automatic decision boundaries depending on the data distribution, is realized. Designed circuitry of Conic Section Function Neural Networks (CSFNN) combine the propagation rules of Radial Basis Functions (RBF) and Multilayer Perceptrons (MLP) on a single neural network with a unique propagation rule. Hyperplanar decision boundaries of MLP and hyperspherical decision boundaries of MLP are special cases of CSFNN. Except from these decision boundaries, intermediate types of decision boundaries such as hyperbolic, parabolic and elliptic planes can be obtained with CSFNN. CSFNN, capable of making open and closed decision regions, realizes the local and global mapping alone, depending on the data distribution. This ability of CSFNN is gained on designed integrated circuit. In the integrated circuitry, designed by mixed mode hardware techniques, feed forward processing of neural network is realised with current mode analog circuitry. Classification performance of the integrated circuit has been increased by using Chip-in-the-loop learning technique during the training process.

In general purposed designed integrated circuit, user is allowed to adjust the size of the CSFNN. Programmability of the integrated circuitry of CSFNN, provide flexibility to be applicable in different problems. The classification performance of integrated circuitry is tested with iris plant classification and signature recognition problems. The simulations, the layout of integrated circuitry and post simulations have been realized at Cadence design tool using AMIS 0.5 μ m model parameters and design rules. Parameter variation curves have been obtained in order to investigate the effects of changing environment temperature and power supply voltage on circuit performance.

Keywords. Conic section function neural network, mixed-mode hardware, neural network integrated circuits, chip-in-the-loop training technique.

1. GİRİŞ

Biyolojik sinir sistemlerinden ilham alınarak geliştirilen Yapay Sinir Ağları (YSA), biyolojik sinir hücrelerinin çalışma prensibini matematiksel olarak modellemeye çalışan bilgi işleme tekniğidir. Beyin, sıkışık olarak ara bağlaşımlı, paralel, lineer olmayan ve bağlantı yapılarını organize edebilen milyarlarca (yaklaşık olarak 100 milyar) nöron hücresinden oluşmakta ve her eleman kendi aralarında çok sayıda nörona (eleman başına yaklaşık olarak 10^4 bağlantı) bağlanmaktadır. Beynin bu karmaşık yapısı ile günümüz yüksek işlem hızlarına sahip sayısal bilgisayarları, insan beyninin veri işleme performansına yaklaşmamaktadır. Beynin öğrenme, genelleme gibi fonksiyonları, benzetim yolu ile yapay sinir ağlarına kazandırılmıştır. Yapay sinir ağlarının temel yapısı, beyne, sıradan bir bilgisayarınkinden daha çok benzemektedir. Yine de birimleri gerçek nöronlar kadar karmaşık değil ve ağların çoğunun yapısı, beyin kabuğundaki bağlantılarla karşılaştırıldığında büyük ölçüde basit kalmaktadır. Yapay sinir ağları, genelleştirme ve öğrenebilme yeteneği sayesinde kesin kurallarla gösterimi zor olan ve formüle edilemeyen bilgileri yüksek başarımla işleyebilmektedir. Ayrıca yapay sinir ağlarının hataya karşı toleranslı yapısı sayesinde eksik veya bozulmuş bilgiler işlenebilmektedir. Yapay sinir ağları bu özellikleri ile geleneksel yapay zeka algoritmaları ve istatistiksel modellere göre çok karmaşık problemleri çözebilme yeteneğine sahiptir. Bu nedenle araştırmacılar uzun yıllardır yapay sinir ağlarının mimarisini, öğrenme algoritmalarını geliştirmeye yönelik çalışmalarda bulunmuşlar ve geliştirdikleri modellerin yazılım ve donanım ortamında kullanımını sağlamışlardır. Yazılım ortamında geliştirdikleri modelleri ve öğrenme algoritmalarını sınıflama, fonksiyon yaklaştırma, tahminde bulunma, patern tanıma ve optimizasyon gibi pekçok bilim dalına katkı sağlayan uygulamalarda kullanmışlardır.

Yapay sinir ağlarına yönelik ilk çalışma, 1943 yılında McCulloch ve Pitts (McCulloch ve Pitts, 1943)'in oluşturduğu basit lojik fonksiyonları gerçekleştiren matematiksel model ile başlamıştır. Ardından farklı mimari ve öğrenme yapısına sahip farklı ağlar geliştirilmiştir. Bu ağlardan Çok Katmanlı Algılayıcılar (Werbos, 1974; Rumelhart vd., 1986) ve Radyal Tabanlı Fonksiyon Ağları (Broomhead ve Lowe, 1988; Moody ve Darken, 1989) sınıflandırma ve fonksiyon yaklaştırma gibi pratik uygulamalarda, literatürde oldukça yaygın olarak yer almaktadır. RBF'de lokal haritalama söz konusudur yani yalnızca algılama bölgelerinin yakınlarında bulunan giriş değerleri saklı katmanların uyarılmasını sağlayabilir. Çok katmanlı algılayıcılarda ise global haritalama söz konusu olup, tüm girişler çıkışı etkiler (Haykin, 1994). Her iki ağın avantajlı olduğu yönlerini tek bir ağda birleştirmek ve ağın bütün halinde performansını arttırmak üzere karma modeller üzerine çalışmalar olmuştur (Chaiyaratana ve

Zalzala, 1998). Dorffner (Dorffner, 1994) tarafından 1994 yılında önerilen Konik Kesit Fonksiyonlu Sinir Ağları (CSFNN) literatürde varolan karma uygulamalara farklı bir yaklaşım getirerek MLP ve RBF ağlarının yayılım kurallarını tek bir ağda kendine özgü yayılım kuralı ile birleştirmiştir. Bu yapı RBF ve MLP ağlarının avantajlı yönlerini kendi bünyesinde barındırmaktadır. Veri uzayının dağılımına bağlı olarak otomatik karar sınırlarını oluşturan bu ağda, MLP'nin düzlemsel ve RBF'in dairesel karar sınırları, tasarımı hedeflenen yapay sinir ağının özel durumlarını oluşturmaktadır. Ağın girişine uygulanan veri kümesinin dağılımına göre karar sınırları n boyutta hiperdüzlem ve hiperküre arasında elips, hiperbol, parabol şeklinde değişebilmektedir. Ağın karar sınırlarının veri kümesinin dağılımına göre değişimi sınıflamada büyük esneklik sağlamaktadır.

Yapay sinir ağlarını geliştirmeye yönelik çalışmalar sadece yazılım ortamında kalmamış, aynı zamanda biyolojik nöronun üstün işlem yeteneklerinin donanım ortamında da gerçekleşmesi yönünde çalışmalar yapılmıştır. Beyin, günümüz sayısal bilgisayarlarından farklı olarak, yoğun paralel bir yapıya sahip olması nedeniyle hızlı işlem yapabilme ve eksik verileri tamamlayabilme kabiliyetine sahiptir. Beynin basitleştirilmiş bir modeli olan yapay sinir ağlarındaki paralellik, öğrenebilme, formülize edilemeyen karmaşık verileri doğrulukla işleme kabiliyeti ve çağrışım yapabilme yeteneği gibi fonksiyonların, çok geniş ölçekli entegre devre (VLSI) teknolojisinin gelişmesi ile silikon yongalar üzerinde gerçekleşmesi mümkün hale gelmiştir. Yapay sinir ağlarının hataya karşı toleranslı yapısı, donanım gerçeklemelerindeki doğruluk eksikliğini kompanze edebilmektedir. Paralellik, hız, kompakt bir yapıya sahip olmak gibi nitelikler YSA'nın donanım gerçeklemeleriyle sağlanmaktadır (Sheu ve Choi, 1995). 1989 yılında Carver Mead'in yayınladığı "Analog VLSI and Neural Systems" isimli kitabıyla (Mead, 1989) birlikte yapay sinir ağlarının donanımı üzerine çalışmalar yoğunluk kazanmıştır. Ancak YSA'nın yazılım ortamında elde edilen esneklik, matematik işlem kabiliyetinin üstünlüğü gibi yetkinliklere donanım gerçeklemelerinin getirdiği kısıtlamalar nedeniyle tam olarak ulaşılamamaktadır (Beiu 1996).

Yapay sinir ağlarının donanım gerçeklemeleri, literatürde uygulama amacına ve kullanılan teknolojiye bağlı olarak çeşitlilik göstermektedir. Literatürde varolan nöral tümdevre yapıları genel olarak uygulamaya özgü özel amaçlı tümdevre yapıları ile genel amaçlı tümdevre yapıları olarak sınıflandırılmaktadır. Belirli bir yapay sinir ağı mimarisi ve algoritmasına uygun tasarlanan tümdevreler dışında standart işlemciler üzerinde de yapay sinir ağı topolojileri sentezlenebilmektedir. FPGA, DSP, mikroişlemci, mikrodenetleyici gibi standart işlemcilerin kullanımı, üretim maliyeti açısından daha ekonomik ve üretim süreci açısından

daha hızlıdır.

Uygulamaya özgü özel amaçlı tümdevreler, tasarımı hedeflenen yapay sinir ağı mimarisinin ağ topolojisine, yayılım algoritmasına uygun olarak çözünürlük, hız ve bellek gibi ihtiyaçları karşılayacak şekilde üretilmişlerdir. Uygulamaya özgü tasarlanan nöral tümdevreler, belirli bir ağ yapısına ve uygulamaya göre tasarlandığından, sınırlı büyüklüklere sahip olup böyle bir tümdevrenin başka bir uygulama için kullanımı uygun değildir (Leong ve Jabri, 1995). Genel amaçlı tümdevreler bu kısıtlamayı en aza indirmek amacıyla tasarlanmaktadır. Tümdevre tasarımında getirilen esnekliğe göre giriş-çıkış sayısının, gizli katman sayısının, gizli katmanda kullanılan nöron sayısının, aktivasyon fonksiyonu tipinin, uygulanan topolojiye ve probleme uygun ayarlanabilmesi, farklı problemlerin tümdevre üzerinde uygulanabilirliğine imkan sağlamaktadır (Montalvo vd., 1997). Kullanıcı, tümdevre dışından ağın ayarlanabilir büyüklüklerini programlayabilmektedir. Bahsi geçen nöral tümdevrelerin dışında nörobilgisayarlar, kişisel standart bilgisayarların nöral işlem kabiliyetini geliştirmek amacıyla tasarlanmış donanımlar, ek hızlandırıcı kartlar yapay sinir ağı donanımlarını oluşturmaktadır. Literatürde mevcut, en yaygın yapay sinir ağı donanımları Avcı'nın (2005) çalışmasında bir bütün halinde incelenmiştir.

Nöral tümdevreler genel veya özel amaçlı olması açısından farklılık göstermesi dışında, uygulanan yapay sinir ağı mimarisine, analog sayısal veya karma tasarlanmış olmasına, VLSI tasarım tekniği ve teknolojisine, eğiticili veya eğitici-siz öğrenme kuralına sahip olmasına, aktivasyon fonksiyonu tipine, ağırlık veya bias değerlerinin tümdevre üzerinde veya harici saklanıyor olmasına, tümdevre üzerinde saklanan ağırlık ve bias değerlerinin analog veya sayısal olarak saklanıyor olmasına, eğitim işleminin tümdevre üzerinde veya harici olarak gerçekleştirilmesine, öğrenme sürecinde kullanılan algoritmaya, çalışma ve veri transfer hızına, çalışma aralığına, çözünürlüğe bağlı olarak literatürde çeşitlilik göstermektedir (Aybay, 1996)

VLSI tasarımda tamamen analog (Geske vd., 2003; Valle vd., 1992) veya tamamen sayısal (Watanabe vd., 1993; Ayala vd., 2002) tasarım teknikleri kullanıldığı gibi karma (Schmid vd., 1999; Waheed ve Salam, 2001; Sackinger vd., 1992) donanımların da kullanıldığı tümdevreler mevcuttur. Analog tasarım teknikleri kullanılarak küçük boyutlu, düşük güç tüketimine sahip hızlı tümdevreler üretilebilmektedir (Cauwenberghs ve Bayoumi 1999). Fakat analog devreler gürültüden kolayca etkilenebilmekte ve devre içinde ideal olmayan etkiler ile yüksek doğruluğa ve kesinliğe sahip çıkışlar elde edilememektedir. Fakat daha önce

de açıklandığı gibi, yapay sinir ağlarının hataya karşı toleranslı yapısı, analog gerçeklemelerindeki doğruluk eksikliğini büyük ölçüde kompanze edebilmektedir. Sayısal tasarımların gürültü bağışıklığının iyi olmasından dolayı, yüksek doğruluğa ve kesinliğe sahip çıkışlar üretilebilmektedir. Ayrıca sayısal tasarım tekniklerinden, donanım tanımlama dilleri (HDL) kullanılarak gerçekleştirilen sayısal bir tasarım, FPGA (Field Programmable Gate Array) yongalarına kolayca aktarılabilen ve hızlı prototipler üretilebilmektedir. Verilog (Prasanna vd., 2005) ve VHDL (Reaz vd. 2002) donanım tanımlama dilleri kullanılarak tasarlanan yapay sinir ağları da literatürde yer almaktadır. FPGA yongalarını temel alarak tasarlanan FPNA (Field Programmable Neural Array) mimarisi kullanılarak kompleks neural yapıları gerçeklemek mümkün olabilmektedir (Girau, 2000).

Gürültüye bağışıklığı ve tasarım kolaylığı gibi avantajlarının yanında, sayısal yapı blokları ile bir fonksiyonu gerçekleştirmek analog devrelere göre çok daha fazla sayıda transistör gerektirmektedir. Yapılan çalışmalarda genelde analog ve digital tasarım tekniklerinin olumlu özelliklerini bir arada kullanan karma tümdevrelerin tasarımı yer almaktadır.

Literatürde yeralan yapay sinir ağı tümdevrelerini öğrenme işleminin gerçekleştiği yere bağlı olarak da incelemek mümkündür. Eğitim işlemi tasarlanan tümdevre dışında bir işlemci yardımıyla, yazılım ortamında yapıldığı gibi (off-chip) (Alibeik, 1995), tamamen tümdevre üzerinde de (on chip) gerçekleştirilebilmektedir (Berg vd., 1996; Schmid vd., 1999; Girau, 2001) Bu tümdevre eğitim tekniklerinin dışında, literatürde yeralan döngü içi yonga (chip in the loop) tekniğinde ise eğitim sürecindeki ileri yönlü hesaplama tümdevre üzerinde, geriye yayılım algoritması ayrı bir işlemci üzerinde gerçekleştirilmektedir (Bo vd., 1996).

Yapay sinir ağlarının VLSI gerçeklemelerinde, sinaptik ağırlıkların saklandığı hafıza biriminin tasarımında analog ve/veya sayısal teknikler kullanılmaktadır. Ağırlıkların analog olarak kapasiteler üzerinde saklanması sızıntı akımlarından dolayı güvenilir değildir. Sayısal hafıza birimleri kullanılarak (Masa vd., 1994) ağırlıkların saklanması, hafıza bloklarının tasarımı için gerekli silikon alanı büyük olmakla birlikte karma donanıma sahip tümdevrelerde sayısal hafıza hücreleri ile analog işlem blokları arasında Sayısal-Analog dönüştürücülere (DAC) ihtiyaç duyulmaktadır. Hafıza birimlerinin tasarımında bir diğer yöntem ise uçucu olmayan belleklerdir. Uçucu olmayan bellekler, uzun süreli veri saklama işleminde güvenilir bir yöntemdir. Yüzen kapılar (floating gate) üzerinde veriler analog (Harrison vd., 1998) veya sayısal (Avcı, 2005) olarak saklanabilmektedir.

Bu çalışmada, veri uzayının dağılımına bağlı olarak otomatik karar sınırları oluşturan bir

konik kesit fonksiyonlu yapay sinir ağı'nın tümdevre halinde tasarımı gerçekleştirilmiştir. Literatürde MLP (Hikawa 1995; Lu vd., 2001) ve RBF (Yang ve Paindavoine, 2003; Maffezzoni ve Gubian, 1994) ağlarının tümdevre halinde tasarımı yaygın olarak yer almaktadır. Bu ağların yayılım kurallarını, kendi bünyesinde birleştiren, lokal ve global haritalama işlemini tek başına yapabilen CSFNN ağı'nın günümüz teknolojisine uygun, karma donanım ile tasarlanan tümdevresi literatürde mevcut değildir. Ancak CSFNN ağı'nın, tümüyle analog (Yıldırım, 1997) ve tümüyle sayısal (Esmaelzadeh vd., 2004) teknikler ile tasarımı literatürde yer almaktadır.

CSFNN ağı'nın, özellikle görüntü gibi büyük boyutlu eğitim kümelerinin sınıflandırılmasındaki başarımı oldukça yüksektir. Bu nedenle tasarlanan tümdevre, farklı problemlerin sınıflandırılmasında kullanılmak üzere genel amaçlı olarak tasarlanmıştır. Tümdevre üzerinde sentezlenen ağ topolojisi, uygulanacak sınıflama probleminin boyut gereksinimlerine göre tümdevre dışından programlanabilmektedir. Tümdevrenin tasarımında karma tasarım teknikleri kullanılmıştır. Ağı'nın serbest parametre değerleri, tümdevredeki sayısal hafıza bloğunda saklanmakta, ağı'nın ileri yönlü hesaplamaları ise analog işlem biriminde gerçekleştirilmektedir. Bellek birimi, uçucu olmayan EEPROM hafıza hücrelerinden oluşmaktadır. Ağı'nın ileri yönlü hesaplamaları, akım modlu analog alt devreler kullanılarak gerçekleştirilmiştir. Analog ve sayısal işlem birimleri arasında DAC devrelerinden yararlanılmıştır. Hafıza üzerinde saklanan 8bit çözünürlüğe sahip ağı'nın serbest parametre değerleri, DAC devreleri ile analog işlem birimine aktarılmakta, çalışma süresince bu değer sabit kalmaktadır. Tümdevresi tasarlanan ağı'nın eğitiminde, döngü-ichi-yonga tekniği kullanılmıştır. Tümdevrenin simülasyonları, serimi ve serim sonrası benzetimleri 0.5µm CMOS AMIS-MOSIS proses parametreleri ve tasarım kuralları ile Cadence tasarım aracında gerçekleştirilmiştir. Tümdevrenin serimi, optimal ve düzenli bir yapı elde etmek amacıyla tam özel tasarım yöntemi (Full-Custom Design) ile manuel olarak tasarlanmıştır. Ayrıca çevresel etkilere bağlı olarak besleme gerilimi ve sıcaklık değişimlerinin tümdevre üzerindeki etkilerini incelemek üzere parametrik saçılım eğrileri oluşturulmuştur. Tümdevrenin sınıflandırma performansı, literatürde yaygın olarak kullanılan iris bitkisi sınıflandırma problemi ve büyük ağ boyutuna sahip bir görüntü tanıma problemi ile sınanmıştır.

CSFNN ağı'nın teorisi ve literatürde yer alan farklı problemler için ağı'nın sınıflandırma performansı ikinci bölümde incelenmiştir. Üçüncü bölümde CSFNN ağı tümdevresini oluşturan alt devrelerin yapılarına, çalışma prensiplerine ve benzetim sonuçlarına yer verilmiştir. CSFNN ağı tümdevresine uygulanan farklı veri kümeleri için tümdevrenin

sınıflandırma başarımı Bölüm 4’te analiz edilmiştir. Tümdevreyi oluşturan alt devrelerin seriminden, serim sonrası simülasyonlarından ve parametrik saçılım eğrilerinden Bölüm 5’te bahsedilmiştir. Ayrıca bu bölümde tümdevrenin tasarımıda uygulanan analog ve sayısal serim teknikleri hakkında bilgi verilmiştir. Tamamlanan tümdevrenin, programlanma ve çalışma durumları ile dış bağlantı uçları altıncı kısımda verilmiştir. Sonuçlar kısmında ise tasarlanan tümdevrenin ileriki hedeflerine değinilmiş, tümdevrenin çalışma performansı, gerekliliği ve önemi yorumlanmıştır.

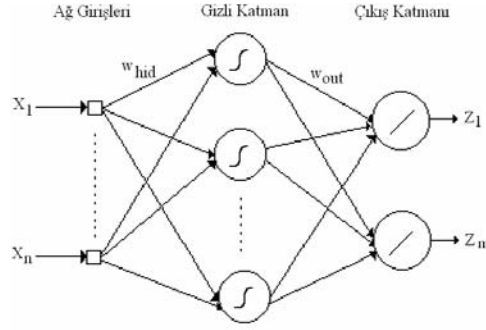
2. CSFNN AĞ YAPISI VE AĞIN SINIFLANDIRMA PERFORMANSI

Dorffner (Dorffner, 1994) tarafından 1994 yılında önerilen Konik Kesit Fonksiyonlu Sinir Ağları, MLP ve RBF ağlarının yayılım kurallarını tek bir ağda kendine özgü yayılım kuralı ile birleştirmektedir. CSFNN ağı, yapısı itibariyle MLP ve RBF ağlarının niteliklerini kendi bünyesinde barındırmaktadır. Bu nedenle CSFNN ağının teorisi ve yapısı hakkında bilgi verilmeden önce MLP ve RBF ağlarının yapısı ve özellikleri genel hatlarıyla açıklanacaktır.

İleri beslemeli, lineer olmayan bir yapıya sahip olan MLP ve RBF ağları, görüntü tanıma, sınıflandırma, sistem modelleme, fonksiyon yaklaştırma, kaotik zaman serilerinin tahmini gibi uygulamalarda yaygın olarak kullanılmaktadır. MLP ağında gizli katman sayısı ve gizli katmandaki nöron sayısı ağa uygulanacak probleme göre değişebilmektedir. Gizli katmanda ve çıkış katmanında ağırlıklı toplam işlemi gerçekleştirilir. Çıkış katmanında ağa uygulanan probleme bağlı olarak lineer veya lineer olmayan aktivasyon fonksiyonu kullanılır. Gizli katmanda aktivasyon fonksiyonu olarak genelde sürekli, türevi alınabilir sigmoid fonksiyonu veya hiperbolik tanjant fonksiyonu kullanılır. Doğrusal olmayan problemlerin çözümünde kullanılan bu fonksiyonlar, türevi kendisi cinsinden ifade edilebildiğinden dönüşüm işlemlerinin analitik kontrolünü kolaylaştırmaktadır (Haykin, 1994).

$$\varphi(v) = \tanh\left(\frac{v}{2}\right) = \frac{1 - \exp(-v)}{1 + \exp(-v)} \quad (2.1)$$

[-1,1] çıkış aralığında tanımlı sigmoid tipi hiperbolik tanjant fonksiyonunun eşitliği (2.1)'de tanımlanmıştır. Burada v , nöronlardaki ağırlıklı toplam işleminin sonucu olan net çıktıyı ifade eder. Lokal olmayan aktivasyon fonksiyonuna sahip MLP, n boyutlu giriş uzayının sonsuz bir kısmını hiperdüzlemler ile ayırır. Ağın eğitiminde, genelde eğim düşümü (gradient descent) yöntemine dayanan geriye yayılım algoritması kullanılır. Eğim düşme yöntemine göre, hatanın türevinin negatif yönünde ağırlıklar güncellenir (Haykin, 1994). Geriye yayılım algoritması ile hata sinyali katmanlardan geriye doğru yayılır. İteratif olarak ağ üzerindeki tüm ağırlık değerleri hatayı minimuma indirecek şekilde güncellenir. MLP ağında eğitim sırasında uyarlanan parametreler gizli katmana ve çıkış katmanına bağlı ağırlıklardır. Tek gizli katmandan oluşan MLP ağ mimarisi Şekil 2.1'de verilmiştir.

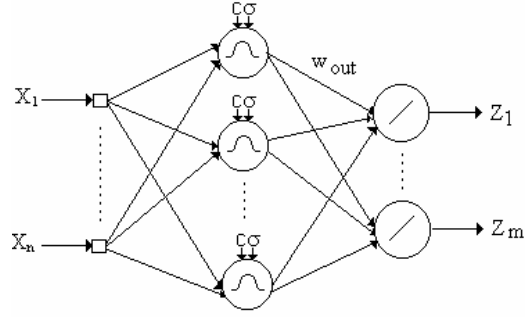


Şekil 2.1 MLP Ağ Mimarisi

Radyal tabanlı fonksiyon ağları, çok boyutlu uzayda eğri uydurma yaklaşımıdır. Eğri uydurma teorisi, herhangi bir çok değişkenli ve sürekli $f(x)$ fonksiyonunu yaklaştırma ya da interpolate etme problemi ile ilgilidir. Tek gizli katmandan oluşan RBF ağında, gizli katmanda bulunan nöronlar radyal tabanlı fonksiyonlardan oluşmaktadır. RBF ağında, giriş katmanından orta katmana dönüşüm, radyal tabanlı aktivasyon fonksiyonları ile doğrusal olmayan sabit bir dönüşümdür. Orta katmandan çıkış katmanına ise doğrusal bir dönüşüm gerçekleştirilir.

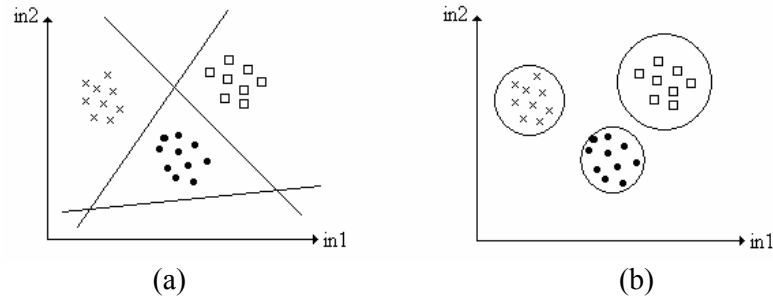
$$\phi(\|x - c\|) = \exp\left(-\frac{\|x - c\|^2}{2\sigma^2}\right) \quad (2.2)$$

Gizli katman aktivasyon fonksiyonu genellikle, (2.2)'de ifade edildiği gibi standart öklid uzaklıklarını üstel fonksiyondan geçiren Gauss fonksiyonudur. Bu eşitlikte yer alan x , c , σ sırasıyla ağın giriş vektörlerini, merkez vektörlerini ve gauss fonksiyonunun genişliğini ifade eder. Lokal aktivasyon fonksiyonuna sahip RBF, n boyutlu giriş uzayını hiperkürelere ayırır. Ağın eğitiminde uyarlanabilecek serbest parametreler; merkez vektörleri, gauss fonksiyonunun genişliği ve çıkış katman ağırlıklarıdır. Çıkış katmanına bağlı ağırlıkların uyarlanmasında genelde eğim düşme yöntemi kullanılır. Merkez değerleri, girişler arasından rastgele ve sabit olarak seçilebilmekle birlikte RBF'in performansını iyileştirmek amacıyla merkez vektörlerinin ve genişliğin uyarlanması için çeşitli yöntemler geliştirilmiştir. Merkez vektörleri, eğim düşme yöntemi kullanılarak veya kendiliğinden düzenlemeli eğiticiyiz öğrenme yöntemiyle giriş örneklerinden öbekleme yapılarak ta uyarlanabilir. RBF ağ mimarisi Şekil 2.2'de verilmiştir.



Şekil 2.2 RBF Ağ Mimarisi

Örnek bir problem için 2 boyutlu uzayda MLP ağı ve RBF ağı tarafından elde edilen karar sınırları sırasıyla Şekil 2.3a ve Şekil 2.3b’de verilmiştir.

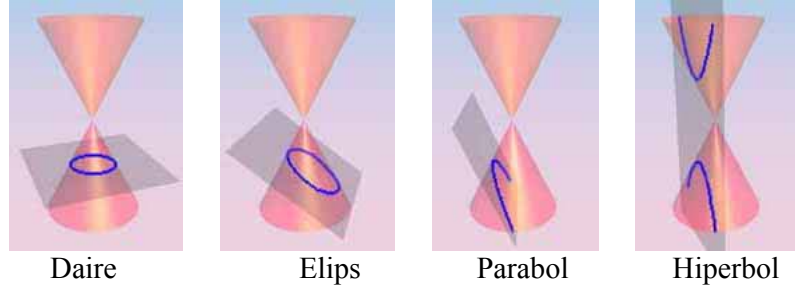


Şekil 2.3 MLP ve RBF ağı tarafından elde edilen karar sınırları

Ağa uygulanacak veri uzayının dağılımı, açık karar sınırlarına sahip MLP ağının ve kapalı karar sınırlarına sahip RBF ağının o problem için performansını belirler. Diğer bir deyişle, karar eğrilerinin değişimi, sınıflandırma performansını doğrudan etkilemektedir. CSFNN ağları veri uzayının dağılımına ve verilen problemin karmaşıklığına bağlı olarak otomatik karar sınırları oluşturmaktadır. MLP’nin düzlemsel karar sınırları ve RBF’in dairesel karar sınırları CSFNN ağının özel durumlarını oluşturmaktadır. Karar sınırlarının veri uzayının dağılımına göre değişimi sınıflamadaki performansı arttırmaktadır.

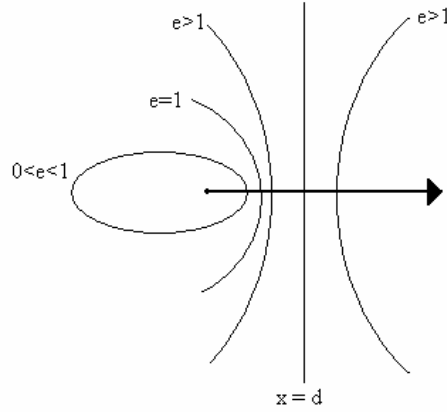
1.1 Konik Kesit Fonksiyonlarının Teorisi

Konik kesitler, tabanı daire olan koni ile düzlemin farklı açılar ile kesiştirilmesi sonucu elde edilir. Konik kesitlere 3 boyutlu yaklaşım, üçüncü yüzyılda yaşamış bir Yunanlı olan Perga’lı Apollonius’a kadar uzanır. Koni ile düzlemin farklı açılarda kesiştirilmesi ile iki boyutlu giriş uzayı için adlandırılan daire, elips, parabol ve hiperbol gibi düzlemler (Şekil 2.4) oluşmaktadır.



Şekil 2.4 Koni ile düzlemin kesişimiyle oluşan konik kesit düzlemler [1]

Konik kesitler, bir düzlemde sabit bir noktaya (odak) olan mesafeleri ile bir doğruya (doğrultman) olan mesafelerinin oranlarının birbirine eşit olduğu noktaların yer eğrisidir. Eğrinin şekli bu oran ile belirlenir. Bu oran koninin dış merkezliği olarak adlandırılır [1]. Polar koordinat sisteminde konik kesit eğrileri Şekil 2.5'te verilmiştir.



Şekil 2.5 Polar koordinat sisteminde konik kesit eğrileri

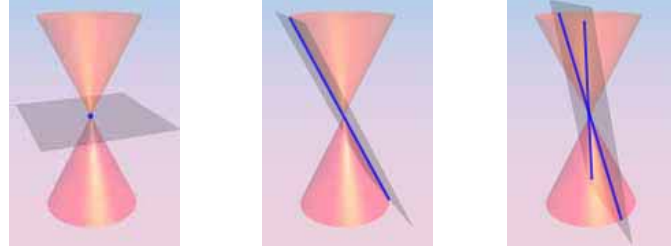
Polar koordinat sisteminde (elips, parabol ve hiperbol) konik kesitler aşağıdaki eşitlik ile ifade edilir.

$$r = \frac{e \cdot d}{1 + e \cdot \cos \theta} \quad (2.3)$$

Burada d odak ile doğrultman arasındaki mesafedir. Dışmerkezliğin aldığı çeşitli değerler için (2.3) eşitliği farklı düzlemler belirler (Downs,2003). Eşitlik $e > 0$ için tanımlıdır.

- $0 < e < 1$ ise, eşitlik bir elips belirler.
- $e = 1$ ise, eşitlik bir parabol belirler.
- $e > 1$ ise, eşitlik bir hiperbol belirler.

$e = 0$ ifadesi elips düzleminin özel bir durumunu oluşturan daireyi belirler. Bu düzlemlerle birlikte, düzlem koniyi tepe noktasından kestiğinde, nokta, doğru veya paralel olmayan iki doğru gibi eğriler oluşur (Şekil 2.6).



Nokta

Doğru

Paralel olmayan iki doğru

Şekil 2.6 Düzlemin koniyi tepe noktasından kestiğinde oluşan eğriler [1]

Bir koni ile düzlemin kesişimiyle ortaya çıkan eşitlikler CSFNN ağlarının yayılım kuralını belirlemektedir. Analitik olarak koni aşağıdaki eşitlik ile tanımlanabilir.

$$(\vec{x} - \vec{v}) \cdot \vec{a} = \cos \omega \|\vec{x} - \vec{v}\| \quad (2.4)$$

Eşitlikte, x koni üzerindeki herhangi bir noktayı, 2ω koninin tepe açısını ifade etmektedir. Tepe açısı, $[-\pi/2, \pi/2]$ aralığında bir değer olabilir. v koninin tepe noktasını ve a da koninin eksenini tanımlayan birim vektördür. Koninin tepe açısının farklı değerleri için farklı düzlemler elde edilir. Bu düzlemler CSFNN ağının karar sınırlarını oluşturur.

$$(x_1 - v_1) \cdot a_1 + (x_2 - v_2) \cdot a_2 = \cos \omega \cdot \sqrt{(x_1 - v_1)^2 + (x_2 - v_2)^2} \quad (2.5)$$

(2.4) eşitliğinde, nokta ve vektörlerin koordinatları iki-boyutlu uzay için $\vec{x} = (x_1, x_2)$, $\vec{v} = (v_1, v_2)$, $\vec{a} = (a_1, a_2)$ vektörel olarak tanımlanırsa, (2.5) elde edilir. (2.5) eşitliği, n -boyutlu giriş uzayı için genel ifadeyle aşağıdaki eşitlikteki gibi yazılabilir.

$$\sum_{i=1}^n (x_i - v_{ij}) a_{ij} = \cos \omega \sqrt{\sum_{i=1}^n (x_i - v_{ij})^2} \quad (2.6)$$

Eşitliğin bu şekli n -boyutlu giriş uzayı için hiperkoni ve hiperdüzlem arasındaki kesişimi ifade etmektedir. Koninin tepe noktası koordinatı olan v yerine daire merkezi c kullanılabilir. Çünkü x noktası ve v arasındaki mesafe, 2ω ile verilen koninin tepe açısı 90° olduğunda dairenin yarı çapına eşittir. (2.6) eşitliğinin sağ tarafını sol tarafından çıkarırsak, aşağıda

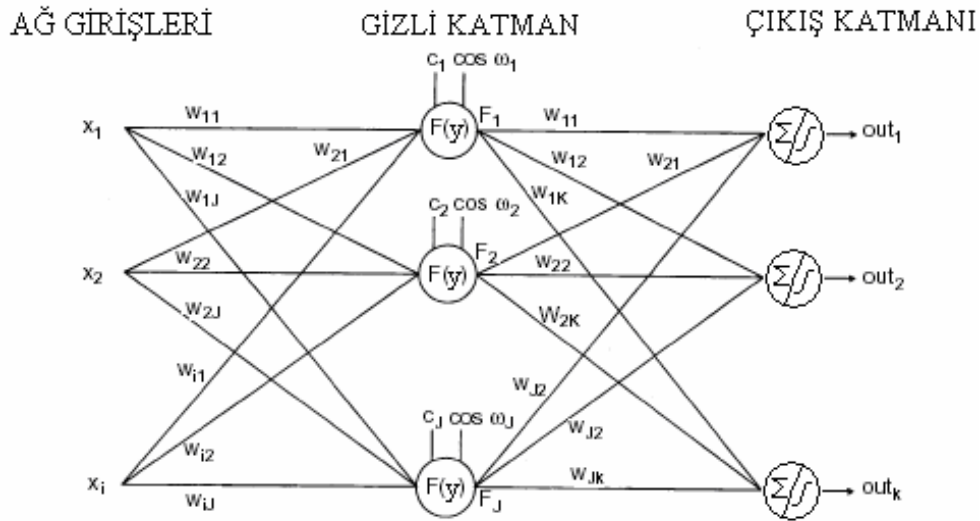
verilen CSFNN ağıının yayılım kuralı elde edilir (Dorffner,1994).

$$y = \sum_{i=1}^n (x_i - v_{ij}) a_{ij} - \cos \omega \sqrt{\sum_{i=1}^n (x_i - v_{ij})^2} \quad (2.7)$$

Burada a_{ij} giriş katmanı ile gizli katman arasındaki her bir bağlantının ağırlığına (w_{ij}) karşılık gelir. v_{ij} bir RBF ağındaki merkez koordinatlarına (c_{ij}) karşılık gelir. i ve j indisleri ise sırasıyla giriş ve gizli katmanlardaki nöronlara karşılık gelir.

1.2 Konik Kesit Fonksiyonlu Sinir Ağları

Tabanı daire olan koni ile düzlemin belirli açılarla kesişmesiyle ortaya çıkan düzlemlerin analitik eşitlikleri CSFNN ağıının gizli nöronlarının yayılım kuralını belirlemektedir. CSFNN ağ mimarisi Şekil 2.7’de gösterilmiştir.



Şekil 2.7 CSFNN ağ mimarisi

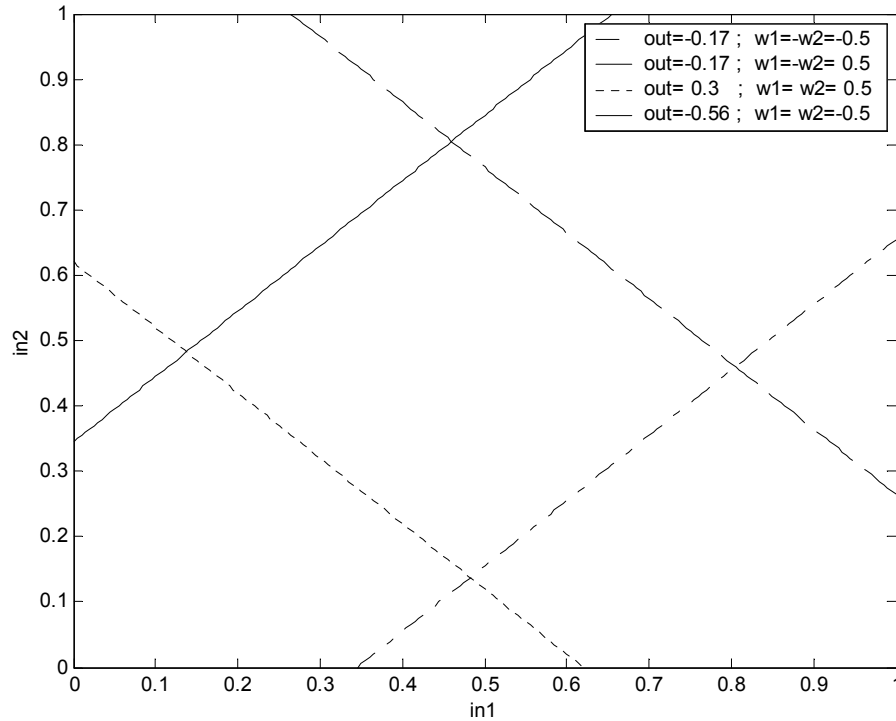
CSFNN ağıında gizli katman ile çıkış katmanında yer alan nöronlardaki hesaplamalar farklılık göstermektedir. Çıkış katmanındaki nöronlarda, ağırlıklı toplam işlemi yapılmaktadır. Gizli katmandaki nöronlarda ise CSFNN ağıının yayılım kuralını belirleyen hesaplamalar yapılmaktadır. Aşağıdaki eşitlik n boyutlu giriş uzayı için tanımlıdır.

$$u_j^p(x) = \sum_{i=1}^n (x_i^p - c_{ij}) w_{ij} - \cos \omega_j \sqrt{\sum_{i=1}^n (x_i^p - c_{ij})^2} \quad (2.8)$$

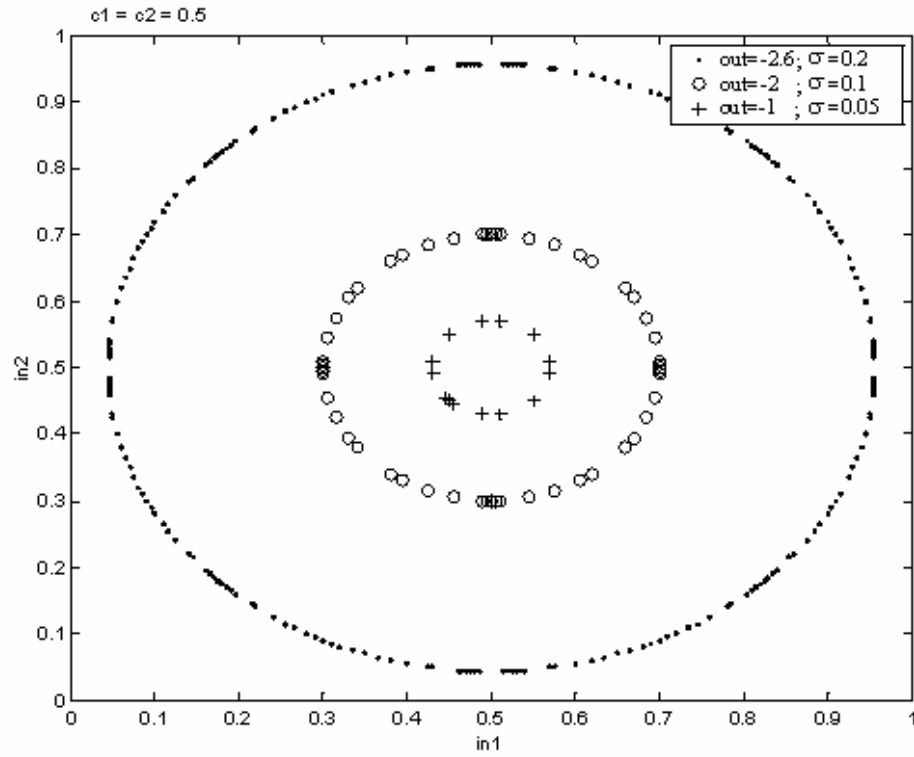
CSFNN ağıının gizli nöronlarında aktivasyon fonksiyonu olarak genelde türevi kendisi cinsinden ifade edilen sigmoid tipi hiperbolik tanjant fonksiyonu kullanılmaktadır.

$$f_j^p(x) = \frac{2}{1 + e^{-2 \cdot u_j^p}} - 1 \quad (2.9)$$

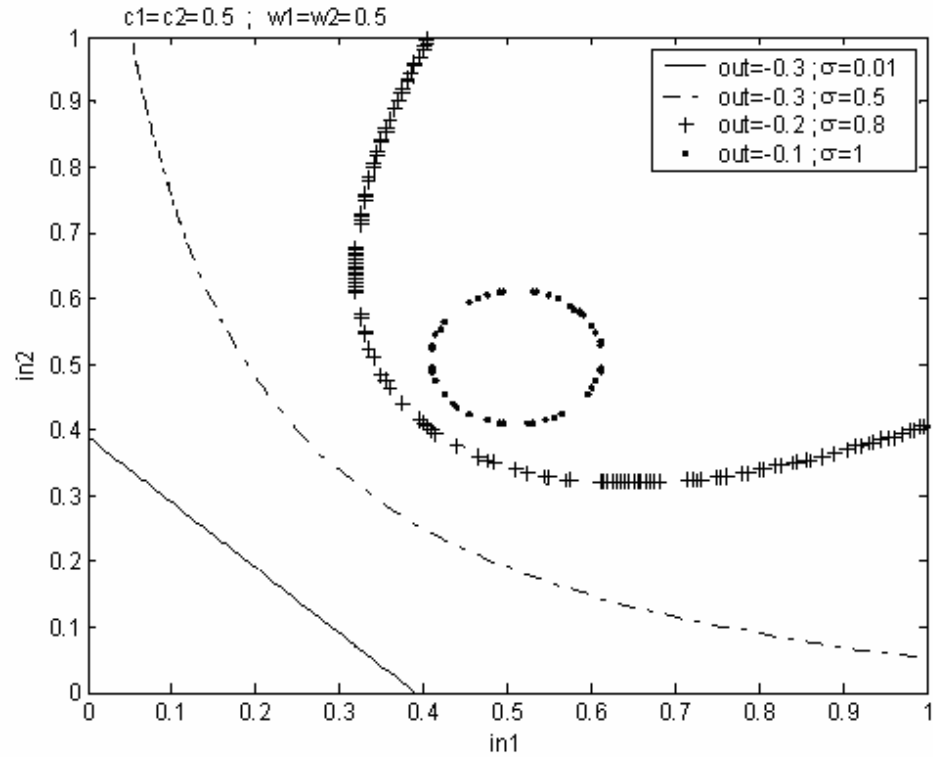
(2.8) eşitliğinde yer alan x_i^p , ağa uygulanan p . örnek için giriş vektörünü; w_{ij} , giriş katmanı ile gizli katman arasındaki ağırlık matrisini, c_{ij} , j . gizli nöron için merkez vektörünü; ω_j , j . gizli nöron için açılım açısını ifade etmektedir. Ayrıca i ve j indisleri ise sırasıyla giriş ve gizli katmandaki nöronları ifade etmektedir. Eşitlik, RBF ve MLP ağlarının yayılım kurallarını kendi bünyesinde büyük ölçüde barındırmaktadır. (2.8) eşitliğinin birinci kısmında, ağırlıklı toplama işlemi yapılmakta, ikinci kısmında ise öklid uzaklığı hesaplanmaktadır. Eşitlikte yer alan açılım açısının ω_j değişimi ile ağın karar sınırları hiperdüzlem ile hiperküre arasında değişmekte, açının değerine göre eliptik, parabolik ve hiperbolik düzlemler de oluşmaktadır. Daha önce de ifade edildiği gibi, hiperdüzlem ve hiperküre sırasıyla MLP ve RBF'in karar sınırlarını oluşturmaktadır. Şekil 2.8 ve Şekil 2.9'da iki boyutlu düzlemde Matlab kullanılarak MLP nöronu ve RBF nöronu ile oluşturulan karar sınırlarının değişimi verilmiştir. Şekil 2.10'da ise CSFNN ağı kullanılarak elde edilen karar sınırlarının değişimi verilmiştir. İki boyutlu uzayda çizgisel (MLP), dairesel (RBF), parabolik, hiperbolik ve eliptik karar sınırları tek CSFNN ağı ile elde edilmiştir.



Şekil 2.8 MLP nöronu ile elde edilen karar sınırlarının değişimi



Şekil 2.9 RBF nöronu ile elde edilen karar sınırlarının değişimi



Şekil 2.10 CSFNN nöronu ile elde edilen karar sınırlarının değişimi

1.3 CSFNN Ağınnın Eğitimi

CSFNN ağınnın eğitimindeki amaç, hata fonksiyonunu minimize edecek şekilde ağ üzerindeki serbest parametre değerlerini güncellemektir. Böylece ağ, kendisine gösterilen örneklerden genellemeler yaparak çözüm uzayı üretmektedir. CSFNN ağında eğitim sürecinde güncellenmesi istenen serbest parametre değerleri, ağırlık, merkez ve açıdır. Ağınnın eğitiminde, eğim düşümü yöntemine dayanan geriye yayılım algoritması kullanılmıştır. Bu yöntem ile güncellenmesi istenen serbest parametrelere göre hatanın türevinin negatif yönünde bu parametre değerleri güncellenir. Geriye yayılım algoritması ile ağ üzerindeki tüm serbest parametreler iteratif olarak güncellenmektedir. Veri uyarlamalı olarak gerçekleştirilen eğitim işleminde, eğitim kümesi içindeki herbir örneğin ağa sunulmasının ardından güncelleme işlemi yapılmaktadır. Eğitim süreci, ağ üzerindeki serbest parametrelerin başlangıç değerlerine atanması ile başlamakta, hata değerinin kabul edilebilir minimum değerine gelinceye kadar iteratif olarak devam etmektedir. Eğitim kümesindeki örneklerin ağa sunulması ile ağ üzerinde ileri yönlü hesaplamalar yapılır, (2.10), (2.11), (2.12) ve (2.13) ifadeleri ile ağın çıkışı elde edilir. Ağa uygulanan herbir örnek için karesel hata değeri hesaplanır. Eğim düşme yöntemine göre ağın serbest parametre değerlerinin değişim miktarı, karesel hatanın serbest parametrelere göre türevi cinsinden elde edilir.

CSFNN ağın ileri yönlü hesaplamaları;

$$u_j = \sum_{i=1}^n (x_i - c_{ij}) \cdot w_{ij} - \cos \omega_j \cdot \sqrt{\sum_{i=1}^n (x_i - c_{ij})^2} \quad (2.10)$$

$$a_j = f(u_j) \quad (2.11)$$

$$u_k = \sum_{j=1}^m a_j w_{jk} \quad (2.12)$$

$$a_k = f(u_k) \quad (2.13)$$

Burada a_j ve a_k sırasıyla, gizli katmanının ve çıkış katmanının çıkışını; $f(\cdot)$, sigmoid fonksiyonunu; n ve m , giriş ve gizli katmandaki nöron sayısını ifade etmektedir.

Ağın toplam karesel hatası ;

$$E^p = \frac{1}{2} \sum_{k=1}^r (d_k^p - a_k^p)^2 \quad (2.14)$$

Ağın toplam karesel hatası, ağa uygulanan p . örnek için elde edilmiştir. Burada d , p . örnek için hedef değeri; r , çıkış katmanındaki nöron sayısını ifade eder.

Ağın yerel eğim hesabı (local gradient) aşağıdaki eşitliklerde verilmiştir.

$$\delta_k = -\frac{\partial E}{\partial u_k} = (d_k - a_k) \cdot f'(u_k) \quad (2.15)$$

$$\delta_j = -\frac{\partial E}{\partial u_j} = f'(u_j) \cdot \sum_{k=1}^r (\delta_k \cdot w_{jk}) \quad (2.16)$$

Burada δ_k, δ_j sırasıyla çıkış ile gizli katman için hesaplanan lokal gradient değerini ifade etmektedir. $f'(\cdot)$ aktivasyon fonksiyonu olarak seçilen sigmoid fonksiyonunun türevini ifade eder. Sigmoid fonksiyonun türevi, fonksiyonun kendisi tarafından ifade edilmektedir. Ağ üzerinde, güncellenecek serbest parametre değerlerine göre hatanın negatifi yönünde, zincir kuralı ile türev alınmaktadır. Eğitim sırasında, herbir örnek değerın ağa sunumunun ardından, ağırlık, açı, merkez değerlerinin değişim miktarı aşağıdaki eşitliklerde verilmiştir.

Çıkış katmanına bağlı ağırlıkların güncellenmesi;

$$\Delta w_{jk} = -\gamma \cdot \frac{\partial E}{\partial w_{jk}} = \gamma \cdot \delta_k \cdot a_j \quad (2.17)$$

Gizli katmana bağlı ağırlıkların güncellenmesi:

$$\Delta w_{ij} = -\gamma \cdot \frac{\partial E}{\partial w_{ij}} = \gamma \cdot \delta_j \cdot (x_i - c_{ij}) \quad (2.18)$$

Gizli katmandaki merkezlerin güncellenmesi:

$$\Delta c_{ij} = -\gamma \cdot \frac{\partial E}{\partial c_{ij}} = \gamma \cdot \left[-w_{ij} + \cos(\omega_j) \cdot \frac{x_i - c_{ij}}{\|x_i - c_{ij}\|} \right] \quad (2.19)$$

Gizli katmandaki açı değerlerin güncellenmesi:

$$\Delta \omega_{ij} = -\gamma \cdot \frac{\partial E}{\partial \omega_{ij}} = \gamma \cdot \delta_j \cdot \sin(\omega_j) \cdot \|x_i - c_{ij}\| \quad (2.20)$$

Eşitliklerde yeralan γ , öğrenme oranını ifade eder. Öğrenme oranı, ağırlıkların değişim miktarını ve optimuma yakınsama hızını belirleyen bir katsayıdır. Öğrenme oranı büyük seçildiğinde, ağırlıkların değişiminde yerel çözümler arasında osilasyon yapması söz konusu olup, ağ hatanın minimuma yakınsayacağı ağırlık değerine hiçbir zaman ulaşamaz. Öğrenme oranı küçük seçildiğinde ise öğrenme oldukça yavaş olur. Hem öğrenme sürecini hızlandırmak hem de osilasyonu önlemek amacıyla güncelleme eşitliklerine momentum terimi α eklenir. Momentum terimi ile bir önceki ağırlıkların değişim etkisi güncelleme işleminde hesaba katılır.

$$\Delta w(t+1) = -\gamma \cdot \frac{\partial E}{\partial w} + \alpha \cdot \Delta w(t) \quad (2.21)$$

Ağ üzerinde bulunan ağırlık, açı ve merkez değerleri güncelleme sırasında değişen parametrelerdir. Bu serbest parametrelere, eğitimin başlangıcında atanan değerler ağın performansını doğrudan etkilemektedir. Bu nedenle bu parametrelerin başlangıç değerleri oldukça önemlidir. Yazılımı gerçekleştirilen CSFNN ağında gizli katmana ve çıkış katmanına bağlı ağırlık değerleri başlangıçta $[-0.5, 0.5]$ değerleri arasında kalacak şekilde rastgele atanmıştır. Gizli katmanda bulunan merkez değerleri eğitim kümesindeki tüm sınıfları temsil edecek şekilde rastgele seçilmiştir. Ağın merkez seçiminde kullanılan bir diğer yöntem ise k-ortalama kümeleme algoritmasıdır. Gizli katmanda yeralan diğer serbest parametre de açılım açısıdır. Açılım açısının başlangıç değeri karar düzleminin tipini tayin eder. Açının değeri eğitim süresince $[-\pi/2, \pi/2]$ arasında değişmektedir. Başlangıçta açı değeri $\pi/2$ olduğunda, CSFNN ağı, MLP ağındaki düzlemsel karar sınırına sahip olmaktadır. Eğitim devam ettikçe karar düzlemi hiperbolik, parabolik veya eliptik düzleme dönmektedir. Başlangıçta açı değeri $\pi/4$ olduğunda ise, CSFNN ağı, RBF ağındaki dairesel karar sınırına sahiptir. Eğitim devam ettikçe karar düzlemi eliptik, parabolik, hiperbolik düzleme dönmektedir. Bu dönüşüm eğitim sırasında, veri uzayının dağılımına bağlı olarak gerçekleşmektedir.

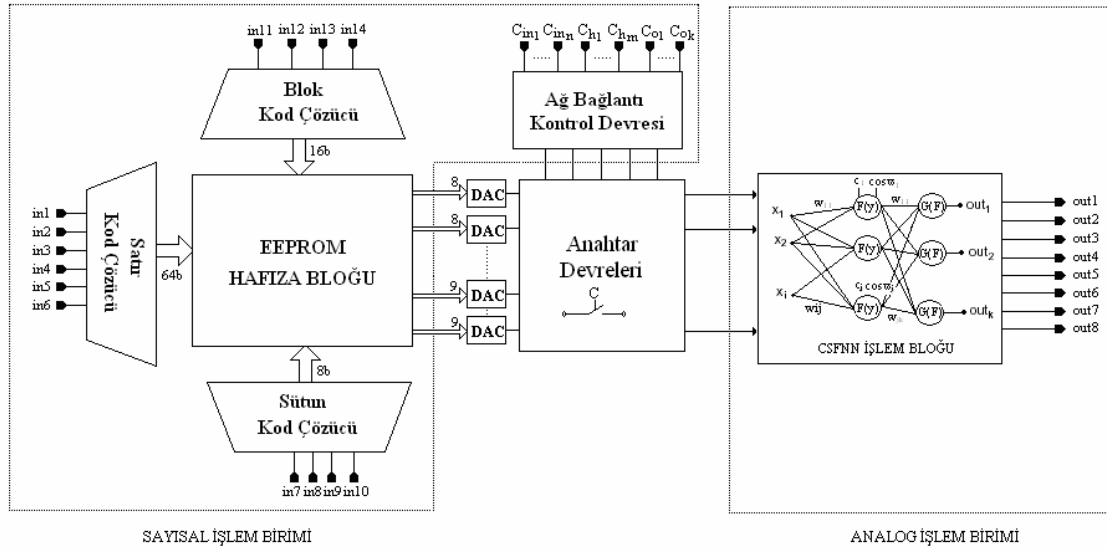
1.4 CSFNN Ağının Sınıflandırma Performansı

CSFNN ağının sınıflandırma performansını sınamaya ve MLP ile RBF ağlarının performansı ile karşılaştırmaya yönelik literatürde çalışmalar mevcuttur. Sonar işaretlerini sınıflandırma (Erkmen ve Yıldırım, 2006), medikal uygulamalar (Vural vd., 2006), imza tanıma (Şenol ve Yıldırım 2005) ve imge bölütleme (Coşkun ve Yıldırım, 2005) gibi uygulamalarda CSFNN ağının sınıflandırmadaki başarımı incelenmiş ve diğer ağ yapıları ile performansı

karşılaştırılmıştır. Çalışmalar incelendiğinde, CSFNN ağı aynı öğrenme algoritmasına sahip MLP ağına göre daha iyi performans göstermektedir. CSFNN ağı ile RBF ağı, bazı uygulamalarda benzer başarımla göstermesine rağmen, RBF ağı bu performansa erişmek için, CSFNN ağına göre daha fazla gizli nöronla oluşan ağ yapısı kullanmaktadır. Bu durum ağı boyutunu ve cevap verme süresini arttırmaktadır. CSFNN ağı ile veri kümesinin büyük olduğu problemlerde oldukça başarılı performans elde edilmiştir. Farklı problemler için CSFNN ağının performansı, boyut ve başarımla kriterleri göz önüne alınarak incelendiğinde, ağı hızlı cevap verebilme kabiliyetine sahip olduğu ve nöron sayısı açısından donanım gerçekleştirmelerine daha uygun olduğu söylenebilmektedir.

3. CSFNN AĞI TÜMDEVRESİNİN ALT BİLEŞENLERİ

Genel amaçlı CSFNN ağının tümdevresi, analog ve sayısal tümdevre tasarım tekniklerinin aynı tümdevre üzerinde kullanıldığı karma bir donanım ile tasarlanmıştır. Karma donanım ile tasarlanan tümdevrede ağırlık, açılı ve merkez vektörleri sayısal hafıza bloğunda saklanmakta, ağın ileri yönlü hesaplamaları ise analog işlem biriminde gerçekleştirilmektedir. Analog ve sayısal işlem birimleri arasında dönüşümü sağlamak üzere DAC devrelerinden yararlanılmaktadır. CSFNN ağı tümdevresinin ana blok diyagramı Şekil 3.1.'de görülmektedir.



Şekil 3.1 CSFNN tümdevresinin ana blok diyagramı

3.1 Tümdevrenin İşlem Birimleri

CSFNN ağı tümdevresi ana blok diyagramından da görüldüğü gibi sayısal, analog ve karma işaret işleyen elemanları kapsayan 3 ana birimden oluşmaktadır. Sayısal birim, EEPROM hafıza hücreleri, algı yükselteci devreleri, kod çözücü devreleri, ağ bağlantı kontrol devresi ile temel mantık kapılarından oluşmaktadır. Analog birim, ağın ileri yönlü hesaplamalarının yapıldığı işlem elemanlarından oluşmaktadır. Akım modlu olarak tasarlanan analog alt birimler, çarpma devreleri, kare alma devreleri, karekök alma devreleri, çıkarma devreleri, akım aynalama devreleri ile sigmoid fonksiyon üreteç devrelerinden oluşmaktadır. Sayısalan analoga dönüştürücü devreler ve karma işaret işleyen çoğullayıcı yapıları tümdevredeki karma donanımı oluşturmaktadır.

Devre tasarımları, MOSIS [2] mikron altı tasarım kurallarına uyularak gerçekleştirmiştir.

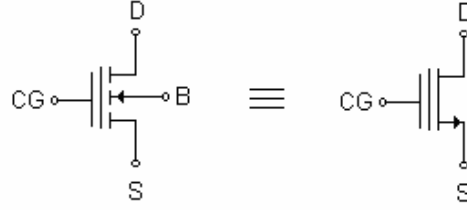
Tasarımda AMI Semiconductor C5F/N 0.5 μ m çift poli, üç metal standart CMOS parametreleri kullanılmıştır. AMIS tasarım parametrelerini içeren teknoloji kütüphanesi, North Carolina State University (NCSU) tarafından geliştirilmiştir. AMI Semiconductor C5F/N proses ve model parametreleri Ek 1’de ve bazı teknolojik spesifikasyonları [3] ise Ek 2’de verilmiştir. Tasarlanan tümdevrenin besleme gerilimi 5V, taban gerilimi ise toprak seviyesine çekilmiştir.

3.1.1 Sayısal İşlem Birimi

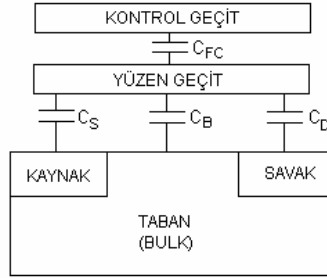
Tümdevre üzerinde ağ bağlantılarını kontrol eden blok ile hafıza bloğu sayısal olarak tasarlanmıştır. Hafıza bloğu EEPROM hafıza hücrelerinden, algı yükselteçlerinden, kod çözücü devrelerinden oluşmaktadır. Hafıza hücreleri ağırlık, açılı ve merkez değerlerini saklamakla görevlidir. Açılı ve merkez değerleri 8 bitlik hafıza hücrelerinde tutulmakta, negatif değer de alabilen ağırlık değerleri ise 9 bitlik hafıza hücrelerinde saklanmaktadır. Negatif değerleri belirleyen işaret bitlerini de içeren 704 Byte’lık hafıza bloğu, ağ üzerinde bulunan ağırlık, merkez ve açılı değerlerinin saklanması için gerekli bellek boyutudur. Kod çözücüler hafızanın programlanması sırasında, hafıza hücrelerine erişimi sağlar. Algı yükselteçleri ise hafızanın okunması sırasında hafıza hücrelerinde saklanan yükün okunmasında görevlidir. Ağ bağlantılarını kontrol eden sayısal blok, tümdevre üzerinde gerçekleştirilen ağ topolojisinin boyutlarının kullanıcı tarafından ayarlanmasına imkan sağlar. Kontrol bloğu sayesinde, farklı problemlerin tümdevreye uygulanmasına olanak sağlayan genel amaçlı tümdevre tasarlanmıştır.

3.1.1.1 EEPROM Hafıza Bloğu

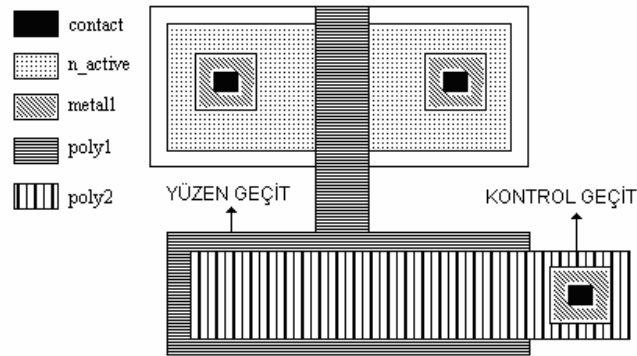
EEPROM (Electrically Erasable and Programmable Read-Only Memory) elektriksel olarak silinebilen ve programlanabilen uçucu olmayan belleklerdir. EEPROM hafıza, üzerindeki bilgiyi uzun bir süre saklama kabiliyetine sahip hücrelerden oluşur. Bu hücreler bilinen bir MOS transistörün yapısından farklı olarak geçit (gate) terminali ile kanal arasında iletken olmayan SiO₂ malzeme ile yalıtılmış ve bağlantısı olmayan iletken bir katmana sahip bir yapıdır. Bu yapı bağlantısız ara katmandan dolayı Yüzen Geçit (Floating Gate) transistör olarak adlandırılmaktadır. FG transistörün sembolik gösterimi, kesit görünüşü sırasıyla Şekil 3.2, Şekil 3.3’te verilmiştir. Şekil 3.4 ve Şekil 3.5’te ise sırasıyla hafıza hücresi seriminin sembolik gösterimi ve SPICE eşdeğeri verilmiştir.



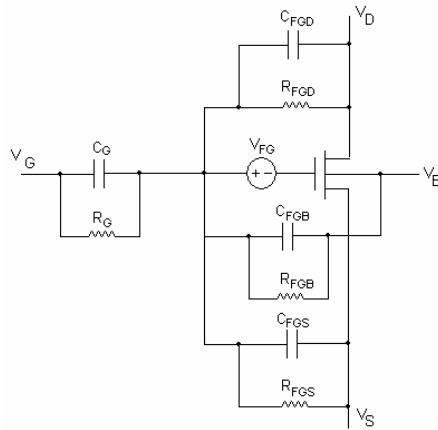
Şekil 3.2 FG transistörün sembolik gösterimi



Şekil 3.3 FG transistörün kesit görünüşü



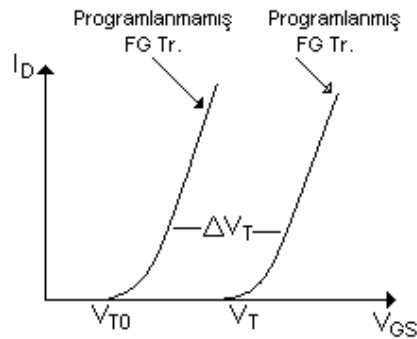
Şekil 3.4 Hafıza hücresinin seriminin sembolik gösterimi



Şekil 3.5 Hafıza hücresinin seriminin SPICE Eşdeğeri

SPICE eşdeğerinde yer alan kapasitelerin değerleri, FG transistörün serimi sonrasında, kapasite çıkarma işleminde elde edilmiştir. Direnç değerleri ise Sinencio [4] tarafından gösterildiği gibi RC çarpımı sabit olacak şekilde hesaplanmıştır. SPICE eşdeğerinde görülen V_{FG} gerilim kaynağı programlama süreci sonucu oluşan eşik gerilimindeki kaymayı modellemektedir. Eşik gerilim değişimi sembolik gösterimdeki kontrol geçit ucuna yüksek gerilim uygulanması ile sağlanmaktadır. Kaynaktan savağa doğru kanal üzerinde hareket eden elektronlar yüzen geçit üzerine tuzaklanmakta ve tuzaklanan yük yoğunluğuna bağlı olarak FG transistörün eşik gerilimini arttırmaktadır (Pavan vd., 2004). Eşik gerilimindeki değişim aşağıdaki eşitlikte tanımlanmıştır. Kontrol geçit ucuna uygulanan gerilim ile FG transistörden akan akımın değişim eğrisi Şekil 3.6’da verilmiştir. Eşik geriliminin artması yani yüzen geçit üzerine yük birikmesi veri okuma modunda bellekte “1” saklandığını belirtir. Eşik gerilimi yüksek olmayan yani yüzen geçit üzerine yük birikmesi olmayan hafıza hücresi “0” bilgisi tutmaktadır.

$$\Delta V_T = V_T - V_{T0} = -\frac{\bar{Q}}{C_{FC}} \quad (3.1)$$



Şekil 3.6 FG transistörün akım gerilim eğrisi

EEPROM hafıza birimi programlama, silme ve okuma işlemi olmak üzere, amaca yönelik 3 modda çalışabilmektedir. Hafıza biriminin programlanması Sıcak Yük Taşıyıcılarının Enjeksiyonu (Hot Carrier Injection) metodu kullanılarak yapılmaktadır. Silme işleminde ise Fowler-Nordheim Tünelleme yöntemi kullanılmaktadır (Sharma, 2003). Programlama işlemine geçmeden önce hafıza bloğu üzerindeki tüm hücreler bir bütün olarak aynı zamanda silinmektedir. EEPROM hafıza birimi üzerindeki her bir hücrenin yüzen geçitindeki yükünün tamamen boşaltılması gerekir. Bunun için FG transistörünün kaynak ucuna yüksek gerilimli pulse darbeleri uygulanmakta, savak ucu serbest bırakılmakta ve geçit ucu topraklanmaktadır. Silme işleminin ardından tüm hücrelerin silinip silinmediğini kontrol etmek amacıyla tüm

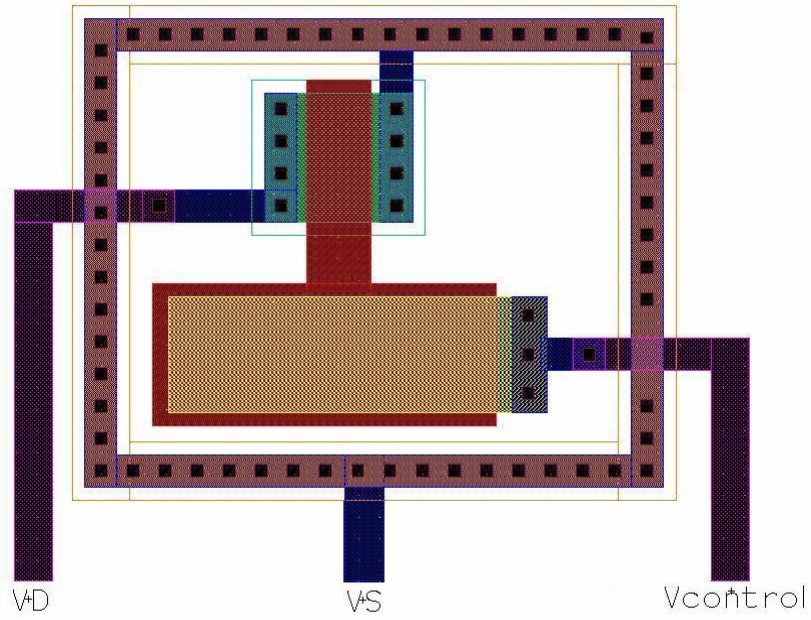
hafıza okunur. Silme işleminin gerçekleştirilmesinin ardından hafıza bloğundaki tüm hücreler kod çözücüler yardımıyla bit bit erişilip programlama işlemine geçilmektedir. Programlama sürecinde FG transistörünün terminallerine uygun gerilim seviyeleri uygulanarak yüzen geçit üzerine yük birikmesi ve dolayısıyla eşik geriliminin artması sağlanır. Kod çözücüler yardımıyla seçilen hücre programlanarak lojik ‘1’ değeri yani gerilim seviyesi olarak 5V yazma işlemi gerçekleşir. Kod çözücüler tarafından seçilmeyen yani programlanarak eşik gerilimi kayması yaratılmayan hücreler, silme işlemi sonrası bulunduğu durumda kalırlar. Bu hücreler lojik ‘0’ yani gerilim seviyesi olarak ‘0V’ çıkış üretirler. Programlama sırasında FG transistörünün kontrol geçit ucuna ve savak ucuna pulse darbeleri uygulanmakta ve kaynak ucu topraklanmaktadır.

Programlama işlemi tamamlandıktan sonra okuma işlemine geçilir. Okuma sürecinde kontrol geçit ucuna 2.5V ile 5V arasında gerilim uygulanarak, hücrelerin eşik gerilim seviyelerine bağlı olarak savak ile kaynak arasında akım akıtılır. Bu akım, algı yükseltici devresi ile ‘0V’ veya ‘5V’ gerilim seviyesi olarak algılanıp sayısal analog dönüştürücü devrelerine aktarılır. Programlama, silme ve okuma işlemlerinde FG transistörünün terminallerine uygulanması gereken gerilim seviyeleri Çizelge 3.1’de özetlenmiştir (Pavan vd., 1997).

Çizelge 3.1 FG transistörün Terminallerine Uygulanması Gereken Gerilim Seviyeleri

	Savak (D)	Kontrol Geçit (CG)	Kaynak (S)
Programlama	5V $\square$	20V $\square$	GND
Okuma	Vread	2.5V-5V	GND
Silme	Serbest Uç	GND	20V $\square$

FG transistörler programlama, silme veya okuma işlemlerinin ardından sakladıkları bilgiyi değiştirmeme ve aynı zamanda sakladıkları bilgiyi uzun bir süre (>10yıl) koruma özellikleri ile güvenilir hafıza biçimidir. AMIS 0.5 μ m çift poli prosesi kullanılarak elde edilen devrenin serimi Şekil 3.7’de gösterilmiştir.



Şekil 3.7 Hafıza Hücresinin Serimi

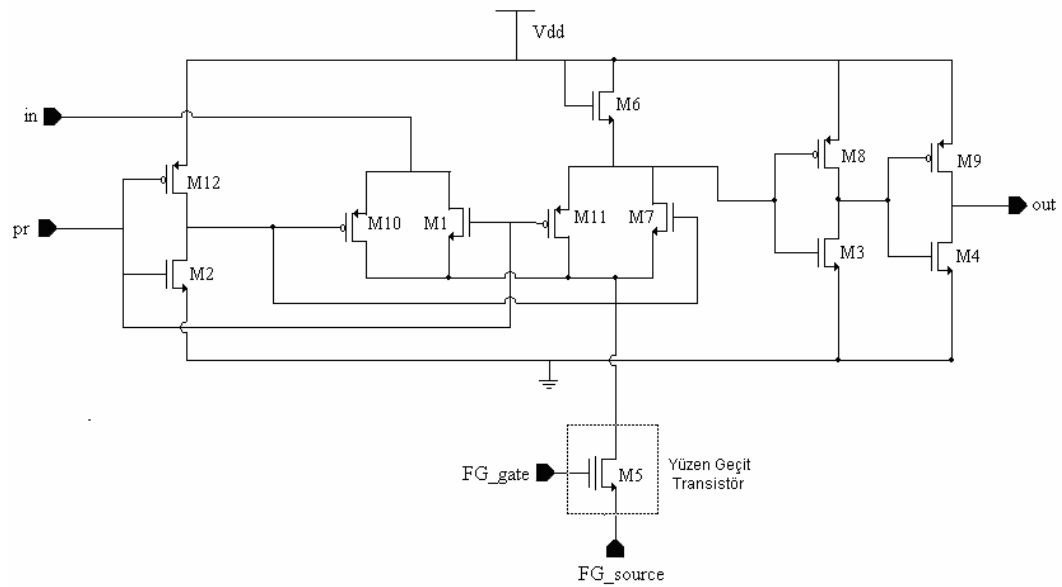
3.1.1.2 Algı Yükselteci Devresi

Okuma sırasında görevli algı yükselteci devreleri, hafıza hücrelerine bağlanarak FG transistörlerde saklanan yükün lojik olarak doğru algılanmasını sağlarlar. Algı yükselteçlerinden elde edilen gerilim seviyeleri sayısal-analog dönüştürücü devrelerine iletilir. FG transistörüne bağlı olarak tasarlanan algı yükselteci devresi Şekil 3.8’de verilmiştir. Okuma esnasında FG transistörünün eşik geriliminin seviyesine bağlı olarak savak ve kaynak terminalleri arasında akım akmakta veya transistör kesimde olmaktadır. FG transistörünün iletim veya kesimde olmasına bağlı olarak algı yükselteci devresi çıkışında ‘0V’ veya ‘5V’ görülür. Bir başka deyişle programlanmış hücre, algı yükselteci devresi çıkışında ‘5V’ gerilim seviyesine sahiptir. Programlanmamış hücre yani silme işleminden sonra programlama işlemine tabi tutulmamış hücre, algı yükselteci devresi çıkışında ‘0V’ gerilim seviyesine sahiptir.

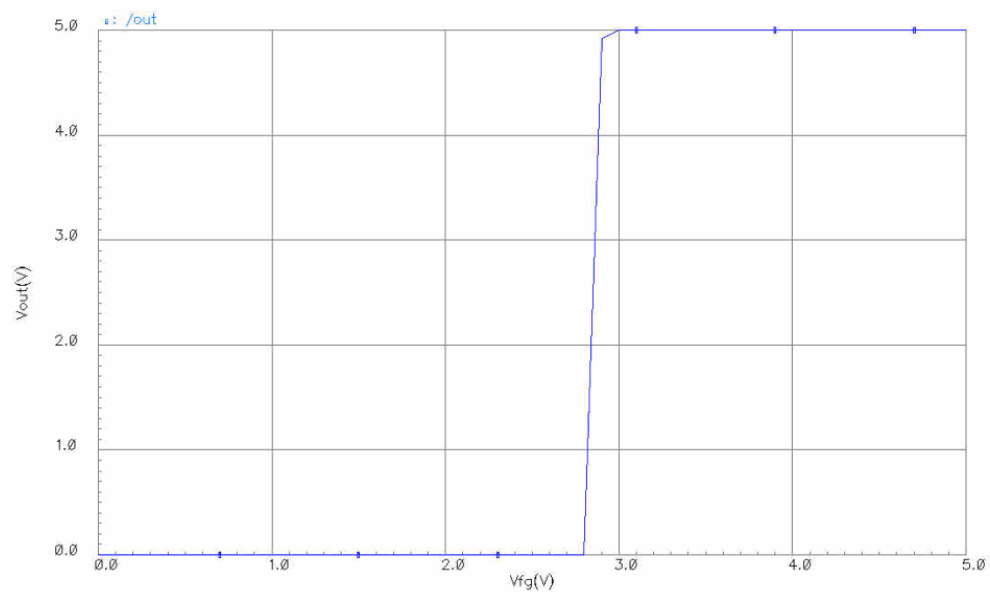
Yüzen geçitte saklanan yükün gerilim değişiminin neden olduğu eşik kayması ile algı yükselteci çıkışında elde edilen gerilim seviyesinin değişimini gösteren benzetim sonucu Şekil 3.9’da gösterilmiştir. Burada V_{FG} gerilim kaynağının değişimi, programlama sonucu oluşan eşik gerilimindeki kaymayı modellemektedir. Eşik kaymasının 2.8V’tan küçük değerleri lojik ‘0’, 3V’tan büyük değerleri ise lojik ‘1’ olarak algı yükselteci devresinin çıkışına iletilmiştir. Programlama, silme ve okuma işlemlerinde EEPROM hafıza hücresinin girişlerine uygulanması gereken gerilim seviyeleri Çizelge 3.2’de özetlenmiştir.

Çizelge 3.2 EEPROM hafıza hücresinin girişlerine uygulanması gereken gerilim seviyeleri

	“Vin”	“p/r”	“Vpp”
Programlama	5V $\square\square$	5V	20V $\square\square$
Okuma	GND	GND	2.5V-5V
Silme	GND	5V	GND



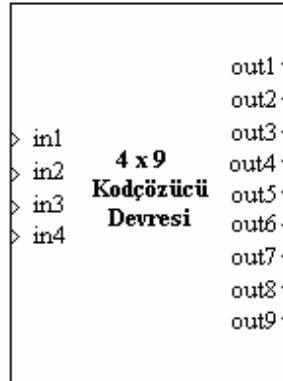
Şekil 3.8 Hafıza hücresine bağlı algı yükselteci devresi



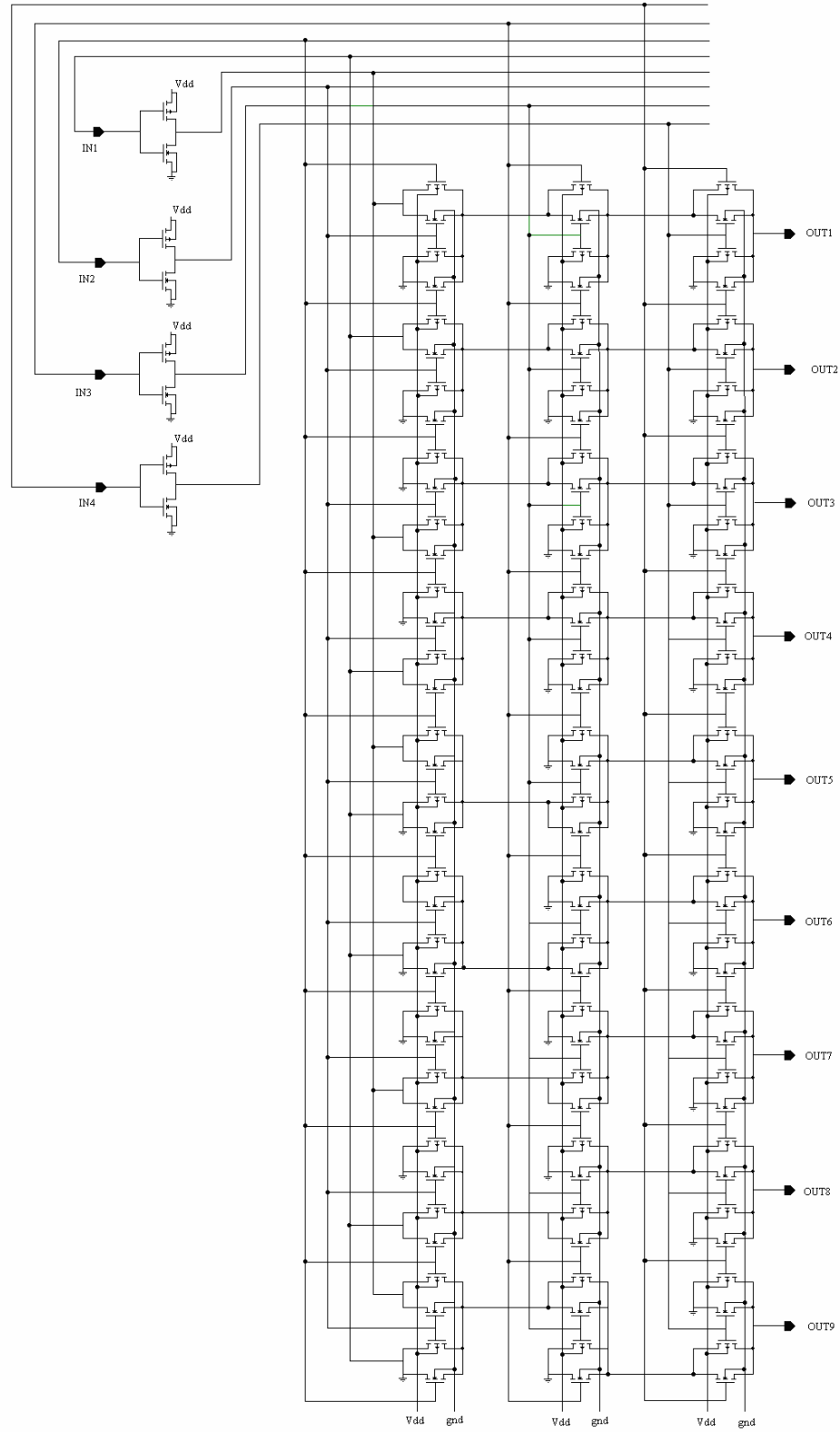
Şekil 3.9 Eşik kayması ile algı yükselteci devresinin çıkış geriliminin değişimi

3.1.1.3 Kod Çözücü Devreleri

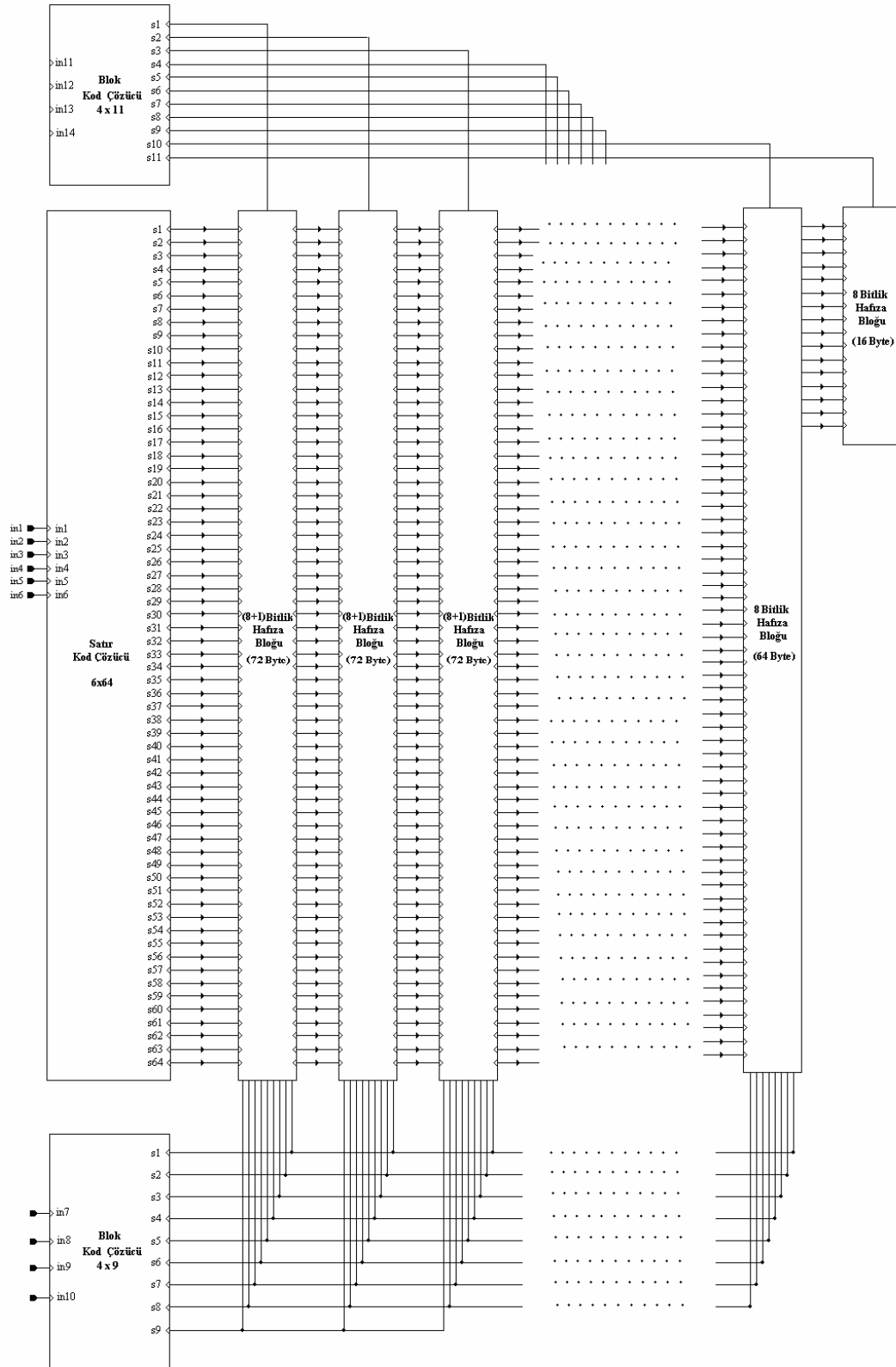
EEPROM hafızanın programlanması esnasında kod çözücüler, hafızayı adreslemekte görevlidir. Negatif değerleri belirleyen işaret bitlerini de içeren toplam 704 Byte'lık hafıza bloğu kod çözücü devreleri yardımıyla bit bit erişilebilmektedir. Geçiş transistör lojigi kullanılarak tasarlanan kod çözücüler, hafıza bloğunun satır, sütun ve blok seçiminde kullanılmaktadır. 4x9'luk ve 4x11'lik kod çözücüler sırasıyla sütun ve blok seçiminde kullanılmakta, 6x64'lük kod çözücü ise satır seçiminde görev yapmaktadır. 4x9'luk kod çözücü devresi, işaret bitiyle birlikte 9 bitlik hafıza birimini bit bit adreslemekle görevlidir. 6x64'lük kod çözücü devresi, 64 Byte'lık ve işaret biti ile birlikte 72 Byte'lık hafıza bloğunun satır seçiminde görevlidir. Toplam hafızayı oluşturan 11 hafıza bloğu, 4x11'lik kod çözücü devresi ile adreslenebilmektedir. 4x9'luk kod çözücü devresinin blok bazında ve transistör bazında gösterimi sırasıyla Şekil 3.10 ve Şekil 3.11'de verilmiştir. Adreslemede görevli kod çözücüler ile hafıza bloklarının birlikte gösterimi ise Şekil 3.12'de verilmiştir.



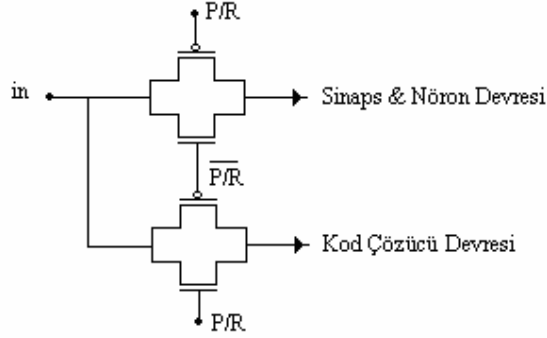
Şekil 3.10 4 x 9 Kod çözücünün blok diyagramı



Şekil 3.11 4x9 Kod çözücü devresi



Tasarlanacak tümdevrenin ilk 14 girişi adres kod çözücü devrelerinin girişini oluşturmaktadır. Aynı girişler tümdevrenin normal çalışma durumunda, ağın ileri yönlü hesaplamalarının gerçekleştirildiği analog bloğuna veri girişi olarak kullanılmaktadır. Hafızanın programlama sürecinde ve ağın normal çalışma durumunda aynı girişten alınan veriyi birbirinden ayırd etmek için dört transistörden oluşan 1x2 çoğullayıcı devre kullanılmaktadır. Programlama ve okuma esnasında tümdevredeki P/R girişi, tümdevrenin durumuna göre toprak seviyesine (0V) veya besleme gerilimi seviyesine (5V) çekilmektedir. Tümdevrenin P/R ucu, Şekil 3.14'deki çoğullayıcı devresindeki seçim ucunu oluşturduğu gibi EEPROM hafıza devresinde de programlama ve okuma sürecini belirleyici giriş olarak da kullanılmaktadır. $V_{P/R}$ giriş sinyali '5V' olduğunda in1-in14 girişleri kod çözücü devresine uygulanmakta, $V_{P/R}$ giriş sinyali '0V' olduğunda ise in1-in16 girişleri sinaps & nöron devresine uygulanmaktadır.



Şekil 3.14 1x2 çoğullayıcı devresi

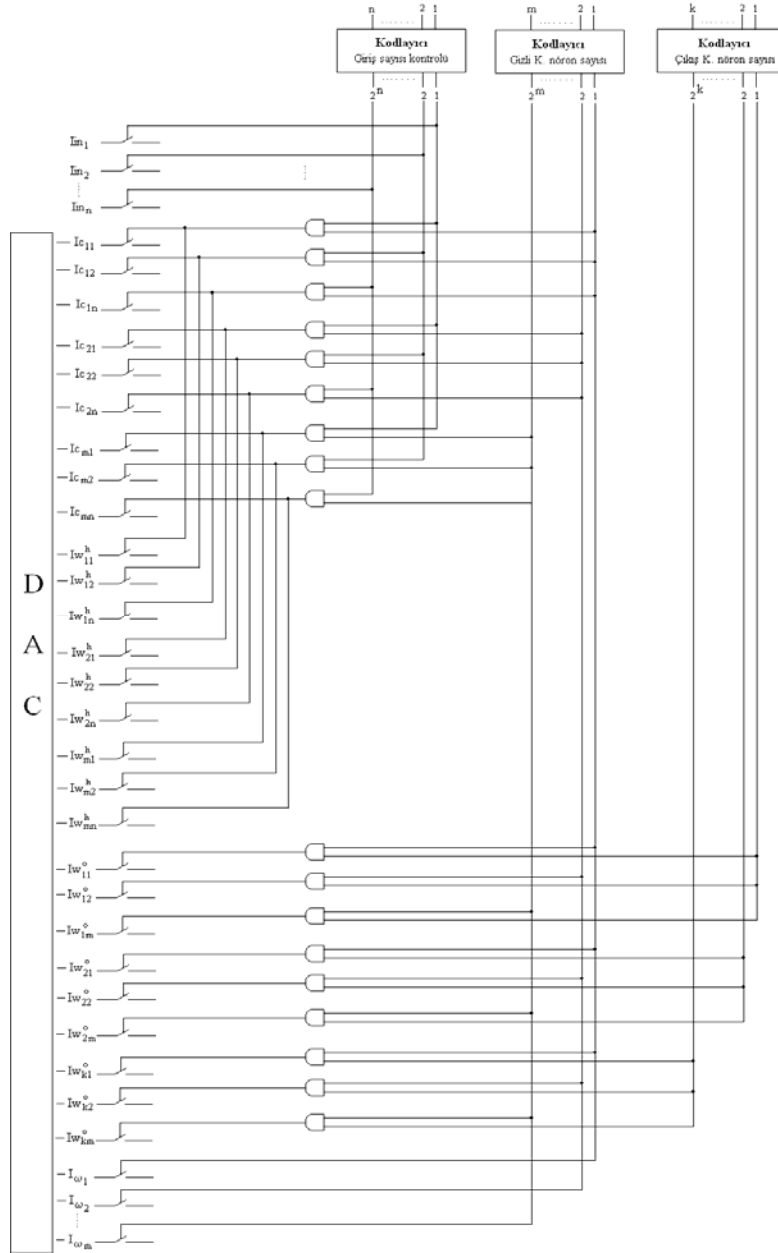
3.1.1.4 Ağ Bağlantılarını Düzenleyen Dijital Kontrol Bloğu

Bir yapay sinir ağının giriş sayısı, gizli nöron sayısı, çıkış katmanındaki nöron sayısı probleme göre farklılık göstermektedir. Genel amaçlı yapay sinir ağı tümdevreleri giriş çıkış ve gizli katmandaki nöron sayılarının kullanıcı tarafından istenildiği gibi ayarlanabilmesinden dolayı kullanıcıya büyük bir esneklik sağlamaktadır. CSFNN tümdevresi, ağ boyutunun kullanıcı tarafından, tümdevrenin bağlantı uçlarından ayarlanabilmesine imkan sağlayacak şekilde tasarlanmıştır. Ağ bağlantılarını düzenleyen kontrol bloğu, kodlayıcı devrelerinden, anahtar elamanlarından ve VE kapılarından oluşmaktadır. Tümdevre içinde kontrolü sağlayan anahtar elemanları, DAC devreleri ile analog işlem elemanları arasında akım geçişini kontrol etmektedir. Kontrol bloğu içinde giriş sayıları farklı 3 tip kodlayıcı devresi bulunmaktadır. Ağın giriş sayısını ayarlayan $n \times 2^n$ kodlayıcı devresi, gizli katmandaki nöron sayısını ayarlayan $m \times 2^m$ kodlayıcı devresi ve çıkış katmanındaki nöron sayısını ayarlayan $k \times 2^k$ kodlayıcı devresi geçiş transistör lojiğine göre tasarlanmıştır. Burada 2^n , 2^m ve 2^k giriş sayısının, gizli katmandaki nöron sayısının ve çıkış katmanındaki nöron sayısının maksimum değerini ifade eder. Tasarlanan hafızanın veri saklama kapasitesi nöron sayısını sınırlamaktadır. CSFNN ağı tümdevresi, 16 girişe, gizli katmanda 16 nörona ve çıkış katmanında 8 nörona (16-16-8) sahip olacak şekilde tasarlanmıştır. $m=4$, $n=4$ ve $k=3$ olmak üzere 11 adet kontrol girişi tümdevrenin dış bağlantı uçlarında yer almaktadır. Tümdevrenin dış bağlantı uçlarından kontrol edilebilen kodlayıcı devresi n girişi ile ağın giriş sayısını; m girişi ile gizli katmandaki nöron sayısını ve k girişi ile çıkış katmanındaki nöron sayısını düzenler. Kontrol bloğu içinde yer alan 3×8 kodlayıcı devresinin sembolik gösterimi ile doğruluk tablosu Şekil 3.15'te, ağ bağlantılarını düzenleyen sayısal kontrol bloğu ise Şekil 3.16'da verilmiştir.

			out1<
			out2<
			out3<
> in1	Kodlayıcı 3 x 8		out4<
> in2			out5<
> in3			out6<
			out7<
			out8<

in3	in2	in1	out8	out7	out6	out5	out4	out3	out2	out1
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	1
0	1	0	0	0	0	0	0	1	1	1
0	1	1	0	0	0	0	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1
1	0	1	0	0	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1

Şekil 3.15 3 x 8 kodlayıcı devresinin doğruluk tablosu



Şekil 3.16 Ağ bağlantılarını düzenleyen sayısal kontrol bloğu

3.1.2 Analog İşlem Birimi

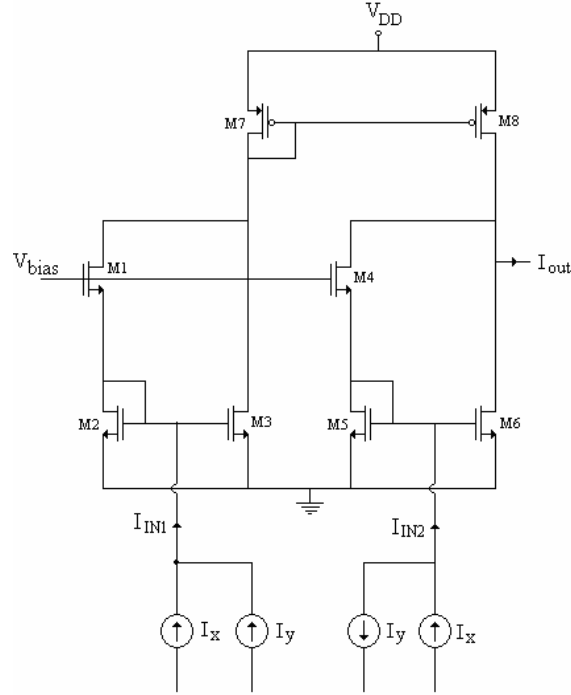
Ağın ileri yönlü hesaplama için gerekli tüm aritmetik işlemleri analog tümdevre teknikleri kullanılarak akım modlu olarak gerçekleştirilmektedir. Akım modlu devre tasarımı, özellikle yapay sinir ağlarının donanım gerçeklemelerinde alan açısından, gerilim modlu devrelere göre oldukça avantajlıdır. Akım modlu devrelerde, toplama/çıkarma işlemi farklı kollardan gelen akımların bir düğümde birleştirilmesi suretiyle kolaylıkla yapılmaktadır. Toplama, çıkarma, ölçekleme gibi aritmetik işlemlerin çok yoğun olarak yapıldığı CSFNN ağının tümdevresinde akım modlu devreler tasarım kolaylığı sağlamaktadır. Akım modlu devrelerin bir diğer avantajı da, düşük empedanslı düğümlerin, tümdevrenin çalışma frekansını arttırmasıdır (Fakhraie ve Smith, 1997). Düşük empedanslı düğümler, devrelerin değişim hızı sınırlamasını en aza indirmekte bu durum akım modlu devrelerin yüksek hızlı uygulamalarda kullanımını uygun hale getirmektedir. Çarpma devreleri, kare alma devreleri, karekök alma devreleri, çıkarma devreleri, akım aynalama devreleri ile sigmoid fonksiyon üreteç devreleri akım modlu olarak tasarlanan, analog devreler arasındadır. Tümdevre üzerinde yer alan analog devrelerin transistör boyutları Ek 3'te verilmiştir.

3.1.2.1 Çarpma Devresi

CSFNN ağının tümdevresinde, çarpma devreleri gizli katmanda ve çıkış katmanında yoğun olarak kullanılmaktadır. 16-16-8 maksimum boyutlarda tasarlanan CSFNN ağının tümdevresinde 400 adet çarpma devresi bulunmaktadır. Tümdevre tasarımında kullanılan çarpma devresinin lineer çalışması, tümdevrenin doğruluğunu doğrudan etkilemektedir. Tasarımda kullanılan akım modlu dört bölgeli çarpıcı devresi (Bult ve Wallinga, 1987), girişe verilen iki akımı çarpmakla görevlidir. Çarpma devresinin sembolik ve transistör bazında gösterimi Şekil 3.17 ve Şekil 3.18'de sırasıyla verilmiştir.



Şekil 3.17 Çarpma devresinin sembolik gösterimi



Şekil 3.18 Çarpma devresi

Çarpma devresinin, çıkış ifadesini elde etmek üzere aşağıdaki eşitliklerden yararlanılmıştır.

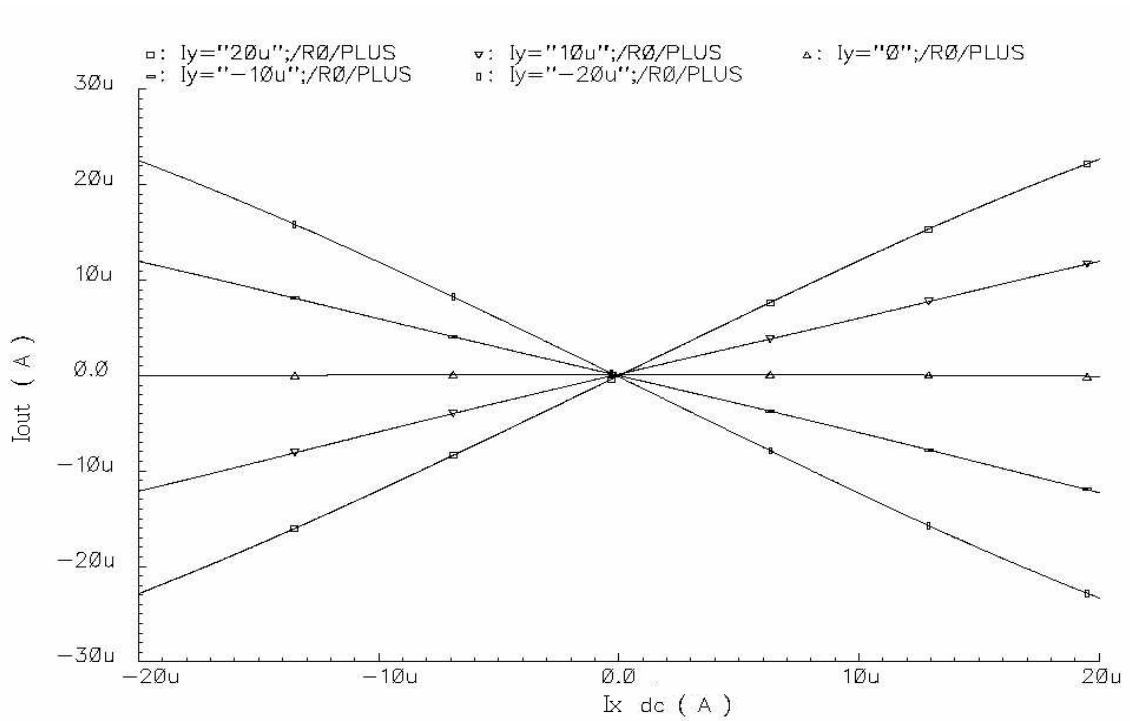
$$I_{IN1} = I_x + I_y \quad ; \quad I_{IN2} = I_x - I_y \quad (3.2)$$

$$I_0 = 2(I_{DM1} - I_{DM4}) + (I_{IN1} - I_{IN2}) \quad (3.3)$$

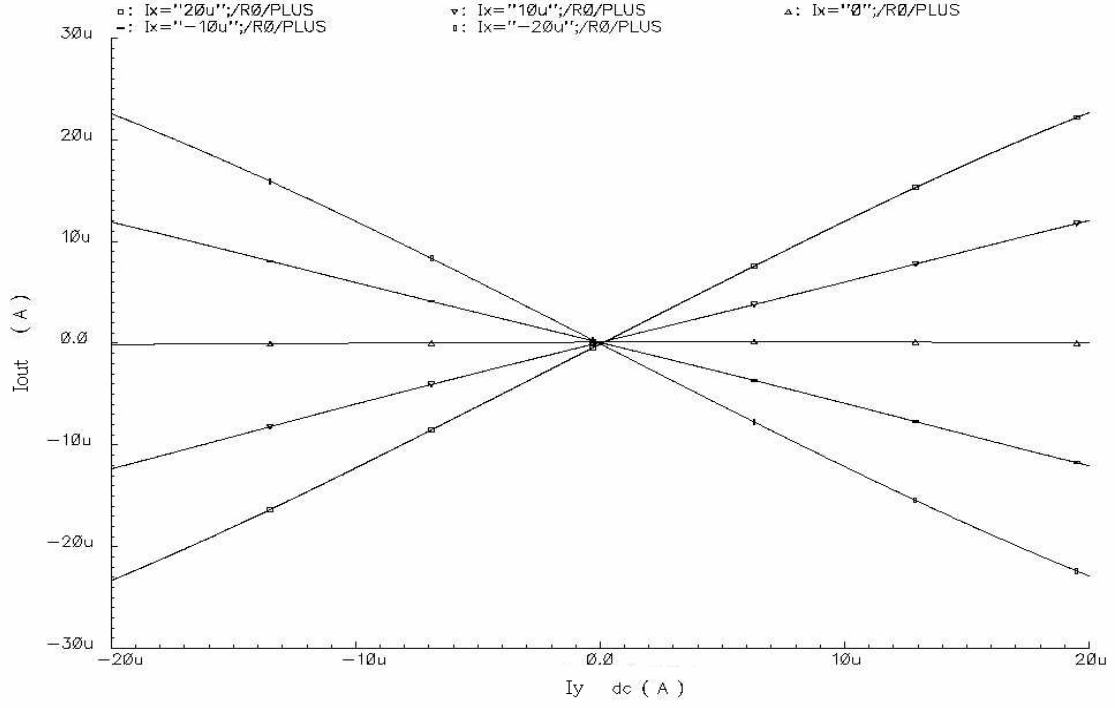
$$I_0 = K_1 \cdot I_x \cdot I_y \quad (K_1 = 0.06 \mu A^{-1}) \quad (3.4)$$

Çarpılması istenen giriş akımlarının toplamı ve farkı çarpma devresinin girişlerini oluşturmaktadır (3.2). (3.3) denkleminde akımların değerleri yerine yazılırsa (3.4)'teki çarpma devresinin çıkışı elde edilir. Devrede yer alan tüm transistörler doyma bölgesinde çalıştırılmaktadır. Burada K_1 devrenin V_{bias} gerilimine, V_T eşik gerilimine, transistörlerin β transkonduktans sabitine bağlı bir değer olup, çarpma devresinin katsayısını ifade etmektedir. Çarpma devresinin çıkış akımını hesaplamada kullanılan matematiksel ifadeler, uzun kanallı transistörler için tanımlanmıştır. (Bult ve Wallinga, 1987). Tümdevrede yer alan kısa kanal uzunluğuna sahip transistörlerde, kısa kanal uzunluğu için tanımlanmış eşitlikler geçerli olup, simülasyon sonuçları bu ifadeler için elde edilmiştir. Matematiksel hesaplamalar sonucu elde edilen değerler ile eğri üzerinden elde edilen değerler arasındaki fark, kanal uzunlukları için tanımlanmış farklı ifadelerden kaynaklanmaktadır. Bu çalışmada, K_1 katsayısı simülasyon sonucunda elde edilen eğri üzerinden bulunmuş ortalama bir değerdir.

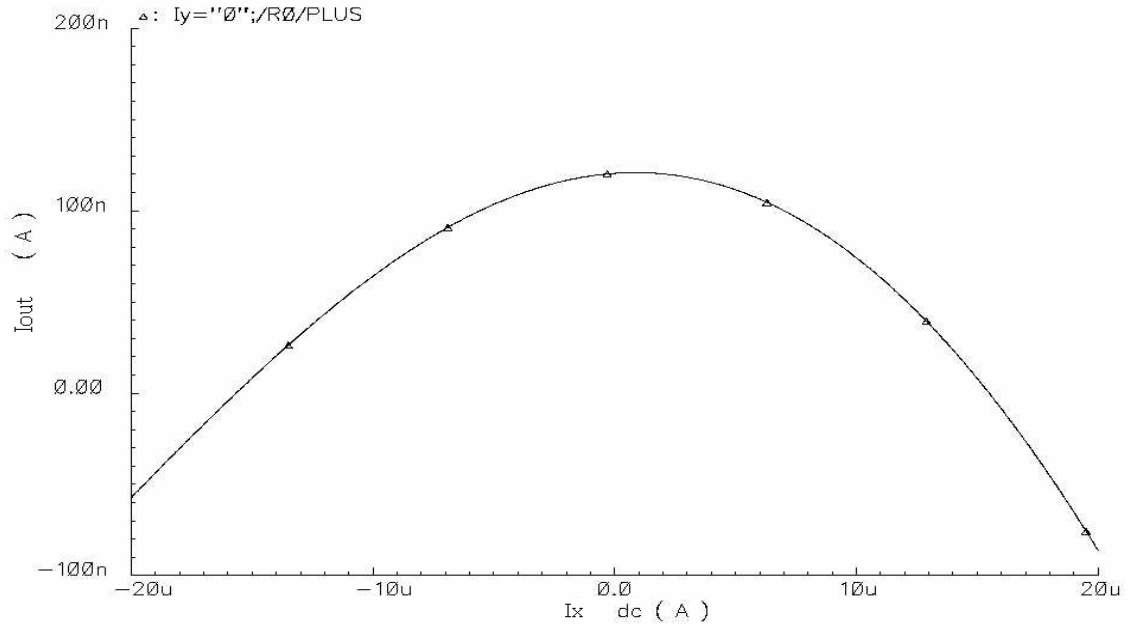
Tasarlanan dört bölgeli çarpıcı devresi, $[-20\mu\text{A} , 20\mu\text{A}]$ giriş aralığında lineer olarak çalışmaktadır. Çarpma devresinin Şekil 3.19'daki DC karakteristiği I_x girişinin $[-20\mu\text{A} , 20\mu\text{A}]$ aralığında $0.1 \mu\text{A}$ adımlarla değiştirilmesi ve I_y girişinin yine $[-20\mu\text{A} , 20\mu\text{A}]$ aralığında $10 \mu\text{A}$ 'lık adımlar ile parametrik olarak değiştirilmesi ile elde edilmiştir. Devre topolojisi simetrik olup, çarpıcı devresinin Şekil 3.20'deki DC karakteristiği de benzer çıkışlar üretmiştir. Bu sefer, I_y girişi $[-20\mu\text{A} , 20\mu\text{A}]$ aralığında $0.1 \mu\text{A}$ adımlarla değiştirilmiş ve I_x girişi de $[-20\mu\text{A} , 20\mu\text{A}]$ aralığında $10 \mu\text{A}$ 'lık adımlar ile parametrik olarak taratılmıştır. Şekil 3.21, çarpma devresinin, $I_y = 0$ girişi için ideal çarpma fonksiyonuna göre yaptığı hata miktarının dağılımını göstermektedir.



Şekil 3.19 Çarpma devresinin DC analiz sonucu-I
($I_x - I_0$ değişimi I_y : parametrik taranmış)



Şekil 3.20 Çarpma devresinin DC analiz sonucu-II
($I_y - I_o$ değişimi I_x : parametrik taramış)



Şekil 3.21 $I_y = 0$ için çarpıcı devresinin hata dağılım grafiği

3.1.2.2 Kare Alıcı Devre

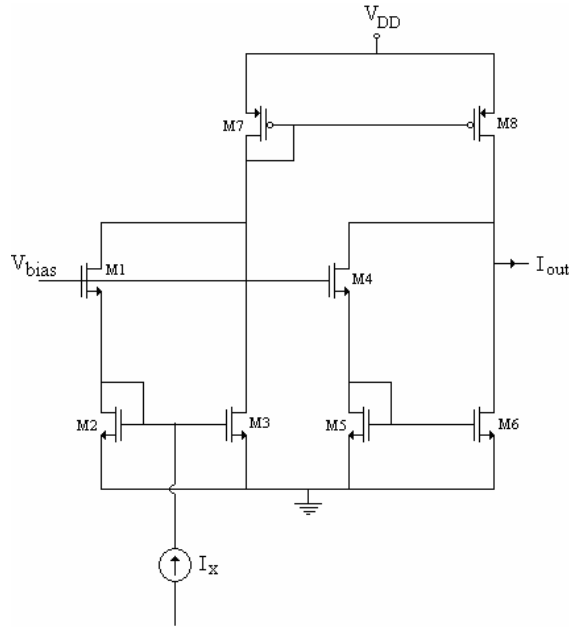
CSFNN ağı tümdevresi içinde öklid uzaklığı hesaplama işleminde kullanılan kare alıcı devre,

tek girişli bir çarpıcı yapısıdır. Tümdevre üzerinde 256 adet kare alma devresi bulunmaktadır. Kare alıcı devre, giriş akımının karesini alıp belli bir katsayı ile çarpıp çıkışa aktarmakla görevlidir. Kare alıcı devrenin çıkışını ifade eden aşağıdaki eşitlikte yer alan K_2 katsayısı, simülasyon sonucunda elde edilen eğri üzerinden bulunmuş ortalama bir değerdir. Kare alıcı devresinin sembolik ve transistör bazında gösterimi Şekil 3.22 ve Şekil 3.23'te verilmiştir.

$$I_{x^2} = K_2 \cdot I_x^2 \quad (K_2 = 0.015 \mu A^{-1}) \quad (3.5)$$

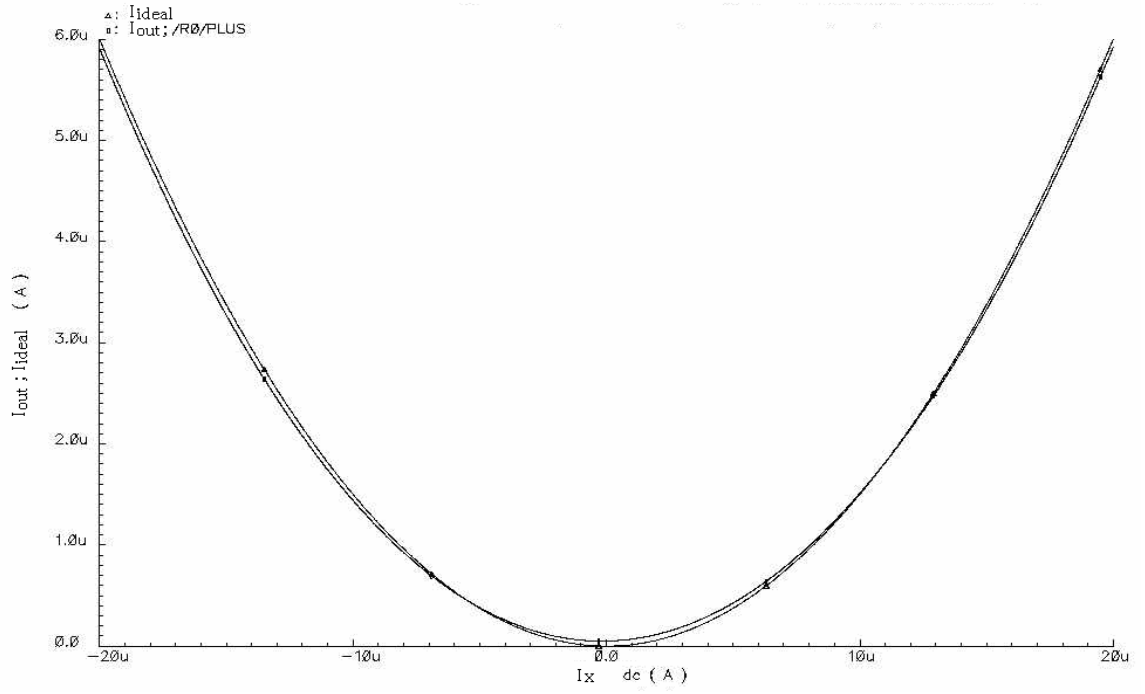


Şekil 3.22 Kare alıcı devresinin sembolik gösterimi

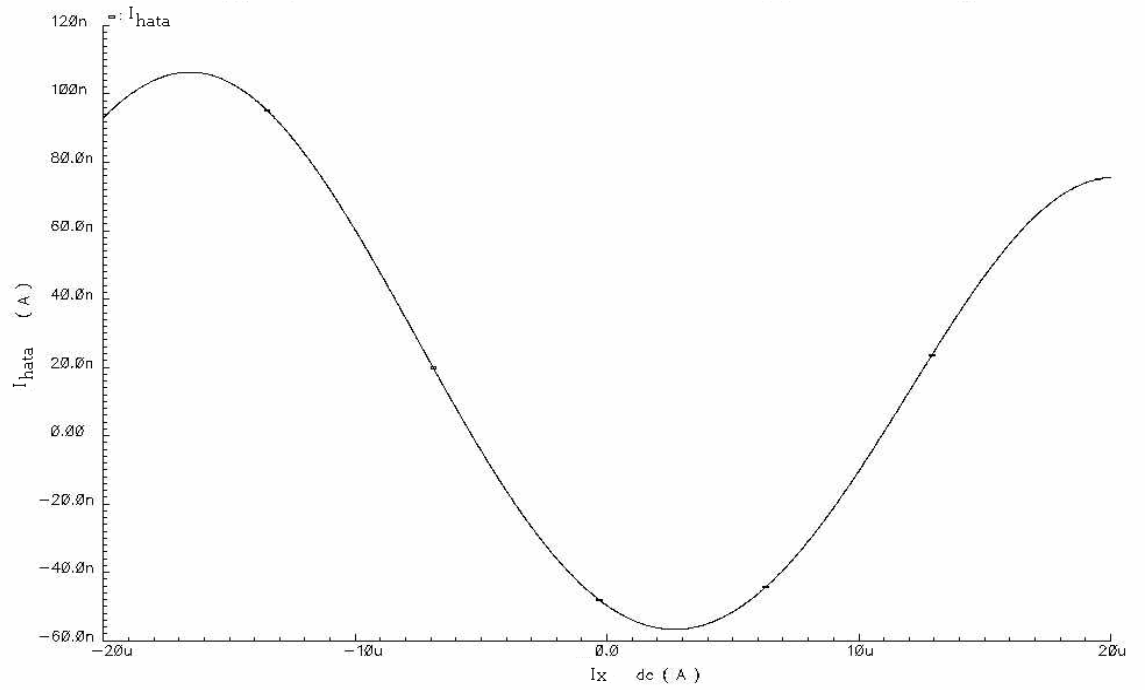


Şekil 3.23 Kare alıcı devre

Devre $[-20\mu A, 20\mu A]$ giriş aralığına ve $[0, 6\mu A]$ çıkış çalışma aralığına sahiptir. Devreden elde edilen DC karakteristik ile ideal eğri Şekil 3.24'te üst üste çizdirilmiştir. Şekil 3.25, kare alıcı devrenin, ideal kare alma işleminden sapmasını gösteren hata dağılım grafiğidir.



Şekil 3.24 Kare alıcı devrenin DC analiz sonucu

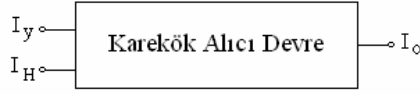


Şekil 3.25 Kare alıcı devresinin hata dağılım grafiği

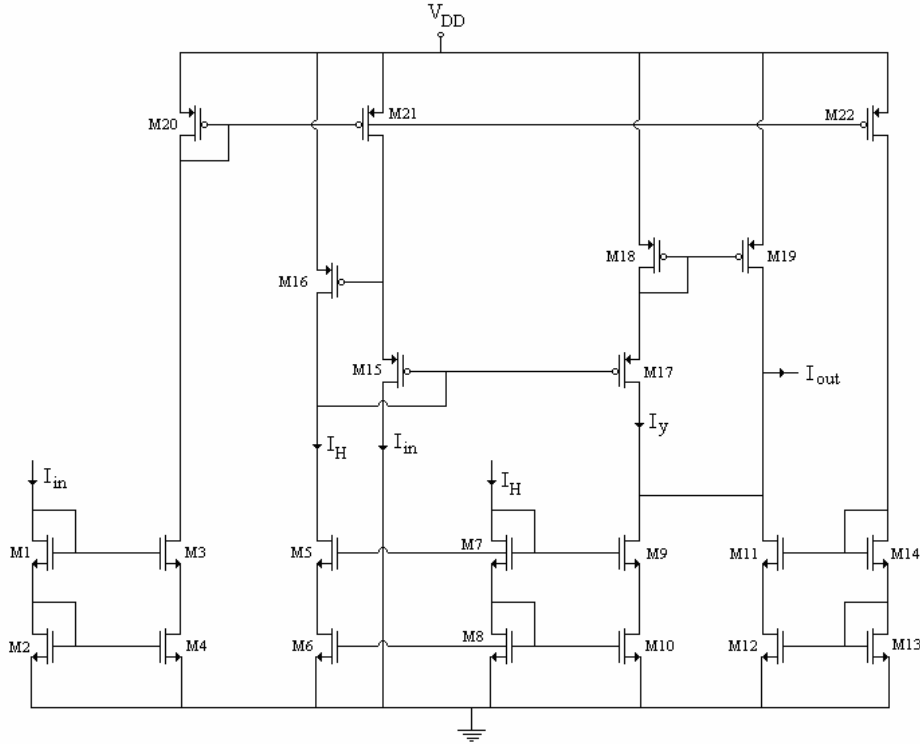
3.1.2.3 Karekök Alıcı Devre

CSFNN ağı tümdevresi içinde öklid uzaklığı hesaplama işleminde kullanılan karekök alıcı

devre, girişten akan akımı sabit bir akım değeri ile çarpıp, bu çarpımın karekökünü almaktadır (Liu vd., 2000). Karekök alıcı devresinin sembolik ve transistör bazında gösterimi sırasıyla Şekil 3.26 ve Şekil 3.27’de verilmiştir.



Şekil 3.26 Karekök alıcı devresinin sembolik gösterimi



Şekil 3.27 Karekök alıcı devre

Devrede kullanılan sabit akım kaynağı $I_H = 1\mu A$ akım akıtacak şekilde ayarlanmıştır. M_{1-14} , M_{20-22} transistörlerinin oluşturduğu kaskod akım aynaları giriş akımı ile sabit akım kaynağının akıttığı akımları aynalamakla görevlidir. Devrede bulunan M_{15} ve M_{16} transistörlerinin boyutsal oranları $\beta_{15}=\beta_{16}=\beta$ ile M_{17} , M_{18} ve M_{19} transistörlerinin boyutsal oranları $\beta_{17}=\beta_{18}=\beta_{19}=2\beta$ olarak seçilmiştir. Devredeki tüm transistörler doymada çalıştırılmıştır. Bu transistörlerin V_{SG} gerilimleri arasında aşağıdaki bağıntı vardır.

$$V_{SG15} + V_{SG16} = V_{SG17} + V_{SG18} \quad (3.6)$$

Doyma ifadesinde V_{SG} gerilimini yalnız bırakırsak,

$$\sqrt{\frac{I_D}{\beta}} + |V_{Tp}| = V_{SG} \quad (3.7)$$

(3.7) elde edilir. (3.7)'deki eşitlik (3.6)'da yerine yazılırsa,

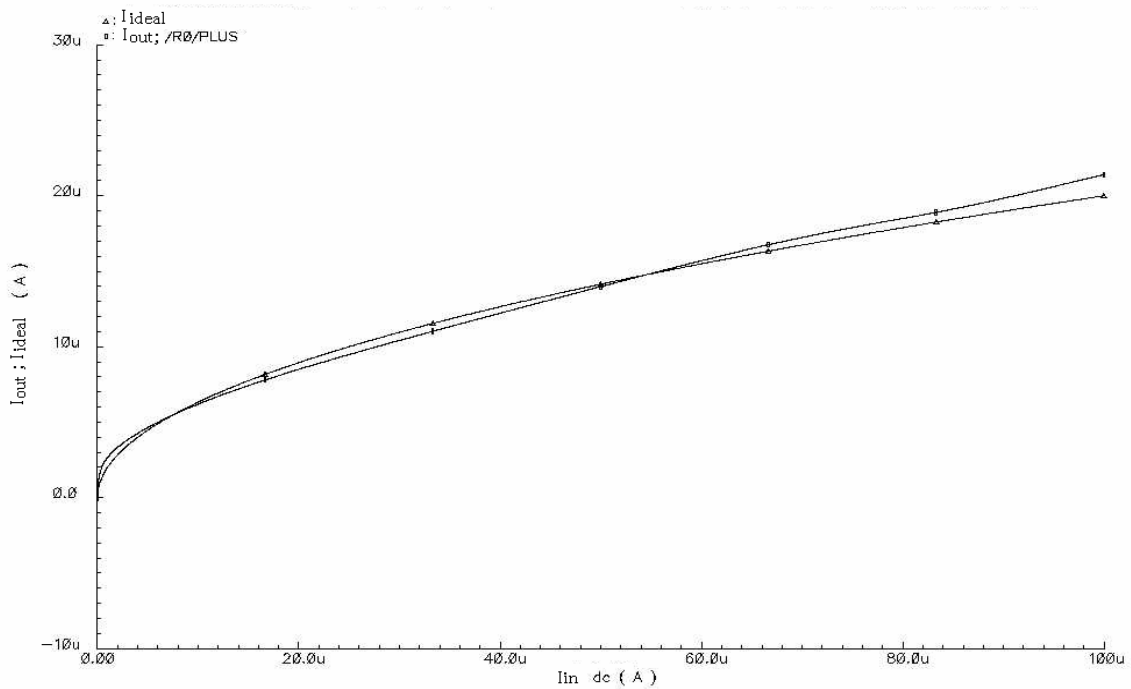
$$\sqrt{\frac{I_{in}}{\beta}} + \sqrt{\frac{I_H}{\beta}} = \sqrt{\frac{I_y}{2\beta}} + \sqrt{\frac{I_y}{2\beta}} \quad (3.8)$$

(3.8) elde edilir. Burada I_{in} giriş akımını, I_H sabit akım kaynağından akan akımı, I_y ise M_{17} ve M_{18} transistöründen akan akımı ifade eder. (3.8)'in her iki tarafının karesini alıp ifadeyi düzenlersek, çıkış akımını, (3.10) eşitliğindeki gibi, giriş akımının kareköküyle orantılı biçimde elde ederiz.

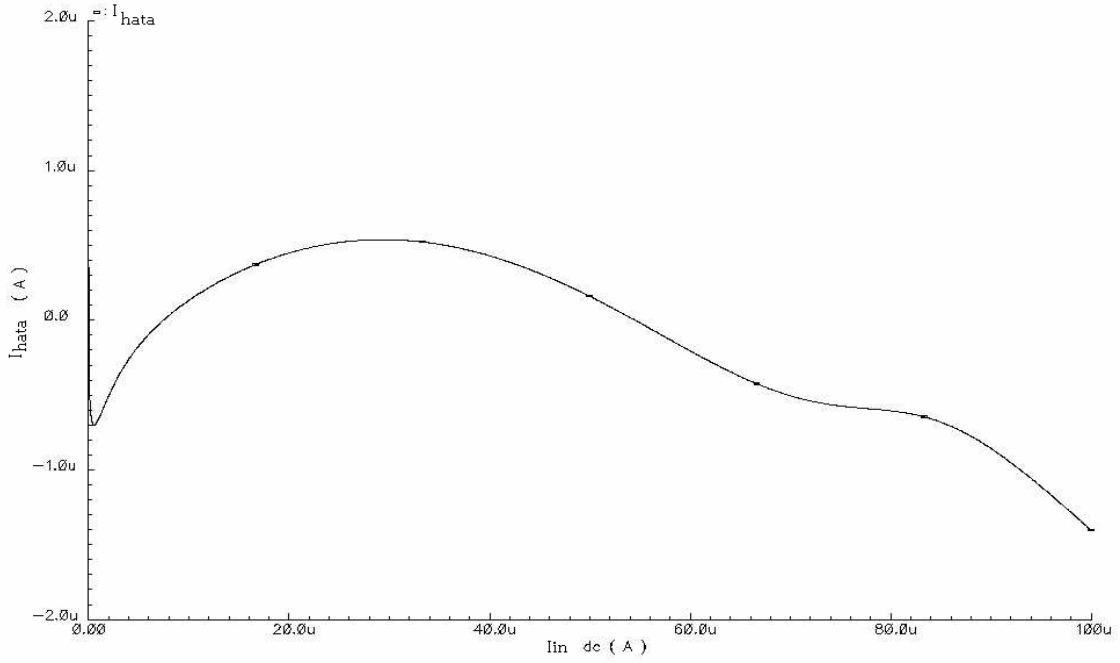
$$2 \cdot \sqrt{I_H \cdot I_{in}} = 2 \cdot I_y - (I_H + I_{in}) = I_{out} \quad (3.9)$$

$$I_{\sqrt{in}} = 2 \cdot \sqrt{I_{in} \cdot I_H} \quad (3.10)$$

Karekök alıcı devre, $[0, 100\mu A]$ giriş çalışma aralığına ve $[0, 20\mu A]$ çıkış çalışma aralığına sahiptir. Devreden elde edilen DC karakteristik ile ideal eğri Şekil 3.28'de üst üste çizdirilmiştir. Şekil 3.29, karekök alıcı devrenin, ideal karekök alma işleminden sapmasını gösteren hata dağılım grafiğidir.



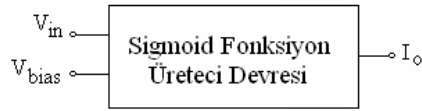
Şekil 3.28 Karekök alıcı devrenin DC analiz sonucu



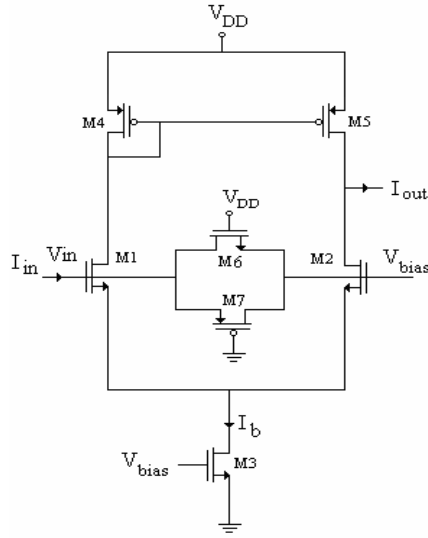
Şekil 3.29 Karekök alıcı devrenin hata dağılım grafiği

3.1.2.4 Sigmoid Fonksiyon Üretici Devresi

Burada kullanılan sigmoid fonksiyon üretici devresi temel olarak farksal kuvvetlendirici devresinin akım modlu olarak tasarlanmış biçimidir (El-Masry vd., 1993). Sigmoid fonksiyon üretici devresinin sembolik ve transistör bazında gösterimi Şekil 3.30 ve Şekil 3.31’de verilmiştir.



Şekil 3.30 Sigmoid fonksiyon üretici devresinin sembolik gösterimi



Şekil 3.31 Sigmoid fonksiyon üretici devresi

Devrede V_{bias} gerilimi 2.5V olarak seçilmiştir. Devrede aynı transistör boyutlarına sahip M1 ve M2 transistörleri, doyma bölgesinde çalışacak şekilde kutuplanmıştır. M6 ve M7 transistöründen oluşan CMOS geçiş transistörleri her zaman iletimde olacak şekilde kutuplanmıştır. Geçiş transistörleri yardımıyla girişten akım çekilebilmektedir. Geçiş transistörlerinin boyutsal oranlarının (W/L) değişimi çıkışta elde edilen sigmoid eğrisinin eğimini değiştirmektedir. Bir farksal kuvvetlendiricinin giriş gerilimleri ile çıkışta elde edilen akım arasında aşağıdaki matematiksel ifade mevcuttur (Sheu ve Choi, 1995).

$$I_0 = \frac{\beta_n}{2} \cdot (V_1 - V_2) \cdot \sqrt{\frac{2 \cdot I_b}{(\beta_n / 2)} - (V_1 - V_2)^2} \quad V_1 = V_{in} \quad \text{ve} \quad V_2 = V_{bias} \quad (3.11)$$

Devredeki geçiş transistörlerinin β_m transkonduktans sabitleri birbirine eşittir.

$$\beta_{MN6} = \beta_{MP7} = \beta_m \quad (3.12)$$

Direnç bölgesinde tanımlı geçiş transistörlerinin iletkenliği (g_m) aşağıdaki eşitlik ile ifade edilmiştir.

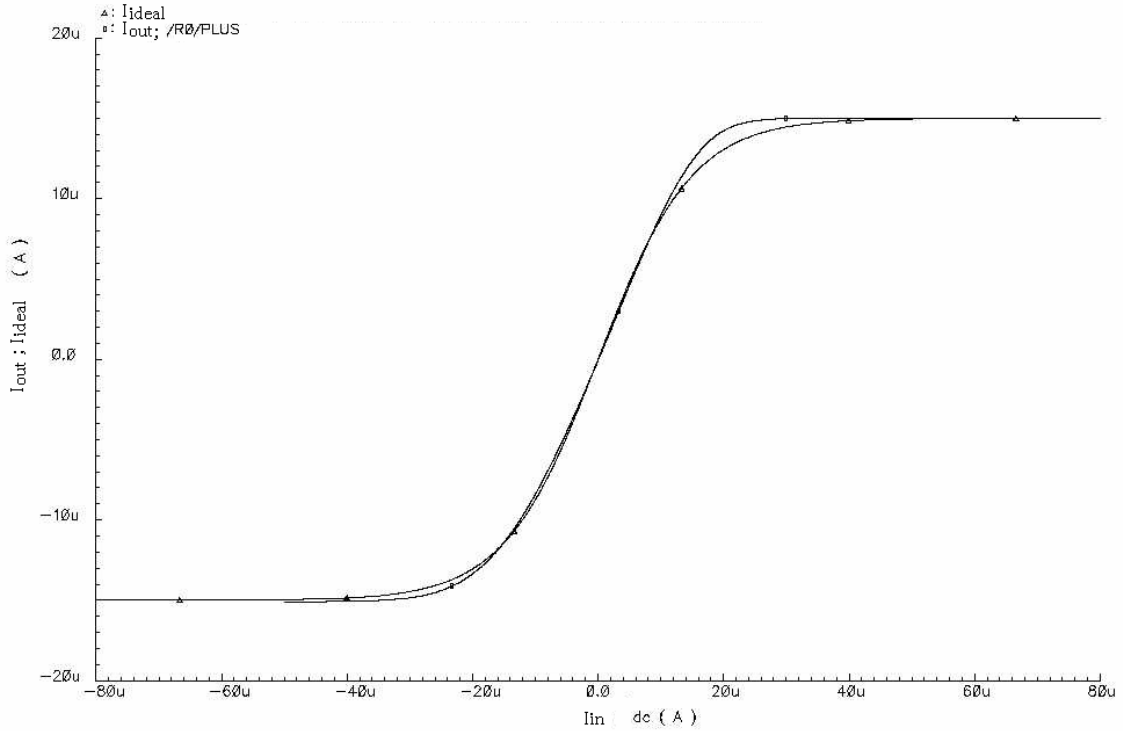
$$g_m = \frac{\beta_m}{2} (V_{DD} + V_{TP} - V_{TN}) \quad (3.13)$$

(3.13)'te yer alan V_{TP} ve V_{TN} sırasıyla P-tipi ve N-tipi geçiş transistörlerinin eşik gerilimini ifade eder.

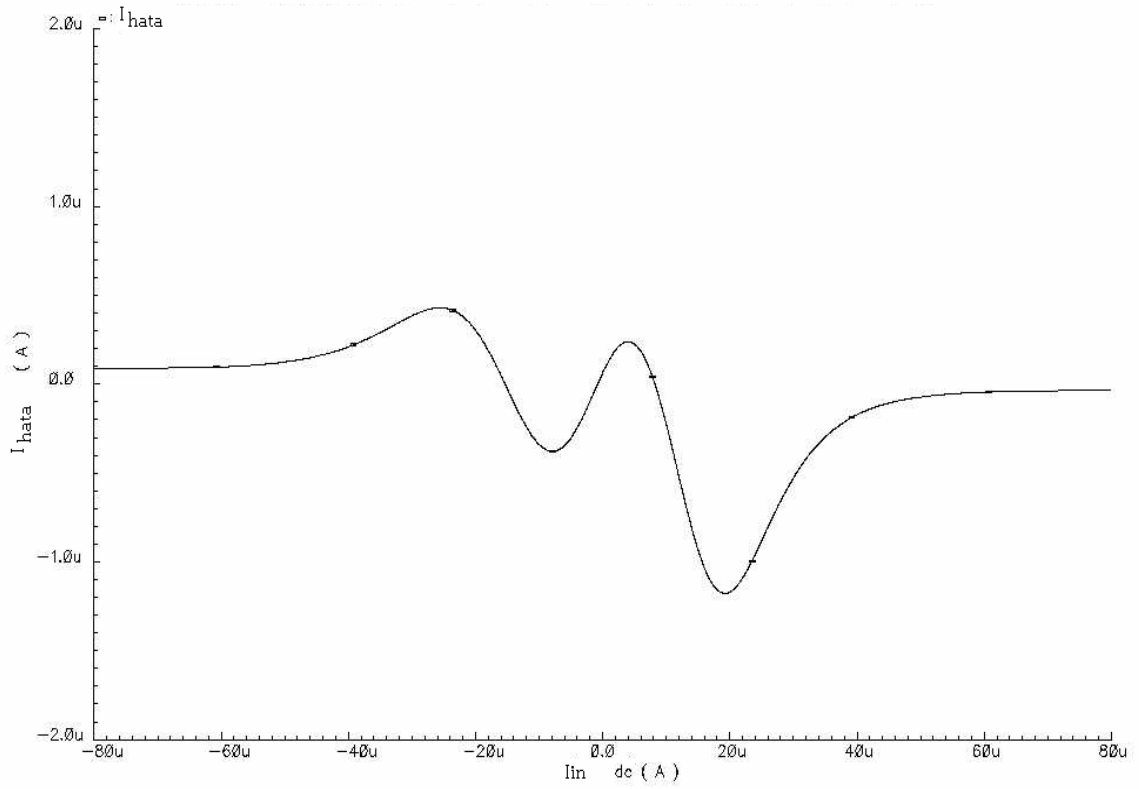
$$V_1 - V_2 = \frac{I_{in}}{g_m} \quad (3.14)$$

Giriş gerilimlerinin farkı, giriş akımına bağlı olarak (3.14)'te elde edilmiştir. Daha önce (3.11)'de çıkış akımı, giriş gerilimlerinin farkı olarak ifade edilmişti. Giriş akımına bağlı elde edilen giriş gerilimlerinin farkı ifadesini, (3.11)'de yerine yazılırsa, çıkış akımı giriş akımına bağlı olarak elde edilir.

Devrenin DC analiz sonucu Şekil 3.32'de elde edilen eğri, sigmoid tipi hiperbolik tanjant fonksiyonunun karakteristiğine benzemektedir. Bu nedenle, tümdevrede sigmoid fonksiyonu üretici devresi olarak, tasarlanan akım modlu farksal kuvvetlendirici devresi kullanılmaktadır. Sigmoid tipi hiperbolik tanjant fonksiyonunun ideal eğrisi ile devrenin dc karakteristiği Şekil 3.32'de üst üste çizdirilmiştir. Devre, $[-15\mu A, 15\mu A]$ çıkış aralığına sahiptir. Şekil 3.33, sigmoid fonksiyon üretici devresinin, ideal sigmoid alma işleminden sapmasını gösteren hata dağılım grafiğidir.



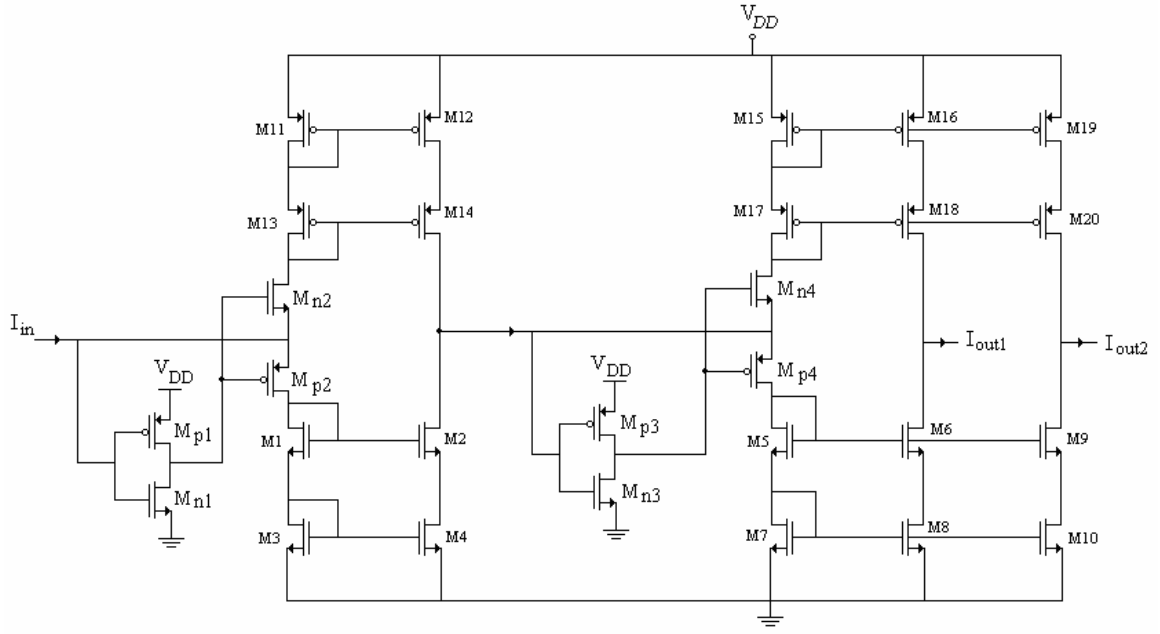
Şekil 3.32 Sigmoid fonksiyon üretici devresinin DC analiz sonucu



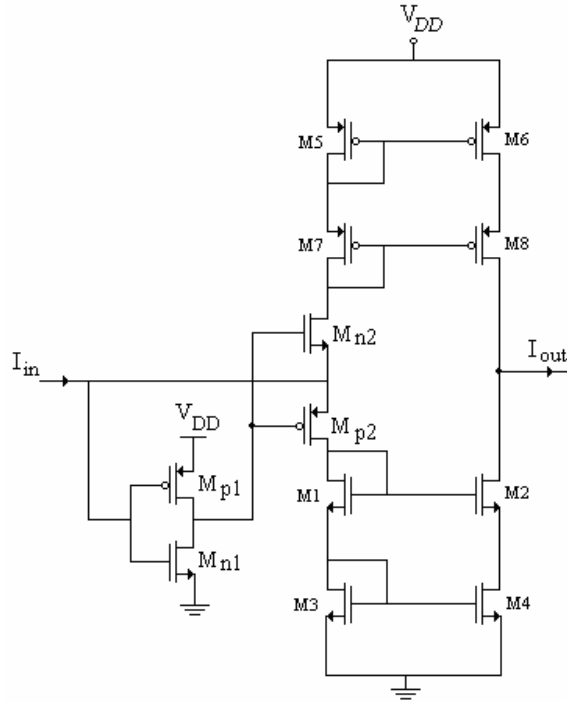
Şekil 3.33 Sigmoid fonksiyon üretici devresinin hata dağılım grafiği

3.1.2.5 Aynı ve Zıt Yönlü Akım Aynalama Devreleri

Tümdevre üzerinde toplama, çıkarma, sabit katsayı ile çarpma, akım aynalama, akım tersleme işlemlerinde akım aynalarından faydalanılmıştır. Aynı ve zıt yönlü akım aynalama devrelerinin transistor bazında gösterimi, sırasıyla Şekil 3.34a ve Şekil 3.34b’de verilmiştir. Kaskod akım aynaları kullanılarak tasarımlar gerçekleştirilmiştir. Kaskod akım aynalarının girişinde bulunan, Mp ve Mn transistörlerinden oluşan evirici yapıları giriş akımının geçiş yönüne bağlı olarak akım aynalarını kesimde veya iletimde tutmaktadır. Aynı ve zıt yönlü akım aynalama devrelerinin simülasyon sonuçları sırasıya Şekil 3.35a ve Şekil 3.35b’de verilmiştir. Aynı ve zıt yönlü akım aynalama devrelerinin hata değişim grafikleri ise sırasıyla Şekil 3.36a ve Şekil 3.36b’de verilmiştir.

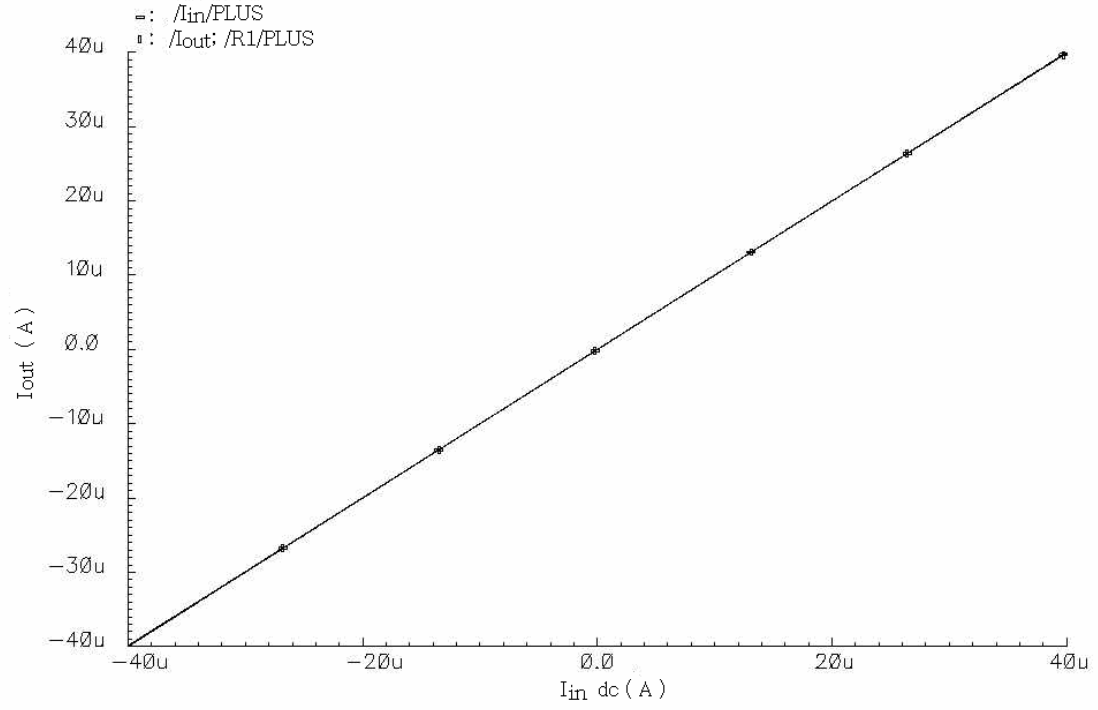


a)

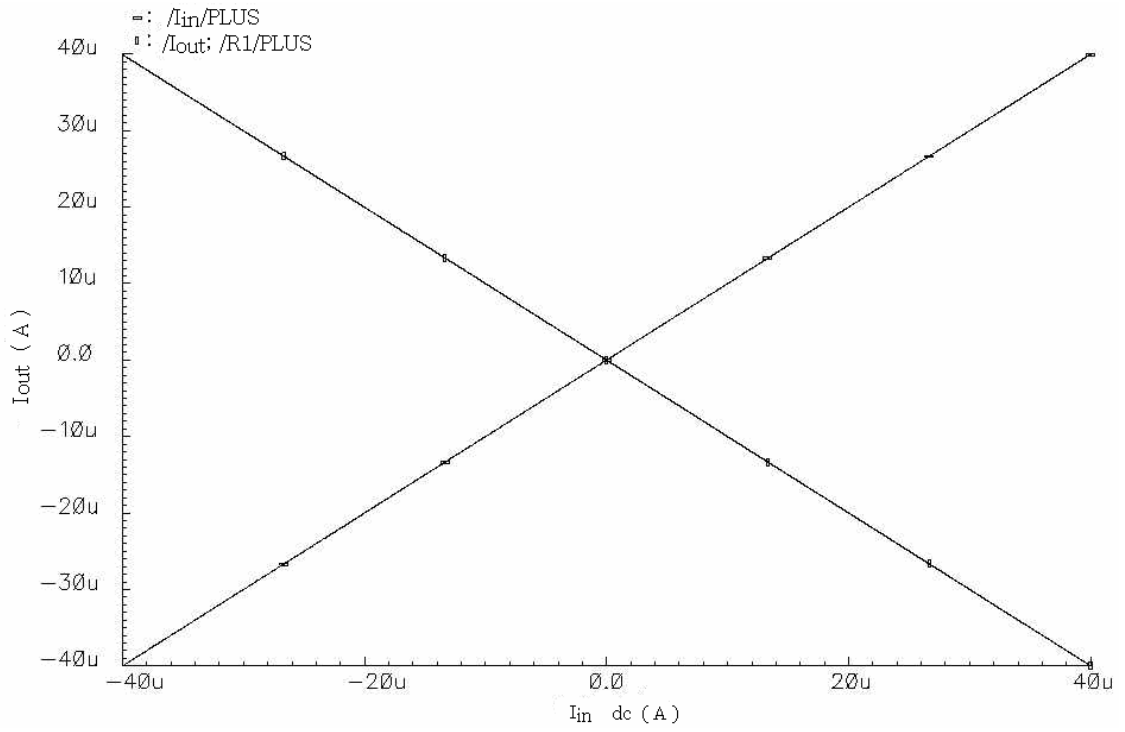


b)

Şekil 3.34 Aynı ve zıt yönlü akım aynalama devreleri

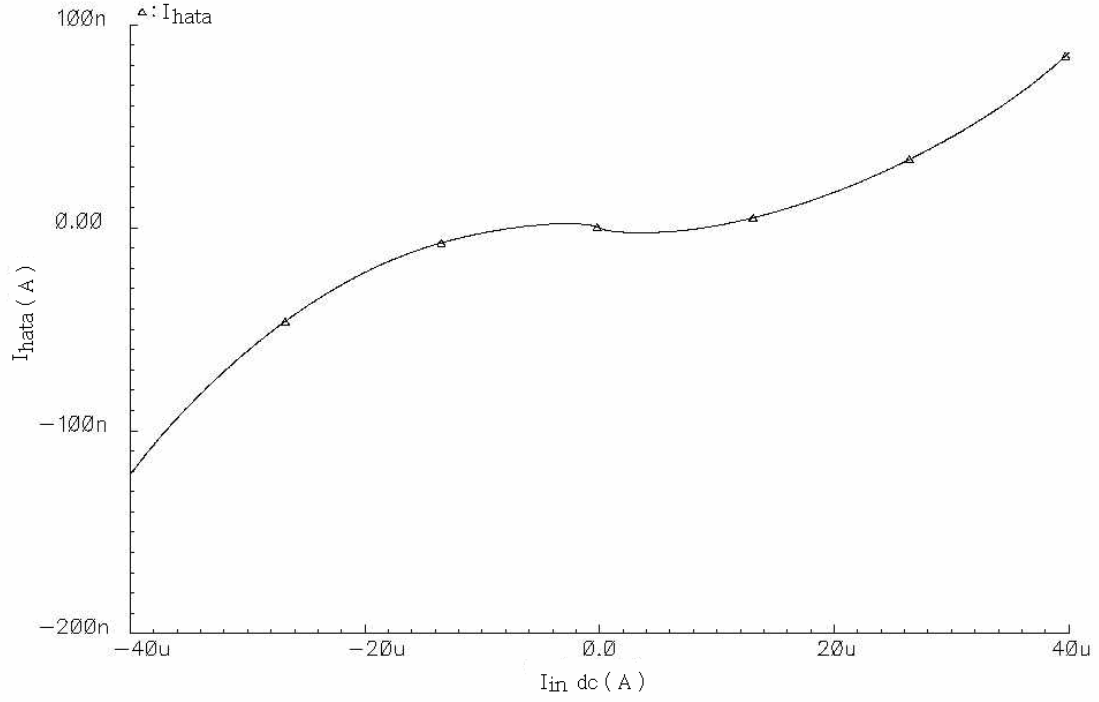


a)

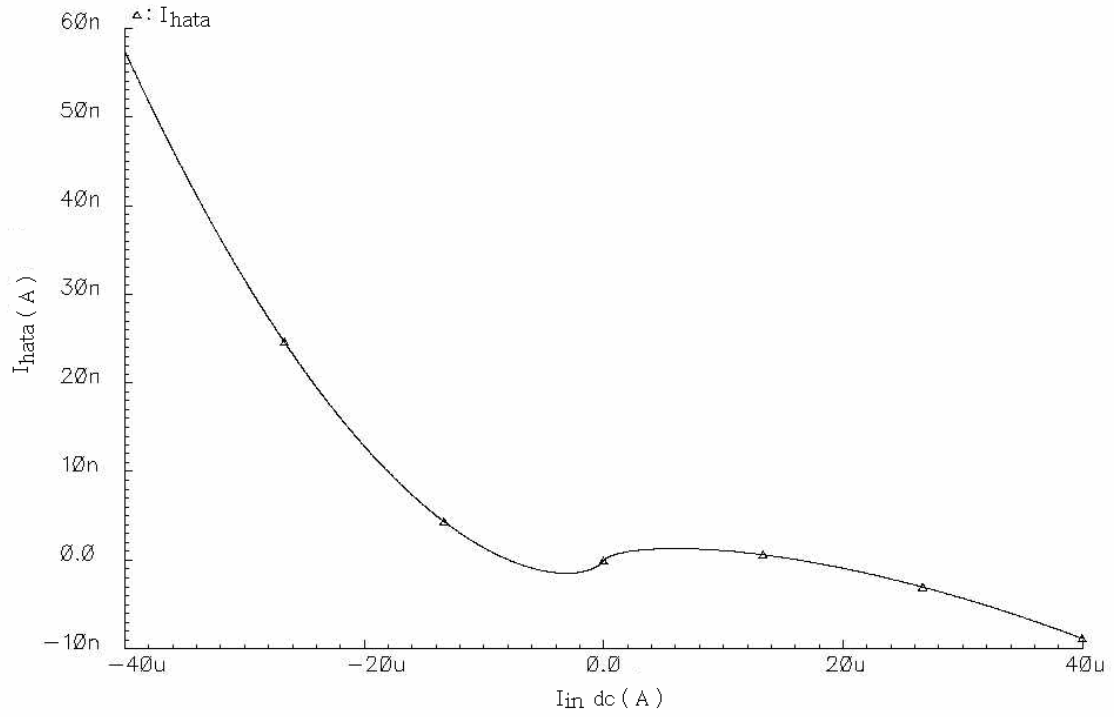


b)

Şekil 3.35 Aynı ve zıt yönlü akım aynalama devrelerinin DC analiz sonuçları



a)



b)

Şekil 3.36 Aynı ve zıt yönlü akım aynalama devrelerinin hata değişim grafikleri

3.1.3 Karma İşaret İşleyen Donanımlar

CSFNN ağının tümdevresi, analog ve sayısal tümdevre tasarım tekniklerinin aynı tümdevre üzerinde kullanıldığı karma bir donanım ile tasarlanmıştır. Sayısal ve analog işlem birimleri dışında tümdevre üzerinde, analog ve sayısal işaretlerin aynı anda kullanıldığı karma işaret işleyen donanımlar da kullanılmaktadır. Sayısal ve analog birimler arasında dönüşümü sağlayan DAC devreleri ile analog ve sayısal işaretlerin geçişine izin veren CMOS geçiş transistörleri ile oluşturulan anahtar devreleri tasarlanan karma donanımlar arasındadır.

3.1.3.1 Sayısalan Analoga Dönüştürücü Devreleri

CSFNN ağı üzerindeki serbest parametreler sayısal hafıza bloğunda saklanmaktadır. Ağın ileri yönlü işlemleri tamamen analog olarak gerçekleştirilmektedir. DAC devreleri, hafızada sayısal olarak saklanan verilerin analog sinyal değerine dönüşümünü sağlar. Ağ içindeki ileri yönlü tüm hesaplamalarda bu değer kullanılır. DAC çıkışlarından elde edilen analog veriler, çalışma süresi boyunca sabittir. Ağ içindeki hesaplamaların doğruluğu büyük oranda DAC devresinin lineer çalışmasına ve çözünürlüğü belirleyen bit sayısının seçimine bağlıdır. Bit sayısının (resolution) artması ile devre çıkışındaki doğruluk artar ve dolayısıyla daha ideal (lineer) bir DAC devresi elde edilir, fakat devrenin pul üzerinde kapladığı alan da artmaktadır (Baker vd., 1997).

Farklı bit sayıları (8-6-4-3) kullanılarak yapılan kuantalama işlemi ve MATLAB 7.0 programında yapılan simülasyonlar sonucunda, sayısal hafızada saklanan ağırlık, merkez ve açı ($\cos(\alpha)$) değerleri için 8bit çözünürlüğün gerekli olduğuna karar verilmiştir. Farklı bit sayıları kullanarak yapılan kuantalama işlemi sonucunda elde edilen ağın performansı Çizelge 3.3'te özetlenmiştir.

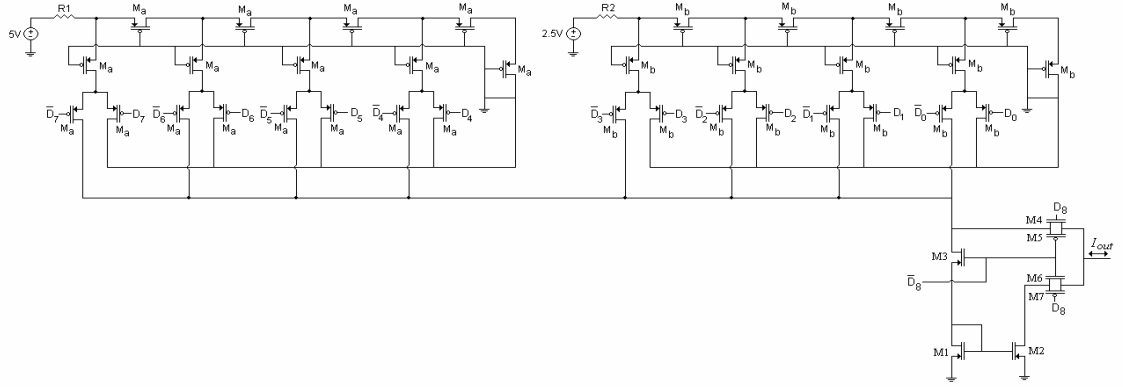
Çizelge 3.3 Farklı çözünürlükler için ağın performansı

Ağırlık	Merkez	Açı	Eğitim (%)	Test (%)
-	-	-	100	83.92
8	-	-	100	82.14
4	-	-	100	83.92
3	-	-	100	83.92
8	8	-	100	83.92
8	6	-	100	83.92
8	3	-	100	78.57

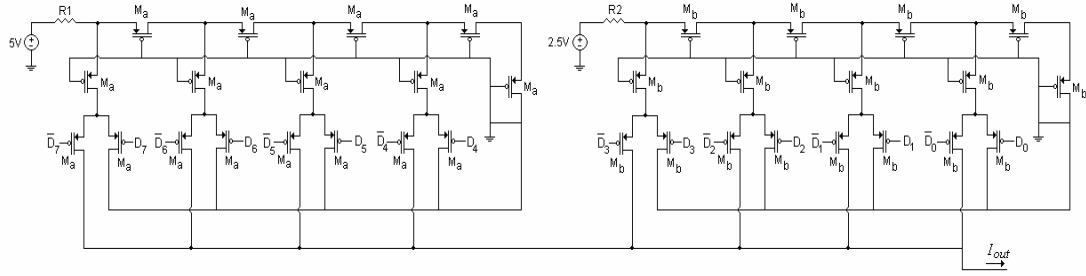
8	8	8	100	83.92
8	8	6	100	83.92
8	8	3	100	82.14
8	3	3	100	80.35
3	3	3	95	69.64
8	4	4	100	82.14

Merkez ve aç ı değ erleri ağ iç inde pozitif değ er almakta, ağı rlık değ erleri ise ağ iç erisinde negatif değ erler de alabilmektedir. Bu nedenle sayısal hafızada saklanan ağı rlık değ erleri iş aret biti ile birlikte 9bit olarak 8+1(ış aret biti) hafızada tutulmaktadır. Merkez ve aç ı değ erleri ağ iç erisinde pozitif değ er aldığı ndan herbir değ er için 8bit hafıza yeterli olmaktadır. Bu nedenle DAC devresi tasarlanırken iş aret bitinin dahil oldu ğ u (Ş ekil 3.37) ve dahil olmadığı (Ş ekil 3.38) iki tip devre tasarlanmı ş tır.

DAC devresinin tasarımında besleme geriliminin haricinde 2.5V bias gerilimi kullanılmı ş tır. 8bitlik DAC devresi, 4bitlik aynı tip iki DAC devresinin (Kier vd., 2004) bir araya getirilmesiyle olu ş turulmu ş tur. Birden fazla DAC devresinin bir araya getirilmesi ile olu ş an DAC devreleri (Segmented DAC) ç özünürlü ğ ü arttırmaktadır (Hoeschele, 1994). Rezistif R-2R DAC yapısını temel alan bu devrede direnç ler yerine MOS transistörler kullanılmı ş tır. EEPROM hafıza hücresinin ç ıkışı, MOSFET tabanlı R-2R tipi akım modlu DAC devresindeki anahtarlama transistörlerinin kontrol girişlerini (D_i , $\overline{D_i}$) olu ş turmaktadır. Her iki kısımda da MOS transistörlerin W/L oranları kendi iç erinde birbirine eş ittir. İş aret bitinin (D_8) aldığı değ ere göre ç ıkış akımının yönü değ iş mektedir. Böylece akan akımın yönü ağı rlık değ erinin negatif veya pozitif olma durumunu belirlemektedir.

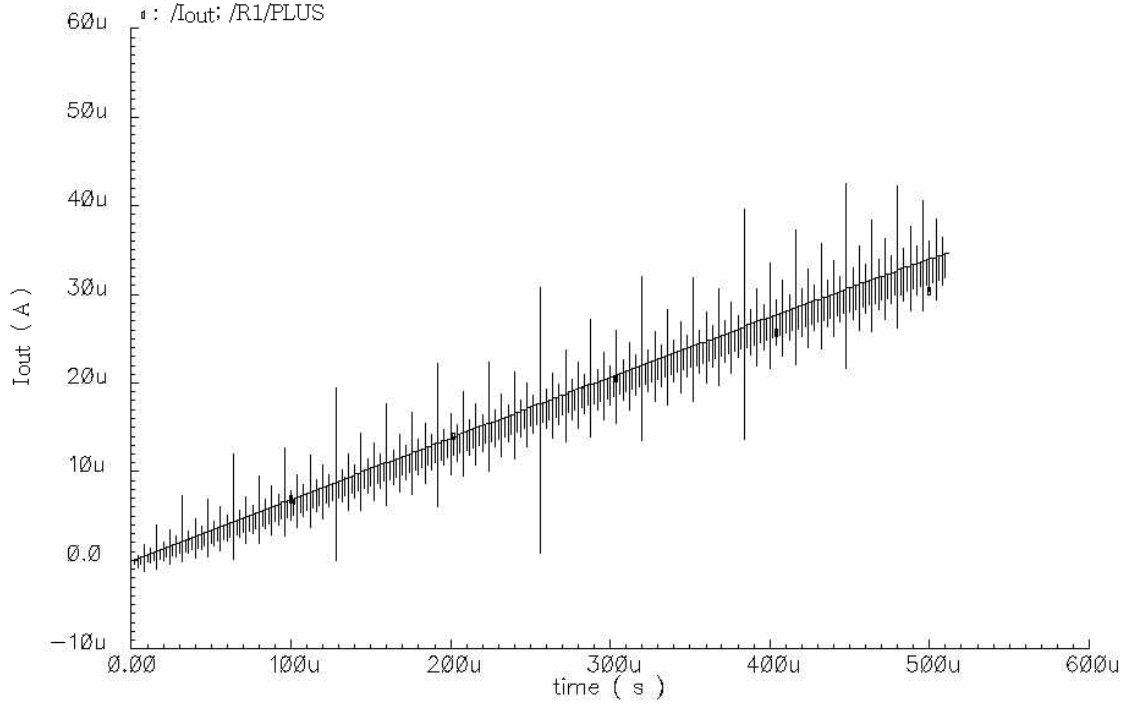


Şekil 3.37 İşaret bitinin dahil olduğu 8+1 DAC devresi



Şekil 3.38 8 bitlik DAC devresi

8 bitlik sayıcı yapısı, giriş olarak DAC bloğuna uygulanmış, Şekil 3.39'daki basamak şeklinde analog çıkışlar elde edilmiştir. Tümdevrenin programlansıyla aktif olan DAC, tümdevrenin çalışma süresince sabit çıkış vermektedir. Şekil 3.39'da görülen anahtarlama sırasında oluşan sıçramalar bu nedenle önem taşımamaktadır.

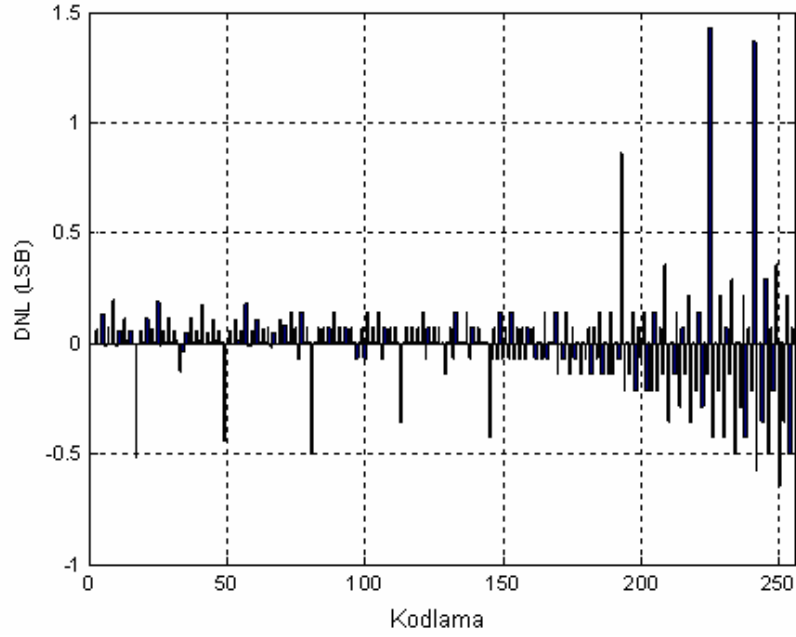


Şekil 3.39 DAC devresinin merdiven tipi çıkış karakteristiği

DAC devresinin statik performansını belirleyen en önemli kriterler arasında çözünürlük, offset hatası, DNL (Differential Nonlinearity) ve INL (Integral Nonlinearity) yer alır (Baker vd., 1997). Çözünürlük nöral tümdevre tasarımlarında uygulanan probleme ve eğitimde kullanılan tekniğe göre farklılık göstermektedir. Literatürde farklı teknik ve problemlere yönelik nöral tümdevre tasarımlarında kullanılmak üzere 8-13bit çözünürlüklü veriler sayısal hafızada saklanmaktadır. DNL ve INL kavramları, bir DAC devresinin simülasyon sonucunun ideal eğri ile ne kadar benzeştiğini (örtüştüğünü) belirler. Ofset hatası ise sıfır girişleri altında çıkışın ideal eğriden ne kadar uzaklaştığının ölçüsüdür.

DNL, ideal eğrideki seviyeler arasındaki artım miktarı ile devre tasarımı sonucunda elde edilen DAC eğrisindeki artım miktarı arasındaki farkın ideal eğriden elde edilen LSB (Least) cinsinden ifade edilmesidir. DNL eğrisi Şekil 3.40'ta verilmiştir.

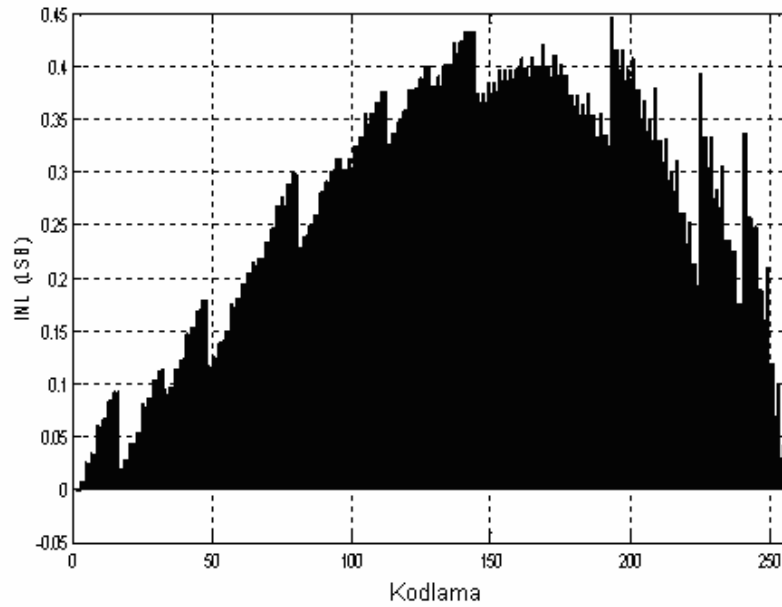
$$DNL = [(V_{D+1} - V_D)/V_{LSB-IDEAL} - 1], \quad \text{Burada } 0 < D < 2^N - 2. \quad (3.15)$$



Şekil 3.40 DNL Eğrisi

Devre tasarımı sonucunda elde edilen DAC eğrisinde INL hesabında kullanılmak üzere ilk ve son değeri birleştiren lineer bir eğri elde edilir. Simülasyon sonucunda elde edilen DAC eğrisindeki her bir seviyenin bu eğri üzerine karşılık gelen noktalara uzaklığının LSB cinsinden eldesi INL ifadesidir. INL eğrisi ise Şekil 3.41’de verilmiştir.

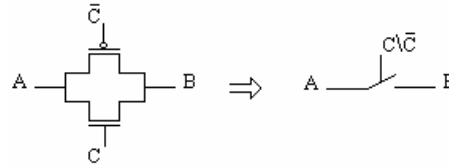
$$INL = [(V_{Dsim-sonucu} - V_{Dideal})/V_{LSB-IDEAL}], \quad \text{Burada } 0 < D < 2^N - 2. \quad (3.16)$$



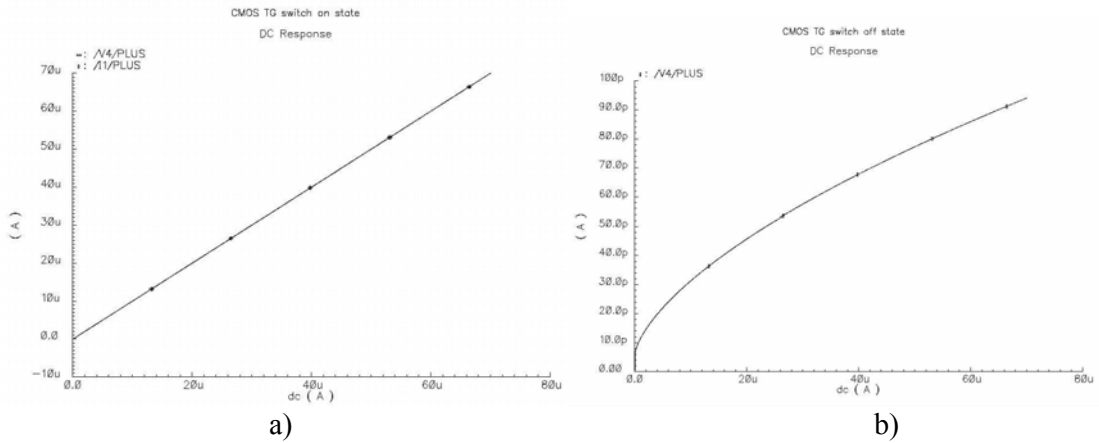
Şekil 3.41 INL Eğrisi

3.1.3.2 Anahtar Devreleri

Anahtar devreleri CMOS geiş transistörlerin kontrol uçlarına uygulanan gerilim seviyesinin geiş transistörlerini iletme veya kesime sürmesi esasına dayalıdır. Anahtar devreleri analog ve sayısal işaretlerin geişine izin veren karma yapıdadır. Şekil 3.42’de CMOS anahtar devrelerinin transistör bazında ve sembolik olarak gösterimi verilmiştir. Anahtar devreleri iletim durumunda verilen akımı çıkışta aynen takip eder (Şekil 3.43a), kesim durumunda ise pA seviyesinde akım akıtır (Şekil 3.43b).



Şekil 3.42 CMOS geiş transistörleri ile anahtar devresi



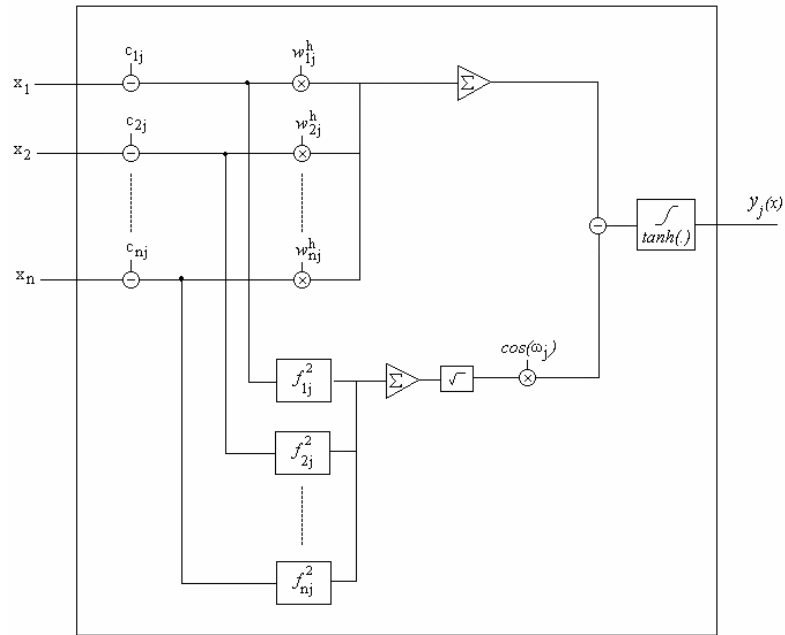
Şekil 3.43 CMOS geiş transistörünün iletim ve kesim durumu

CMOS geiş transistörleri tümdevre üzerinde kod çözücü devrelerin, çoğullayıcı devrelerin ve gerekli lojik kapıların tasarımında kullanılmaktadır. Ayrıca geiş transistörleri ile tasarlanan anahtar devreleri, ağ bağlantılarını düzenleyen sayısal kontrol bloğu içinde, DAC devresi çıkışı ile analog işlem birimlerinin girişleri arasında yer almaktadır. Tümdevresi tasarlanan ağın boyutu, anahtar devreleri tarafından kontrol edilmektedir.

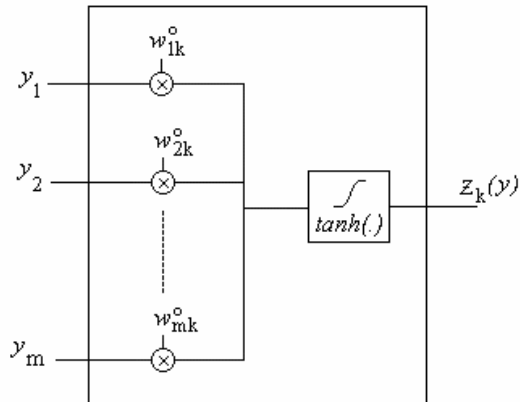
3.2 Nöron Tasarımı

CSFNN tümdevresi, üzerinde aritmetik işlemlerin yapıldığı gizli ve çıkış katmanındaki nöronlardan oluşmaktadır. Tasarımları gerçekleştirilen analog alt devreler birleştirilerek nöronları, nöronlar birleştirilerek tümdevrenin analog birimini oluşturmuşlardır. Alt devrelerin tek başına çalıştırıldıklarındaki performansları, birleştirme sürecinde değişmeyecek

şekilde tasarımlar gerçekleştirilmiştir. CSFNN ağında gizli katman ile çıkış katmanında yeralan nöronlardaki hesaplamalar farklılık göstermektedir. Çıkış katmanındaki nöronlarda, ağırlıklı toplam işlemi yapılmakta ve ardından toplam non-lineer bir fonksiyondan geçirilmektedir. Gizli katmandaki nöronlarda ise CSFNN ağının yayılım kuralını belirleyen (2.6) ve (2.7) eşitliklerinde ifade edilen, hesaplamalar yapılmaktadır. Bu hesaplamalar bölüm 2’de ayrıntısıyla incelenmiştir. Şekil 3.44’te n boyutlu girişe sahip bir CSFNN ağının, gizli katmanındaki j . nöronunda yapılan işlemlerin sembolik gösterimi verilmiştir. Şekil 3.45’de ise gizli katmandaki m adet çıkış nöronuna sahip bir CSFNN ağının, çıkış katmanındaki k . nöronunda yapılan işlemlerin sembolik gösterimi verilmiştir.

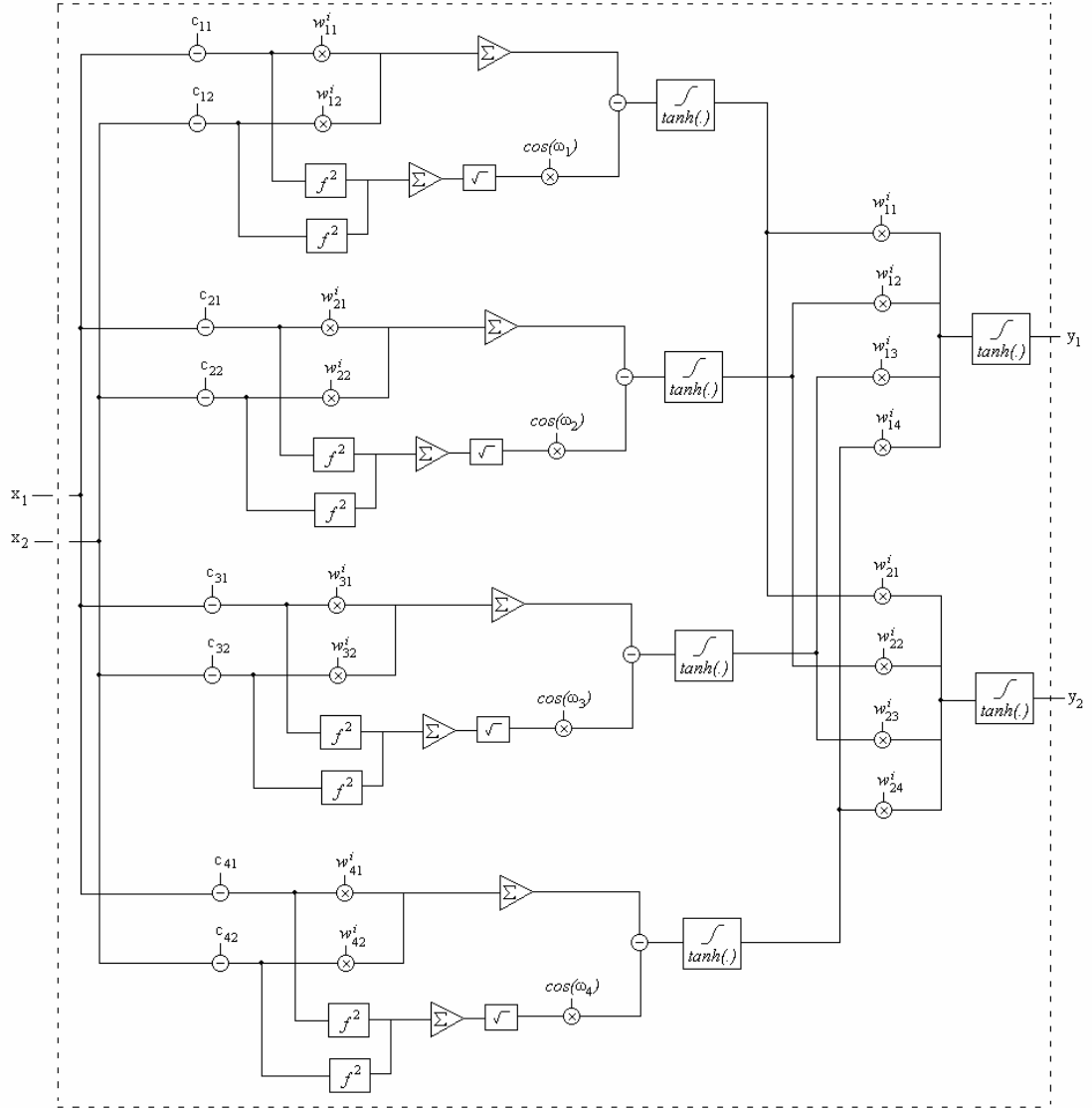


Şekil 3.44 Gizli katmandaki j . nöronunda yapılan işlemlerin sembolik gösterimi



Şekil 3.45 Çıkış katmanındaki k . nöronunda yapılan işlemlerin sembolik gösterimi

Tümdevresi tasarlanan ağ, 16-16-8 maksimum boyutlara sahip olup, bu boyuttan daha küçük bir problem için ağın boyutunun kontrol bloğu tarafından ayarlanabileceği daha önce belirtilmişti. Şekil 3.46'da 2 girişe, 4 gizli nörona, 2 çıkış nöronuna sahip CSFNN ağının sembolik gösterimi verilmiştir.



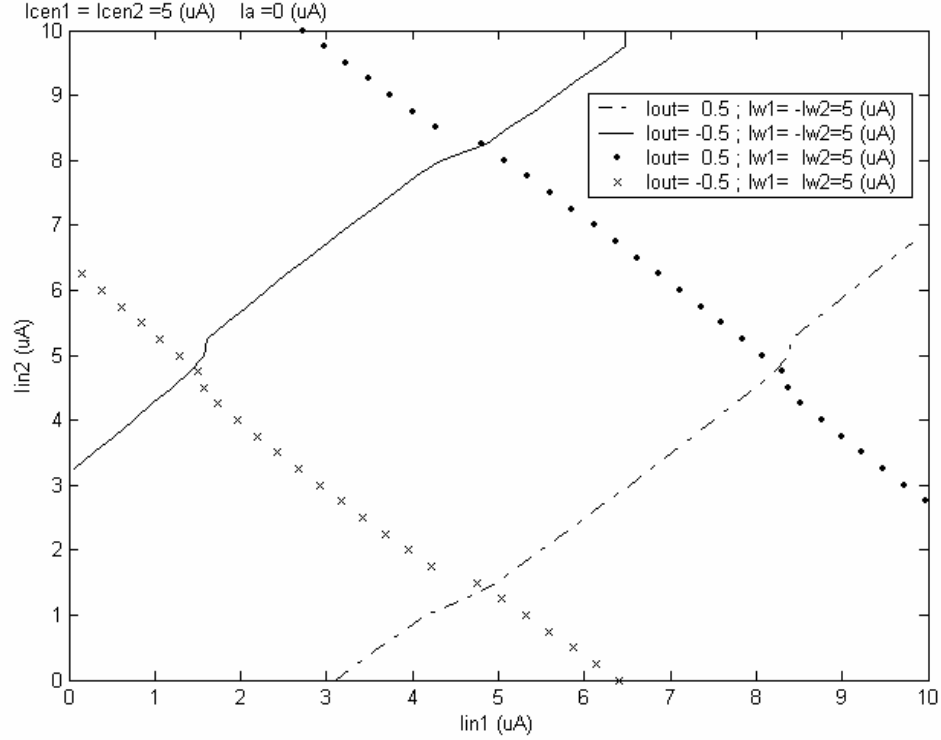
Şekil 3.46 2-4-2 CSFNN ağının sembolik gösterimi

3.2.1 CSFNN nöronu ile karar sınırı eldesi

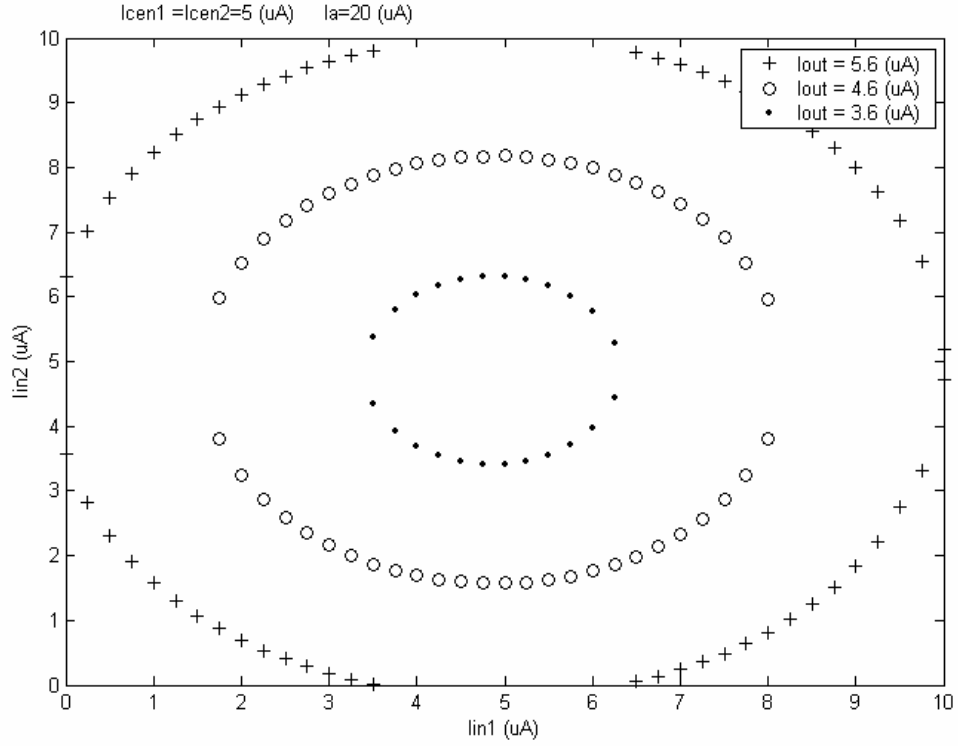
Tümdevresi tasarlanan yapay sinir ağı, veri uzayının dağılımına ve verilen problemin karmaşıklığına bağlı olarak otomatik karar sınırları (hiperdüzlem, hiperküre, elips, hiperbol, parabol) oluşturmaktadır. MLP'in düzlemsel ve RBF'in dairesel karar sınırları tasarımı hedeflenen yapay sinir ağının özel durumlarını oluşturmaktadır. Yazılım ortamında elde

edilen Şekil 2.8'deki simülasyon sonucu, tek bir CSFNN nöronu ile farklı karar sınırlarının elde edilebileceğini göstermektedir. Benzer simülasyonlar donanım ortamında da elde edilmiştir. Karar sınırı elde etmek için yapılan tüm simülasyonlarda tek bir CSFNN nöronu tümdevresi kullanılmıştır. 2 girişli CSFNN nöronu ile karar sınırları elde etmek üzere ağırlık merkez değerleri $I_{cen} = 5 \mu A$ olarak sabitlenmiş, farklı açılı I_a ve ağırlık değerleri I_w için nöronun giriş akımları I_{in1} , I_{in2} farklı çıkış akımları I_{out} elde etmek üzere taratılmıştır.

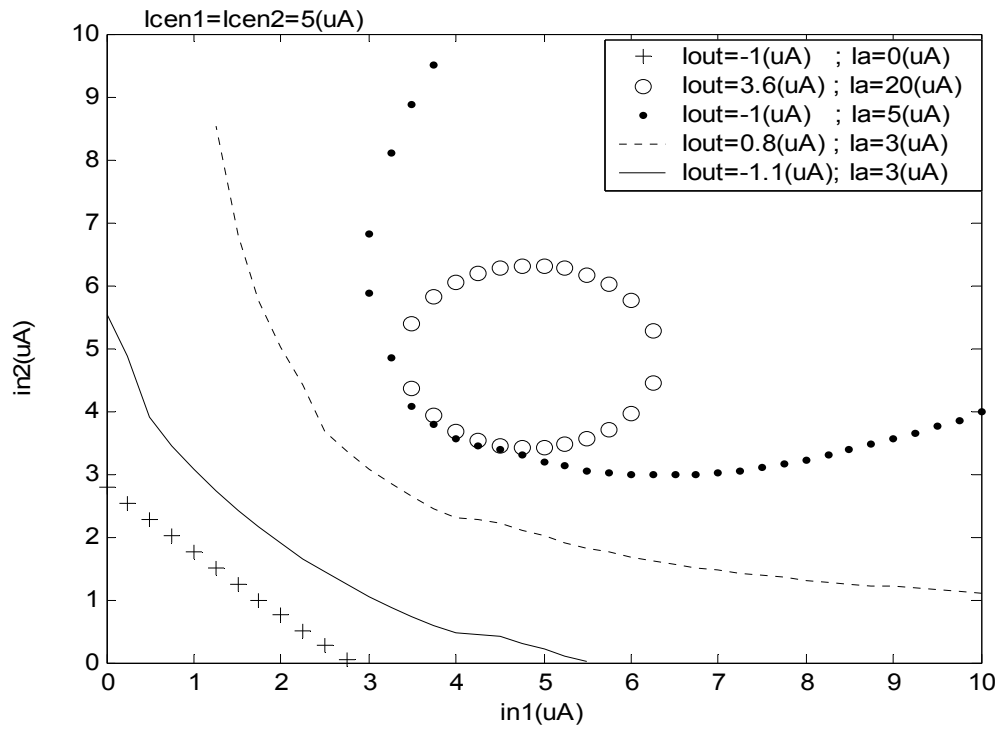
Şekil 3.47 CSFNN nöronu tümdevresi ile 2 boyutlu uzayda doğrusal karar sınırlarının elde edildiğini göstermektedir. Şekil 3.48 CSFNN nöronu tümdevresi ile dairesel karar sınırlarının elde edildiğini göstermektedir. Şekil 3.49 ise CSFNN nöronu tümdevresi ile karar sınırlarının düzlemsel yapıdan dairesel yapıya geçişte elde edilen farklı karar sınırlarının değişimini göstermektedir.



Şekil 3.47 CSFNN nöronu ile elde edilen düzlemsel karar sınırı



Şekil 3.48 CSFNN nöronu ile elde edilen dairesel karar sınırı



Şekil 3.49 CSFNN nöronu ile elde edilen farklı karar sınırlarının değişimleri

4 CSFNN TMDEVRESİNİN SINIFLANDIRMA PERFORMANSI

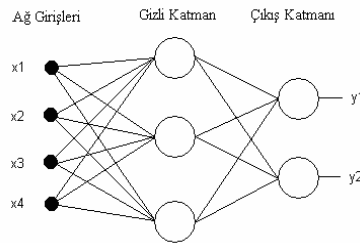
Tasarımı gerekleřtirilen genel amalı CSFNN tmdevresi, birden fazla problemin tmdevreye uygulanabilirliėine imkan saėlayacak řekilde tasarlanmıřtır. Tmdevrenin sınıflandırma etkinliėi, literatrde yaygın olarak kullanılan iris bitkisi sınıflandırma problemi ve byk aė boyutuna sahip bir grnt tanıma problemi ile sınanmıřtır. Tmdevresi tasarlanan aėın eėitimi, dng ii yonga tekniėi kullanılarak gerekleřtirilmiřtir. Aėın eėitim iřleminde, Cadence tasarım aracı ile MATLAB 7.0 yazılım ortamı kullanılmıřtır. Tmdevrenin sınıflandırma bařarımı, yazılım ortamında elde edilen sınıflandırma performansına olduka yakındır.

4.1 Tmdevreye Uygulanan Veri Kmeleri

Tasarlanan CSFNN aėı tmdevresine, iris bitkisi sınıflandırma ve grnt tanıma problemine rnek olarak da imza tanıma veri kmeleri uygulanmıřtır. CSFNN aėı tmdevresi, zellikle grnt tanıma problemlerinin uygulanmasına imkan saėlayacak řekilde 16-16-8 boyutlarında tasarlanmıřtır. Tmdevrenin performansı, grnt tanıma probleminden nce daha kk veri kmesine sahip iris bitkisi sınıflandırma problemiyle sınanmıřtır.

4.1.1 İris Bitkisi Sınıflandırma Problemi

Iris bitkisi sınıflandırma problemi, sınıfları birbirinden lineer olarak ayrılamayan veri kmesine sahip yapısı ile patern tanınmanın en temel uygulamalarındandır. Bu problemde, veri kmesi 3 sınıfta toplanmıř ve giriřler 4 zellikle tanımlanmıřtır. Her sınıfta 50 adet veri tanımlı orijinal veri kmesinde, toplam 150 adet veri bulunmaktadır. Eėitim kmesindeki her veri iin tanımlı, sepal uzunluk, sepal kalınlık, petal uzunluk ve petal kalınlık bilgilerinin cm cinsinden lm veri kmesinin ayırd edici olan zellikleridir. Bu alıřmada, veri kmesi iinden her sınıfı kapsayacak řekilde homojen olarak seilen 12 adet eėitim verisi ve 75 adet test verisi tmdevreye uygulanmıřtır. CSFNN aė boyutu, bu problem iin 4 giriř, gizli katmanda 3 nron ve ıkıř katmanında 2 nrondan oluřmaktadır řekil 4.1.



Şekil 4.1 İris bitkisi problemi için tasarlanan CSFNN ağ yapısı

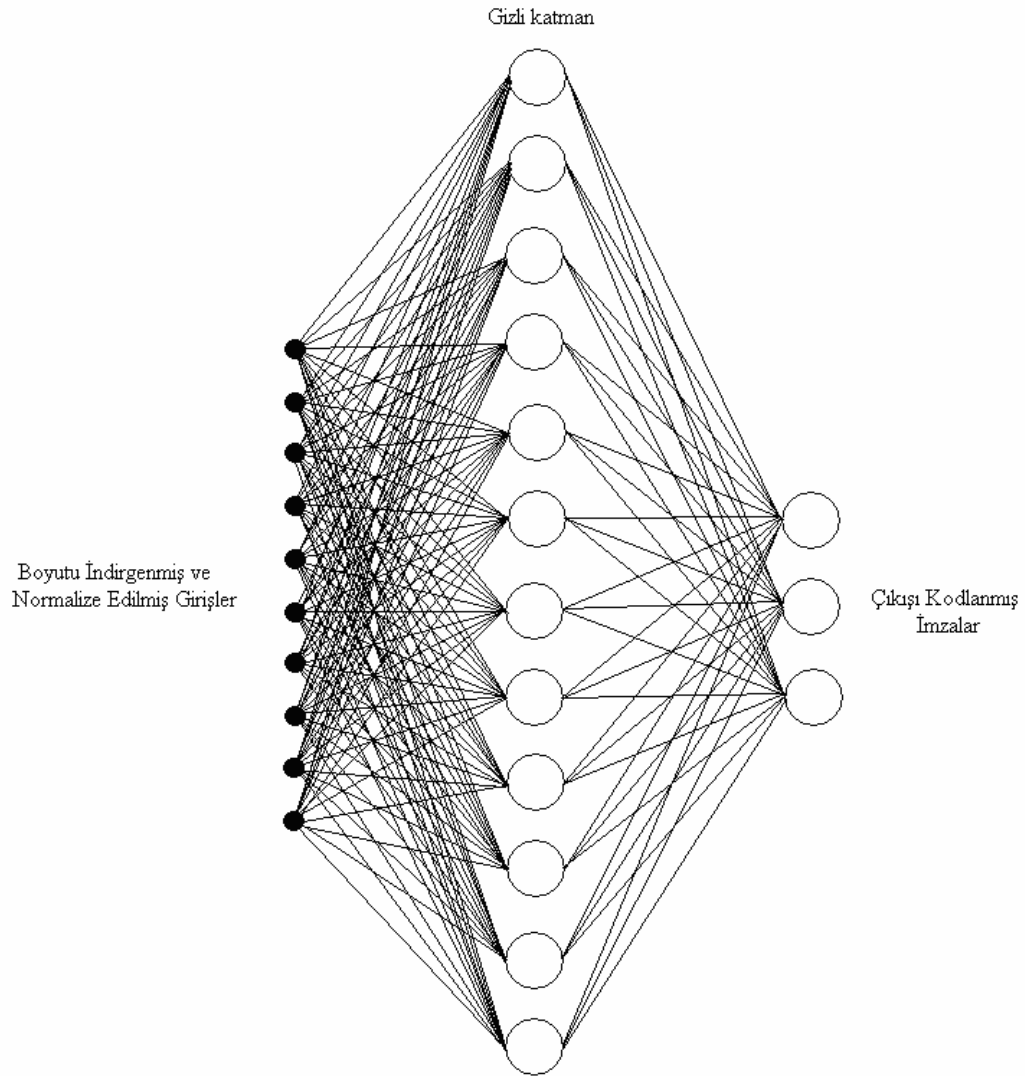
4.1.2 İmza Tanıma Problemi

İmza tanıma probleminin yapay sinir ağlarına uygulanmasındaki amaç, eğitim kümesi içinde ağa tanıtılan imzalar haricinde bir imzanın kime ait olduğunu bulmaktır. İmza tanıma işlemi, özellikle güvenlik amacıyla kullanılmaktadır. İmza tanıma işleminin performansı, imzalar arasındaki farkı belirleyici karakteristik özelliklerin doğru bir şekilde çıkarılmasına bağlıdır. Ancak, veri kümesi oluşturulurken aynı kişiden farklı zaman ve koşullarda elde edilen imza örnekleri farklılık göstermektedir. Veri toplama işlemindeki çeşitlilik ve özellik çıkarma sürecindeki ayırt edici özellikleri belirleme işlemi imza tanıma problemini zahmetli bir görüntü tanıma problemine dönüştürür. İmzaların karakteristik özelliklerini ayırt edici nitelikler arasında, yükseklik genişlik oranı, maksimum yatay izdüşüm, maksimum dikey izdüşüm, yatay izdüşüm tepeleri, dikey izdüşüm tepeleri, imza alanı, imzanın yatay merkezi, imza yüksekliği, genel ve yerel meyil açıları, köşe noktası sayısı, kesişme noktası sayısı, kapalı çevrim adeti, grid bilgisi, alt-üst zarf eğrileri, taban çizgisi sayılabilir. Bu özelliklerden hangilerinin elde edileceği yapılan çalışmaya ve uygulanan yöntemle göre farklılık göstermektedir. Yapay sinir ağları kullanılarak imza tanıma işleminde, özellik çıkarma sürecinde elde edilen özellik vektörü yapay sinir ağlarına giriş olarak uygulanmaktadır.

Ağa uygulanan gerçek zamanlı olmayan imza tanıma veri kümesi, Senol (Senol, 2004) tarafından oluşturulmuştur. Bu çalışmada, çevrimdışı uygulamalar kategorisinde değerlendirilen imza tanıma işlemi gerçekleştirilmiştir. Gerçek zamanlı imza tanıma işleminden farklı olarak, imza veri kümesi oluşturulduktan sonra veriler, sistemin girdisini oluşturmaktadır. Veri kümesi elde etmek için 8 kişiden 32'şer adet imza alınmış, her kişinin attığı imzadan 25 tanesi ağın eğitiminde 7 tanesi test işleminde kullanılmıştır. Veri kümesi 8 sınıfta tanımlanmıştır. Alınan imzalar, arka planın yok edilmesi, normalizasyon ve iskelet çıkarma gibi ön işlemlerden geçirilmiş ve resimleri oluşturan genel özellikler çıkarılmıştır. Bu özellikler, imzanın yatay merkezi, imzanın dikey merkezi, taban çizgisi kayması ve grid bilgisidir. İlk üç özellik, yapay sinir ağının ilk üç girişini oluştururken, grid bilgisi ağın diğer 96 girişini oluşturur. Grid bilgisi, aslında 8x12'lik matris bilgisi olup vektörel formda ağın girişlerine uygulanır. Bu durumda, özellik vektör boyutu 99 olmaktadır. Özellik çıkartma sürecinin ardından 99x200 boyutunda eğitim kümesi, 99x56 test kümesi elde edilmektedir. Özellik vektörünün oldukça büyük olması, yazılım ortamında işlem hızının yavaşlamasına neden olur. Ayrıca ağ boyutu büyüdükçe ağın donanım gerçeklemelerine uygunluğu azalmaktadır. Özellik vektörünün boyutunu azaltmak amacıyla veri kümesine Temel Bileşen

Analizi (PCA) tekniđi uygulanmıřtır.

PCA, ok boyutlu zellik vektrnn boyutunu azaltmak ve sistemin iřlem ykn hafifletmek amacıyla geliřtirilmiř, zellik vektrn oluřturan etkili ve asıl bileřenlerin seimi esasına dayanan zellik ıkartma yntemidir. PCA tekniđi kullanılarak bařlangıta p-boyutlu zellik vektr, veri kmesini oluřturan etkili ve asıl bileřenlerin korunması ile n-boyutlu zellik vektrne indirgenir ($n < p$) (Haykin, 1994). Bu alıřmada, 99 olan zellik vektrnn boyutu, PCA uygulamasının ardından 10'a indirgenmiřtir. Bu problem iin ađın gizli katmandaki nron sayısı 12 olarak belirlenmiřtir. İmza tanıma problemi iin 10 giriře, gizli katmanda 12 nrona ve ıkıř katmanında 3 nrona sahip bir CSFNN ađının yapısı řekil 4.2'de verilmiřtir.



řekil 4.2 İmza tanıma problemi iin tasarlanan CSFNN ađ yapısı

4.2 Girişlerin Ağa Sunumu

Yazılım ve donanım ortamında, CSFNN ağının eğitim ve test işlemini gerçekleştirmek için veri kümesindeki girişlerin değişim aralığını, ortamın çalışma aralığına göre normalize etmek gerekir. Girişleri ağa uygulamadan önce, yazılım ve donanım ortamında veri kümesinin normalizasyon işlemi sırasıyla Bölüm 4.2.1’de ve Bölüm 4.2.2’de verilmiştir.

4.2.1 Yazılım Ortamında Girişlerin Ağa Sunumu

Matlab 7.0 yazılım ortamında yapılan simülasyonlarda CSFNN ağının girişleri, her bir özellik $[0, 1]$ değerleri arasında kalacak şekilde ölçeklendirilmiştir. Merkez değerleri eğitim kümesi arasından, eğitim kümesindeki her sınıfı eşit olarak temsil edecek şekilde rastgele seçilmiştir. Merkez değerleri de bu nedenle $[0, 1]$ değerleri arasında bulunmaktadır. Gizli katmana bağlı ağırlıklar ile çıkış katmanına bağlı ağırlıklar başlangıçta $[-0.5, 0.5]$ aralığında kalacak şekilde rastgele atanmaktadır. Ağa sunulacak açı değerleri, ağın başlangıç konumuna (RBF, MLP) göre değişiklik göstermektedir. Kullanıcı uygulanan problem için ağın başlangıç konumunu RBF olarak seçtiğinde açının başlangıç değeri $\pi/4$ olarak atanmakta, MLP olarak seçtiğinde ise açının başlangıç değeri $\pi/2$ olarak atanmaktadır. Açı bilgisi, hafıza üzerinde $\cos(\omega)$ olarak saklanmaktadır. Açı değerleri ağ üzerinde, $[-\pi/2, \pi/2]$ arasında sınırlandırılmıştır. Ağ üzerinde gizli katmanda bulunan merkezler C_{hid} , gizli katmana bağlı ağırlıklar W_{hid} , çıkış katmanına bağlı ağırlıklar W_{out} ve gizli katmanda bulunan açı değerleri ise om_{hid} olarak isimlendirilmiştir. Yazılım ortamında iris bitkisi sınıflandırma problemi için girişlerin ve ağ üzerindeki serbest parametrelerin başlangıçta aldığı değerler, aşağıdaki eşitliklerde örnek olarak verilmiştir.

$$in = [0.8197 \quad 0.4918 \quad 0.2623 \quad 0.0328] \quad (4.1)$$

$$C_{hid} = \begin{bmatrix} 0.9016 & 0.5738 & 0.2131 & 0.0328 \\ 1.0000 & 0.4918 & 0.7541 & 0.2295 \\ 0.9672 & 0.4918 & 0.8361 & 0.2951 \end{bmatrix} \quad (4.2)$$

$$W_{hid} = \begin{bmatrix} 0.4501 & 0.3913 & 0.3214 \\ -0.2689 & 0.2621 & -0.0553 \\ -0.1068 & -0.0435 & 0.1154 \\ -0.0140 & -0.4815 & 0.2919 \end{bmatrix} \quad (4.3)$$

$$W_{out} = \begin{bmatrix} 0.4218 & -0.0943 \\ 0.2382 & 0.4355 \\ -0.3237 & 0.4169 \end{bmatrix} \quad (4.4)$$

$$om_{hid} = \begin{bmatrix} 0.7071 \\ 0.7071 \\ 0.7071 \end{bmatrix} \quad (4.5)$$

4.2.2 Donanım Ortamında Girişlerin Ağa Sunumu

Yazılım ortamında ağa sunulan giriş ve serbest parametre değerleri, başlangıçta normalize edilmektedir. Donanım ortamında ise tümdevreye sunulan bu değerler, tümdevre üzerindeki alt devrelerin çalışma aralıkları ile sınırlandırılmıştır. Devreler, çalışma aralıkları dışında düzgün çıkış üretememektedir. Ağda bulunan serbest parametreler sayısal olarak EEPROM'lar üzerinde 8 bit çözünürlükle saklanmakta, hafıza ile analog işlem birimleri arasında sayısal-analog dönüşümü sağlamak üzere DAC devrelerinden yararlanılmaktadır. Serbest parametreler, DAC devresinden, analog işlem birimlerine 8 bit çözünürlükle kuantalanarak tümdevreye uygulanmıştır. DAC devrelerinin çıkışı, analog alt devrelerinin giriş çalışma aralıklarına uygundur. Ağın girişleri ise, tümdevre dışından analog olarak tümdevreye uygulanmıştır.

Tümdevre üzerinde bulunan çarpma devreleri, kare alma devreleri, çıkarma devreleri ve akım aynaları $[-20\mu A, 20\mu A]$ giriş çalışma aralığına sahiptir. Yazılım ortamında giriş olarak uygulanan, eğitim kümesini oluşturan örnekler ve serbest parametreler tümdevredeki alt devrelerin giriş aralığına uygun değerler aralığında ölçeklenmiştir. Eğitim kümesindeki girişler ve eğitim kümesi içinden rastgele seçilen merkez değerleri ve açılış değerleri $[0, 20\mu A]$ aralığında ölçeklendirilerek tümdevreye sunulmuştur. Negatif değerlerde alabilen gizli ve çıkış katmanına bağlı ağırlık değerleri ise tümdevreye uygulanmadan önce $[-20\mu A, 20\mu A]$ arasında ölçeklendirilmiştir. Ağın ileri yönlü işlemlerindeki matematiksel uyumluluğu sağlamak üzere tümdevreye uygulanan girişler, yazılım ortamındaki verilere uygun olarak ölçeklendirilmiştir. Yazılım ortamında iris bitkisi sınıflandırma problemi için girişlerin ve ağ üzerindeki serbest parametrelerin başlangıçta aldığı değerler örnek olarak verilmişti. Bu değerlere göre tümdevreye uygulanması gereken giriş ve serbest parametre değerleri aşağıdaki eşitliklerindeki gibi ölçeklendirilmiştir. Yazılım ortamındaki giriş değerleri donanım ortamına uygulanmadan önce giriş verilerinde bozulma yaratmak açısından 8 bit ile kuantalanmış ve hassasiyeti azaltılmıştır.

$$in = [16.3922 \quad 9.8039 \quad 5.2549 \quad 0.6275] * 10^{-6} \quad (4.6)$$

$$W_{hid} = \begin{bmatrix} 9.0196 & 7.8431 & 6.4314 \\ -5.4118 & 5.2549 & -1.0980 \\ 2.1176 & -0.8627 & 2.2745 \\ -0.3137 & -9.6471 & 5.8039 \end{bmatrix} * 10^{-6} \quad (4.7)$$

$$C_{hid} = \begin{bmatrix} 18.0392 & 11.4510 & 4.2353 & 0.6275 \\ 20 & 9.8039 & 15.0588 & 4.6275 \\ 19.3725 & 9.8039 & 16.7059 & 5.8824 \end{bmatrix} * 10^{-6} \quad (4.8)$$

$$W_{out} = \begin{bmatrix} 4.2353 & -0.9412 \\ 2.3529 & 4.3922 \\ -3.2157 & 4.1569 \end{bmatrix} * 10^{-6} \quad (4.9)$$

$$om_{hid} = \begin{bmatrix} 14.1176 \\ 14.1176 \\ 14.1176 \end{bmatrix} * 10^{-6} \quad (4.10)$$

4.3 Yazılım ve Donanım Ortamında Ağ Çıkışlarının Eldesi

Yapay sinir ağlarındaki eğitim işlemindeki amaç, ağın çıkışlarını istenen hedef değerlere yaklaştırmaktır. Bu nedenle iteratif olarak ağ üzerindeki serbest parametre değerleri hatayı minimize edecek şekilde güncellenmektedir. Tümdevrede yer alan tüm analog alt devreler, akım modlu olarak çalışmaktadır. Devre çıkışları, giriş akımları cinsinden ifade edilmektedir. Ağın çıkışı, çıkış katmanındaki nöronlarda yer alan sigmoid fonksiyon üretici devresinin çıkışları cinsinden belirlenir. Sigmoid fonksiyon üretici devresinin çıkışları $[-15\mu A, 15\mu A]$ aralığında değişmektedir. Bu nedenle donanım ortamında elde edilen akım değeri $15e-6$ sabiti ile bölünerek, yazılım ortamındaki ağ çıkışına uygun hale getirilir ve eğitim sürecinde yazılım ortamında eğitim düşümü yöntemine dayanan geriye yayılım algoritmasına uygulanır.

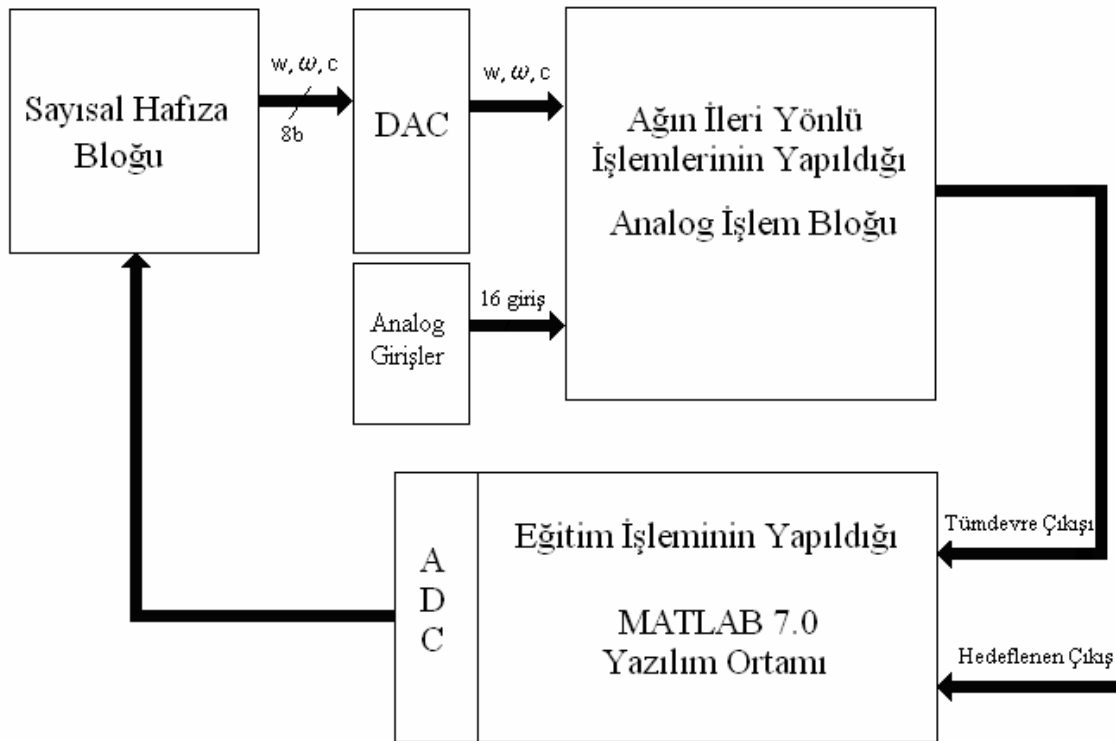
4.4 Döngü-içi-Yonga Tekniği ile Tümdevrenin Eğitimi

Yapay sinir ağı tümdevrelerini, eğitim işleminin gerçekleştirildiği yere bağlı olarak sınıflandırmak mümkündür. Eğitim işlemi tümüyle tümdevre üzerinde gerçekleştiriliyorsa ‘on-chip’ öğrenme, eğitim işlemi tümdevre dışında gerçekleştiriliyorsa ‘off-chip’ öğrenme olarak tanımlanmaktadır. Tümdevre üzerinde gerçekleştirilen öğrenme işleminde, ağın ileri yönlü işlemleri ile öğrenme algoritması tümdevre üzerinde yapılır. Tümdevre dışında bir bilgisayar veya işlemci kullanılarak gerçekleştirilen öğrenme işleminde ise, sadece test işlemi

tümdevre üzerinde gerçekleştirilir.

Bu çalışmada, döngü-içi-yonga (chip-in-the-loop) tekniği ile tümdevrenin eğitimi gerçekleştirilmiştir. Döngü-içi-yonga tekniğinde, ağırlık ileri yönlü hesaplamaları tümdevre üzerinde yapılmaktadır. Tümdevre çıkışında elde edilen değerler, yazılım ortamında öğrenme algoritmasında kullanılır. Bu tür tümdevre eğitim tekniğinde, ağırlık ileri yönlü işlemlerinin yapıldığı analog devrelerin idealsizlikleri de eğitim işlemine katılmış olmaktadır (Cairns ve Tarassenko 1994). Serbest parametrelerin güncellenmesinde bu etkiler de hesaba katıldığından, tümdevre dışında gerçekleştirilen öğrenme tekniğine (off-chip) göre eğitim sonrasında tümdevrenin sınıflamadaki performansı artırılabilir.

Bu tezde, imza tanıma ve iris bitkisi sınıflandırma veri kümeleri ile CSFNN ağı tümdevresinin eğitim ve test işlemleri gerçekleştirilmiştir. Tümdevreye uygulanan problemlerde, eğitim işlemini hızlandırmak ve serbest parametre değerlerini başlangıç koşullarından kurtarmak için eğitim işlemi yazılım ortamında belli bir iterasyon değerine kadar gerçekleştirilmiş, ardından döngü-içi-yonga tekniği ile eğitim işlemine devam edilmiştir. Döngü-içi-yonga tekniği ile eğitim işleminin sembolik gösterimi Şekil 4.3'te verilmiştir.



Şekil 4.3 Döngü-içi-yonga tekniği ile eğitim işleminin sembolik gösterimi

4.5 Tmdevrenin Sınıflandırma Başarımı

Tmdevrenin sınıflandırma başarımı imza tanıma ve iris bitkisi sınıflandırma veri kmeleri ile sınıanmıştır. Genel amaçlı olarak tasarlanan tmdevre zerinde gerekleřtirilen CSFNN ađının boyutları her iki problem iin farklıdır.

12 adet eđitim verisinden, 75 adet test verisinden oluřan iris bitkisi veri kmesi, tmdevreye uygulanmadan nce, eđitim srecini hızlandırmak ve serbest parametre deđerlerini bařlangı kořullarından kurtarmak iin 60 iterasyon deđerine kadar yazılım ortamında eđitilmiştir. Ardından yazılım ve donanım ortamının ardışıl alıřtırıldıđı dng-ii-yonga tmdevre eđitim tekniđi kullanılarak 15 iterasyon ile ađın eđitimi tamamlanmıştır. Eđitim iřlemi toplam 75 iterasyonda gerekleřmiştir. Tmdevre sınıflandırma performansını, yazılım ortamında elde edilen sonular ile karřılařtırmak zere veri kmesi 75 iterasyonla eđitilmiştir.

İmza tanıma veri kmesi, CSFNN ađı tmdevresine uygulanan bir diđer problemdir. 200 adet eđitim verisinden, 56 adet test verisinden oluřan imza veri kmesi, tmdevreye uygulanmadan nce, 800 iterasyon deđerine kadar yazılım ortamında eđitilmiştir. Dng-ii-yonga eđitim tekniđi ile 5 iterasyon daha eđitim iřlemi gerekleřtirilmiştir. Eđitim iřleminde đrenme oranı ve momentum sabiti sırasıyla 0.01 ile 0.1 olarak seilmiştir.

Her iki veri kmesi iin yazılım ortamında elde edilen sonular ile donanım ortamında elde edilen sonular karřılařtırıldıđında eđitim ve test iřlemi iin olduka yakın bařarımların elde edildiđi grlmřtr.

4.6 Yazılım ve Donanım Sonularının Karřılařtırılması

Dng-ii-yonga tekniđi ile yapılan simlasyonlarda iterasyon sayısı arttıka donanım sonuları yazılım sonularına yakınsama eđiliminde olmaktadır. Fakat, bu teknikte, ardışıl olarak gerekleřtirilen yazılım ve donanım ortamındaki iřlemler iin herhangi bir arayz oluřturulamadıđından, iřlemler arasındaki geiř elle yapılmaktadır. Bu nedenle eđitim sreci uzun srdđnden, dng-ii-yonga tekniđi ile yapılan iterasyonlar sınırlı sayıda tutulmuřtur.

Sınıflandırma başarımı deđerlendirilirken 0.5'in altında kalan deđerler '0', 0.5'in stnde kalan deđerler '1' olarak tanımlanmıştır. İris bitkisi sınıflandırma ve imza tanıma problemleri iin yazılım ortamında ve tmdevrenin kullanıldıđı donanım ortamında elde edilen eđitim ve test sonuları sırasıyla izelge 4.1'de ve izelge 4.2'de verilmiştir. izelge 4.3'te ise imza tanıma problemi iin dng-ii-yonga tekniđi ile gerekleřtirilen eđitim iřlemindeki herbir iterasyon sonucunda CSFNN ađı tmdevresinin sınıflandırma performansındaki deđiřim

ayrıntılı olarak verilmiştir. İris bitkisi sınıflandırma ve imza tanıma problemleri için eğitim ve test sürecinde, veri kümelerinden uygulanan herbir örnek için yazılım, donanım ve ideal sonuçları sırasıyla Ek 4’de ve Ek 5’te verilmiştir. Ek’te verilen tablolarda koyu renk ile işaretli olanlar hatalı sınıflamayı göstermektedir.

Çizelge 4.1 Yazılım ve donanım ortamında iris probleminin sınıflandırılma performansı

Yazılım Sonuçları		Donanım Sonuçları	
Eğitim	Test	Eğitim	Test
%100 (12 Doğru)	%94.6 (71 Doğru)	%100 (12 Doğru)	%96 (72 Doğru)

Çizelge 4.2 Yazılım ve donanım ortamında imza veri kümesinin sınıflandırılma performansı

Yazılım Sonuçları		Donanım Sonuçları	
Eğitim	Test	Eğitim	Test
%98.5 (197 Doğru)	%82.14 (46 Doğru)	%95.5 (191 Doğru)	%82.14 (46 Doğru)

Çizelge 4.3 Döngü-içi-yonga tekniği ile herbir iterasyonda eğitim başarımının değişimi

1. iterasyon	2. iterasyon	3. iterasyon	4. iterasyon	5. iterasyon
%94 (188 Doğru)	%95 (190 Doğru)	%95.5 (191 Doğru)	%95 (190 Doğru)	%95.5 (191 Doğru)

5 TMDEVRENİN SERİMİ

Tasarlanan tmdevrenin serimi 0.5µm CMOS AMIS-MOSIS tasarım kuralları ile Cadence tasarım aracında gerekleřtirilmiřtir. Karma donanım teknikleri ile tasarlanan tmdevrede yer alan alt devrelerin serimleri, analog ve sayısal serim teknikleri kullanılarak elde edilmiřtir. Tmdevrenin serimi, optimal ve dzenli bir yapı elde etmek amacıyla tam zel tasarım yntemi (Full-Custom Design) ile tasarlanmıřtır. Serim sonrası oluřan parazitik etkiler ile simlasyonlar gerekleřtirilmiřtir.

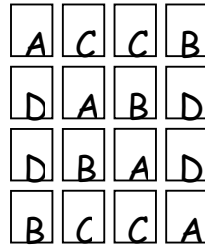
5.1 Serim Teknikleri

Sayısal devrelerin seriminin izilmesinde alan ve hız gz nnde bulundurulması gereken en nemli kriterlerdir. Analog devrelerin seriminde bu etmenlerin yanında, devre elemanları arasındaki uyumluluęun da (matching) saęlanması ok nemlidir. retimden kaynaklanan ve zellikle analog devreleri etkileyen, devre elemanları arasındaki uyuřmazlık sorununu en aza indirmek iin farklı teknikler geliřtirilmiřtir (Hastings, 2006). Akım aynaları ve farksal kuvvetlendirici devreleri elemanlar arası uyumsuzluk probleminden doęrudan etkilenecek yanlıř cevap reten analog tasarımın en temel devreleridir. Lateral difzyon, fazla ařındırma, sınır kořullarının etkisi, katkılamadaki homojen olmayan daęılım, oksit kalınlıęındaki deęiřim ve maske hizalama hatası gibi retim sırasında oluřan etkiler elemanlar arasındaki uyumsuzluęa neden olabilen etmenlerdir. Transistr, kapasite ve diren gibi elemanların uyumsuzluk problemini ve parazitik diren ve kapasite deęerlerini en aza indirmek iin literatrde ok farklı yntemler uygulanmaktadır. Bu blmde, tasarlanan tmdevrede yer alan analog alt devrelerin seriminin iziminde kullanılan yntemlerden bahsedilecektir.

Analog devrelerin seriminde transistr boyutları kldke elemanlar arasındaki uyumsuzluk (mismatch) artmaktadır (Hastings, 2006). Birbirlerini doęrudan etkileyen hcreler birbirlerine olduka yakın konumlandırılmalı ve aynı ynelimli olmalıdır. Devredeki byk transistrler, daha kk transistrlerin bileřkesi olarak tasarlanmalıdır (Stacked transistr). Kontakların boyutları kk tutulmalı ve oklu kontak kullanılmalıdır (Baker, 1997). Ayrıca devre elemanlarının seriminde, ortak merkezli (common-centroid) simetride izimler gerekleřtirilmelidir. Ortak merkezli simetride, x koordinatında simetrik (interdigitated simetri) serim ile x-y koordinatında simetrik (common-centroid simetri) serim gerekleřtirilebilmektedir. Ortak merkezli simetriye sahip, x koordinatında ve x-y koordinatında simetrik serim rnekleri řematik gsterimle sırasıyla řekil 5.1a'da ve řekil 5.1b'de verilmiřtir.



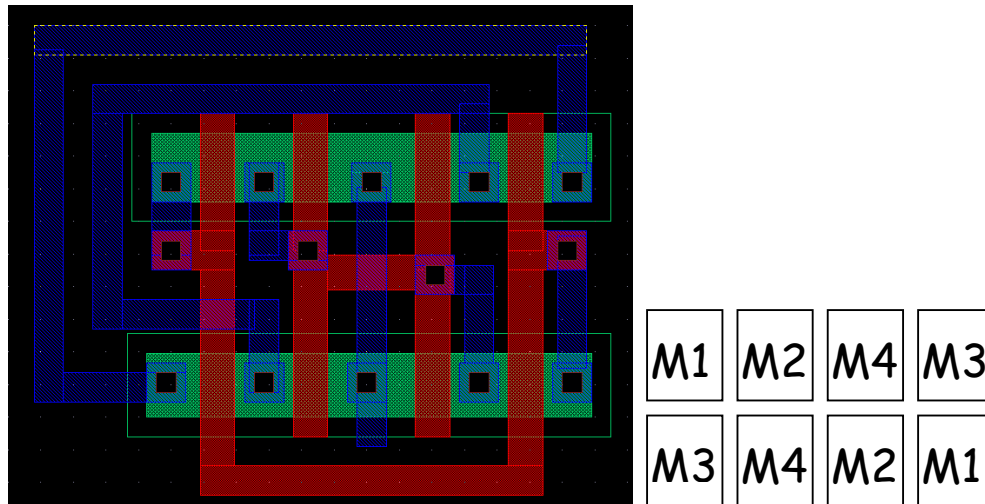
a)



b)

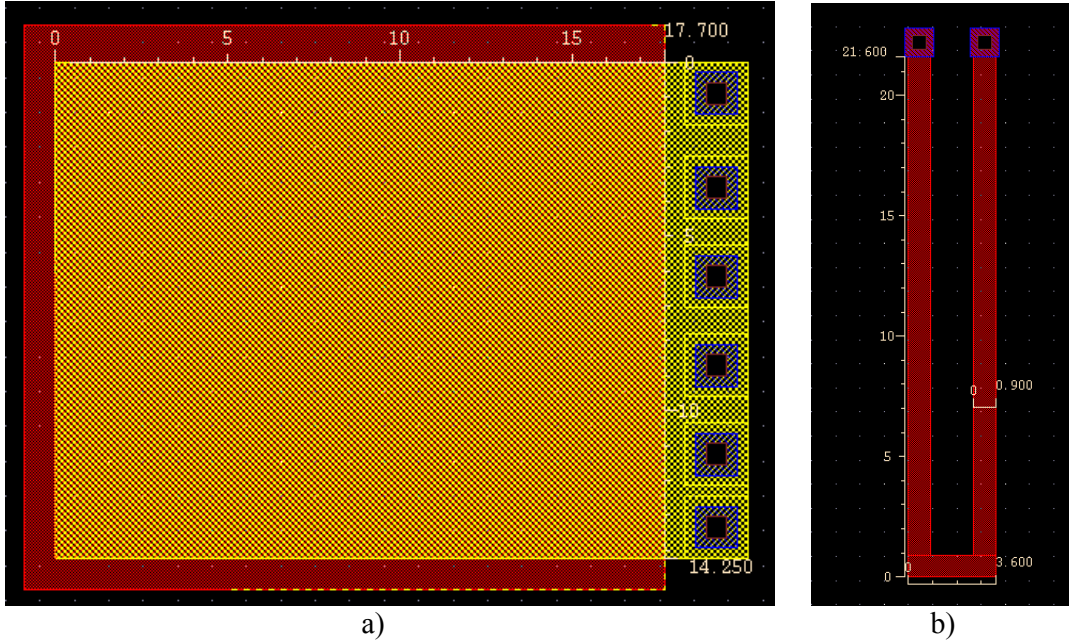
Şekil 5.1 Ortak merkezli simetride serim örnekleri (Baker, 1997)

Tümdevrede yer alan analog alt devreler, tasarım sırasında minimum boyutlardan daha büyük boyutta tasarlanmıştır. Aşağıdaki serimlerden de görüldüğü gibi, tümdevredeki tüm transistör ve direnç değerleri aynı yönelimde tasarlanmış ve tasarımın simetrik olmasına dikkat edilmiştir. Devredeki büyük transistörler, tasarım kurallarının izin verdiği boyutta küçük transistörlerin bileşkesi olarak tasarlanmıştır. Bu tip serimde büyük transistörler, daha düzenli bir yerleşime sahip olmakla birlikte difüzyon kapasiteleri de (C_{sb} , C_{db}) belli bir oranda azalmış olur (Baker, 1997). V_{dd} ve G_{nd} hatlarında ve büyük boyutlara sahip transistörlerde, difüzyon parazitik direncini azaltmak amacıyla birden fazla kontak kullanılmış ve kontaklar minimum boyutlarda tasarlanmıştır. Özellikle kaskod akım aynalarında ve bazı alt devrelerde ortak merkezli simetride tasarımlar gerçekleştirilmiştir. NMOS kaskod akım aynalama devresinin ortak merkezli simetriye sahip örnek serimi Şekil 5.2’de verilmiştir.



Şekil 5.2 NMOS kaskod akım aynası devresinin ortak merkezli simetrik serim

Devrede EEPROM hücreleri içinde yer alan yüzen geçit transistörlerdeki kapasite ve DAC devrelerindeki dirençlerin tümdevre üzerindeki serimleri sırasıyla Şekil 5.3a'da ve Şekil 5.3b'de verilmiştir.



Şekil 5.3 Tümdevrede yer alan kapasite ve direnç elemanlarının serimleri

Tasarım parametreleri çift-poli prosesini desteklediğinden, kapasite poly1-poly2 (elec) katmanları ile oluşturulmuştur.

$$C = C_{ox} \cdot A \quad (5.1)$$

(5.1)'deki bağıntı, tasarımda kullanılan kapasite değerini vermektedir. MOSIS 0.5 μ A prosesinde, oksit kalınlığı t_{ox} =139 Angstrom, birim oksit kapasitesi C_{ox} =0.248 μ F/cm² 'dir. Serim üzerinde A =252.2e-8cm² alan kullanılarak, elde edilen kapasite değeri 626fF 'dır.

Birim kare başına poli direnci (sheet resistance), poli kontak direnci ve poli köşe direnç değerleri hesaba katılarak DAC devresinde gerekli direncin serimi ise poly1 katmanı ile oluşturulmuştur.

$$R = R_s \cdot \frac{L}{W} \quad (5.2)$$

(5.2)'deki bağıntı, tasarımda kullanılan 1k Ω direnç değerini vermektedir. MOSIS 0.5 μ A prosesinde, birim kare başına poly direnci 21.6 Ω , herbir köşenin direnci 12.096 Ω ve kontak direnci 15.8 Ω olarak hesaba katılmıştır.

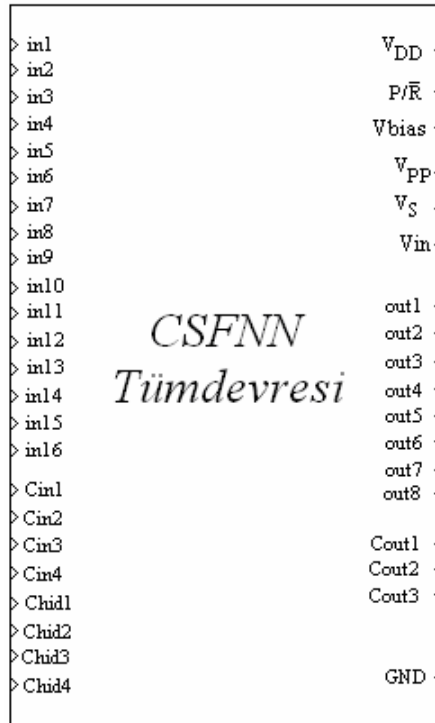
Tümdevre üzerinde yer alan analog devrelerin serimleri, yukarıda bahsedilen serim kurallarına uygun olarak tasarlanmıştır. Bölüm 3'te devreleri tanıtılan, çarpma devresinin, kare alıcı devrenin, karekök alıcı devrenin, sigmoid fonksiyon üretici devresinin, aynı ve zıt yönlü akım aynalama devrelerinin ve çıkarma devresinin serimleri sırasıyla Ek 6'da verilmiştir. Ayrıca bu çalışmada, tüm sayısal alt devrelerin de serimleri çizilmiş, bu tasarımlardan algı yükselteci devresi ile birlikte EEPROM hafıza bloğunun, 4x9 kod çözücü devresinin, çıkış katmanındaki nöron sayısını düzenleyen kontrol bloğunun serimleri analog devrelerin serimlerinin ardından ekte verilmiştir. Ek 6'da ayrıca karma işaret işleyen donanımlardan DAC devresi ve DAC devresiyle birlikte 8 bitlik hafıza bloğunun ve 64 byte'lık hafıza bloğunun serimleri yer almaktadır. Analog alt devrelerin birleştirilmesiyle oluşan, 16 giriş ve 16 merkez sahip CSFNN ağı tümdevresinin gizli nöronunun serimi ekte bulunmaktadır.

Serimleri çizilen çarpma devresinin, kare alıcı devrenin, karekök alıcı devrenin, sigmoid fonksiyon üretici devresinin, aynı ve zıt yönlü akım aynalama devrelerinin serim sonrası simülasyonları gerçekleştirilmiş, DC analiz sonuçları ile devre sonuçlarının ideal eğriden sapma miktarını gösteren hata eğrileri elde edilmiştir. Serim sonrası elde edilen karakteristikler Ek 7'de verilmiştir.

Tümdevrede yer alan analog devreler çevresel etkilere bağlı olarak sıcaklık ve besleme geriliminin değişiminden doğrudan etkilenmektedir. Bu değişimlerin, analog devreler üzerine etkileri parametrik saçılım eğrileri elde edilerek incelenmiştir. Çarpma devresinin, kare alıcı devrenin, karekök alıcı devrenin, sigmoid fonksiyon üretici devresinin, aynı ve zıt yönlü akım aynalama devrelerinin sıcaklık ve besleme gerilimlerinin değişimi için elde edilen parametrik saçılım eğrileri Ek 8'de verilmiştir. Devrelerin besleme geriliminde %10'luk değişim yaratılmasıyla ve aynı zamanda sıcaklık parametresinin de 0 ile 50 derece aralığında taratılmasıyla bu eğriler elde edilmiştir. Devrelerin besleme geriliminden daha çok sıcaklık değişimlerine oldukça duyarlı olduğu gözlenmiştir. Sıcaklığın artması ile devre karakteristiklerindeki saçılımlar artmaktadır.

6 TMDEVRENİN ÇALIřMA DURUMLARI ve TEKNİK ÖZELLİKLERİ

Tmdevresi tasarlanan CSFNN ađı, 16 giriře, gizli katmanda 16 adet nrona, ıkıř katmanında 8 adet ıkıř nronuna sahiptir. Tasarlanan CSFNN entegresi zerinde 42 adet bađlantı ucu bulunmaktadır (řekil 6.1). Tmdevrenin bađlantı ularına uygulanacak sinyal seviyeleri, tmdevrenin alıřma durumuna gre farklılık gstermektedir. Tmdevrenin alıřma durumları ve bađlantı ularına uygulanması gereken sinyal seviyeleri Blm 6.1’de belirtilmiřtir. Blm 6.2’de ise tmdevrenin beklenen g tketimi, transistr sayısı ve ileri yndeki hızı gibi teknik zellikler yer almaktadır.



řekil 6.1 CSFNN tmdevresinin dıř bađlantı uları

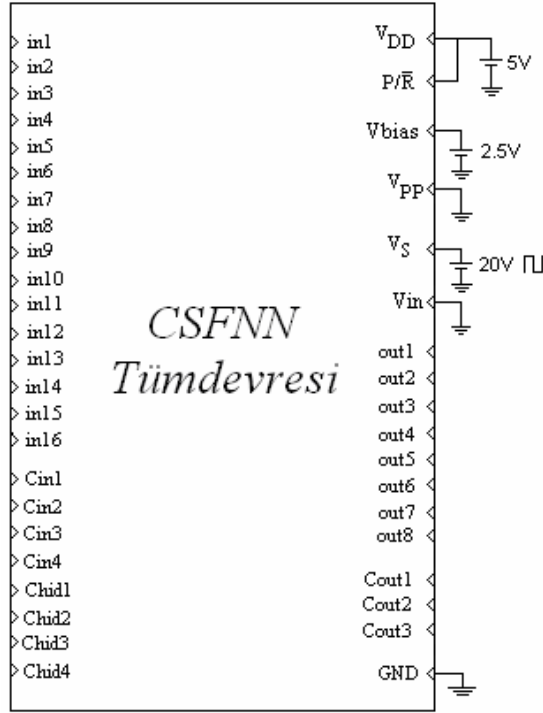
6.2 Tmdevrenin alıřma Durumları

Hafızanın silinmesi, hafızanın programlanması, hafızadan bilgi okunması ve ađın ileri ynl iřlemleri tmdevrenin 3 farklı alıřma durumudur. Ađın besleme ve bias giriřleri, CSFNN ađının giriřleri ve ıkıřları, ađ bađlantılarını dzenleyen blođun kontrol giriřleri ve hafızanın programlanmasında grevli giriřler tmdevrenin bađlantı ularını oluřturmaktadır. *in* bađlantı uları, ađın 16 giriř ucunu temsil eder ve analog iřlem birimlerine analog sinyallerin iletimini sađlar, aynı zamanda bu ular, hafızanın adreslenmesinde kod zclerin giriřlerini de oluřturur. *out* bađlantı uları ise ađın 8 adet ıkıř ucunu temsil eder. V_{DD} ucu, tmdevrenin

5V'luk besleme girişini, V_{bias} ucu 2.5V'luk bias girişini ve GND ucu, toprak seviyesini gösterir. C_{in} , C_{hid} , C_{out} bağlantı uçları ağ bağlantılarını düzenleyen bloğun kontrol girişlerini oluşturmaktadır. C_{in} kontrol girişi ağın giriş sayısını, C_{hid} kontrol girişi ağın gizli katmandaki nöron sayısını, C_{out} kontrol girişi ağın çıkış katmanındaki nöron sayısını kontrol etmekle görevlidir. Tümdevrenin çalışma durumunu kontrol eden $P/\bar{R}$ ucu, hafızanın programlanması sırasında besleme gerilimi seviyesine, hafızadan bilgi okunması sırasında toprak seviyesine çekilmektedir. V_{pp} , V_{in} , V_s girişleri hafızanın programlanması, hafızadan bilgi okunması ve hafızanın silinmesi sırasında FG transistörlerinin sırasıyla geçit, savak ve kaynak uçlarına uygulanması gereken gerilim seviyelerini temsil eder. Analog ve sayısal veri üretmekle görevli bir kart (Data Acquisition Card), tümdevrenin testi esnasında CSFNN tümdevresinin bağlantı uçlarına giriş olarak uygulanacak sinyal seviyelerini sağlayacaktır.

6.1.1 Hafızanın Silinmesi

Hafızaya veri yükleme (programlama) işlemine geçmeden önce tüm hafıza bloğunun silinmesi gerekir. Tüm hafıza bloğu aynı anda silinmektedir ve adres kod çözücüler silme işleminde görevli değildir. Bu nedenle seçmeli olarak kod çözücü devrelerin girişlerini oluşturan *in* uçları herhangi bir bağlantı olmaksızın, yüzer halde bulunmaktadır. Silme sürecinde EEPROM hafıza birimi üzerindeki her bir hücrenin yüzen geçitindeki yükünün tamamen boşaltılması gerekir. Silme işlemi, Fowler-Nordheim tünelleme mekanizması ile gerçekleştirilir (Sharma 2003). Bunun için FG transistörünün kaynak ucuna (V_s) yüksek gerilimli pulse darbesi uygulanmakta, savak ucu serbest bırakılmakta ve kontrol geçit ucu (V_{pp}) topraklanmaktadır. 20 Volt genliğinde pulse darbesi CSFNN tümdevresinin V_s girişine uygulanır. Tipik olarak hafıza bloğunun silme işlemi, 100ms – 1s sürmektedir. Hafızadaki tüm hücrelerin silinip silinmediğinin kontrolünü yapmak için hafızada veri okuma işlemine geçilir. Okuma işleminde tüm hafızanın silindiği garantilenirse, hafızanın programlamasına geçilir. Eğer okuma sırasında hafıza bloğundaki bazı hücrelerin silinmediği belirlenirse, silme işleminde uygulanan pulse darbesi tekrar uygulanmaktadır. Her programlama işleminden önce hafızanın silinmesi gerekmektedir. Şekil 6.2'de tümdevrenin silme durumunda uç bağlantılarını gösteren blok diyagramı verilmiştir.

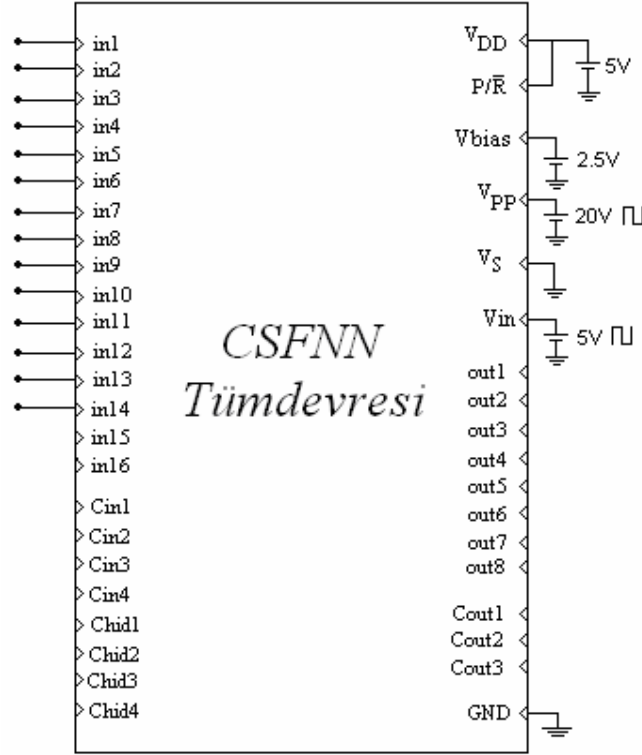


Şekil 6.2 Tümdrevrenin silinme durumu bağlantısı

6.1.2 Hafızanın Programlanması

Silme işleminin gerçekleştirilmesinin ardından hafıza bloğundaki tüm hücreler kod çözücüler yardımıyla bit bit erişilip programlama işlemine geçilmektedir. Programlama işleminde eğitim işleminin sonunda elde edilen ağırlık, aç, merkez değerleri sayısal hafıza bloklarına yüklenmektedir. Programlama sürecinde FG transistörlerinin terminallerine uygun gerilim seviyeleri uygulanarak yüzen geçit üzerine yük birikmesi ve dolayısıyla eşik geriliminin artması sağlanır. Hafızanın hücrelerinin programlanması sıcak yük taşıyıcıların enjektörü ile olmaktadır (Sharma 2003). Hafızanın programlanmasında, kod çözücüler tarafından seçili uca 5V'luk gerilim uygulanmaktadır. Programlanmış hafıza hücresine lojik '1' değeri yüklenir yani gerilim seviyesi olarak '5V' yazma işlemi gerçekleşir. Kod çözücüler tarafından seçilmeyen yani programlanarak eşik gerilimi kayması yaratılmayan hücreler, herhangi bir yük iletimi olmadığından silme işlemi sonrası bulunduğu durumda kalırlar. Programlanmamış hücrelere lojik '0' yüklenir yani gerilim seviyesi olarak '0V' çıkış üretirler. Programlama sırasında kod çözücüler yardımıyla erişilen FG transistörün kontrol geçit ucuna (V_{pp}) ve savak ucuna pulse darbesi uygulanmakta ve kaynak ucu topraklanmaktadır. Kod çözücüler ile yapılan adresleme işlemi sırasında kontrol geçit ucuna uygulanacak gerilim seviyesi '0V' değerine çekilir. Adresleme süreci tamamlandıktan sonra seçili hücrenin kontrol geçit ucuna

20 Volt genliğinde pulse darbesi belli bir süre uygulanır. Başka bir hafıza hücresi seçiminde kontrol geçit ucuna uygulanan yüksek gerilimli pulse darbesi, '0V' seviyesine getirilip, bir sonraki adres seçimi yapılır. Yüzen geçitteki eşik kaymasını sağlayan pulse darbelerinin genişliği 1-10 μ s arasında değişmektedir. Şekil 6.3'te tümdevrenin programlanması durumundaki uç bağlantılarını gösteren blok diyagramı verilmiştir.

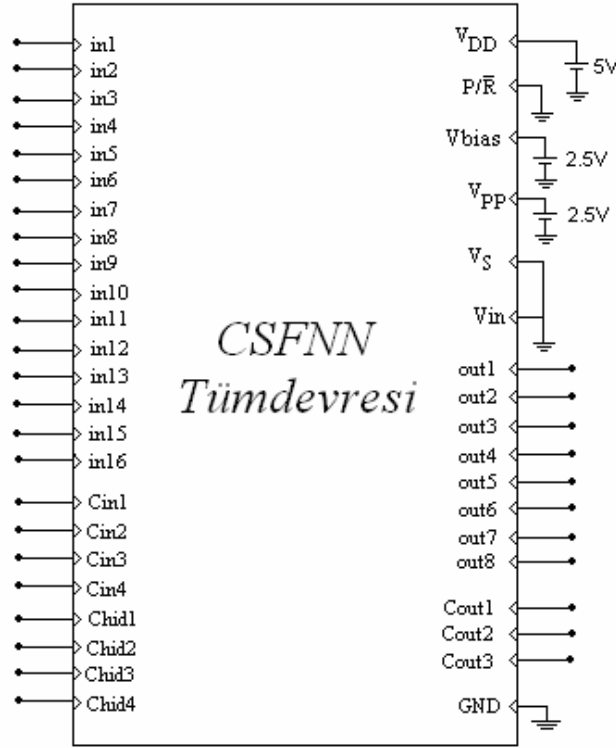


Şekil 6.3 Tümdevrenin programlanma durumu bağlantısı

1.4.1 Hafızadan Bilgi Okunması

Programlanan hafızadan bilgi okunması sürecinde hafızada tutulan ağırlık merkez ve açılış değerleri analog işlem biriminin girişlerine uygulanır. Bu süreç aynı zamanda, tümdevrenin çalışma modudur. Hafızada saklanan veri, tümdevrenin çalışma modunda DAC devrelerinin girişlerine uygulanır. Hafızada saklanan veri, sadece programlama sırasında değiştiği ve daha sonra durağan olduğu için DAC bloğunun çıkışı da çalışma süresi boyunca sabittir. Bu nedenle dönüşüm hızı diye bir problem yaşanmamaktadır. $P/\bar{R}$ bağlantı ucu hafızadan bilgi okunması sırasında 0V değerine çekilir. Tümdevrenin *in* bağlantı uçları seçimli olarak, CSFNN ağınnın analog girişlerini oluşturmaktadır. Tümdevrenin çalışma modunda, FG transistörlerinin kontrol geçit ucuna (V_{pp}) 2.5V sabit gerilim uygulanmakta ve kaynak ucu topraklanmaktadır. Analog işlem birimlerinin çıkışı, tümdevrenin *out* bağlantı uçlarına bağlıdır. Belirli bir problem için,

ağın boyutu, ağ bağlantılarını düzenleyen bloğun C_{in} , C_{hid} , C_{out} kontrol girişleri ile ayarlanabilmektedir. Sadece programlama sürecinde görevli kod çözücü devreleri, çalışma modunda V_{in} girişini serbest uç olarak atar. Şekil 6.4'te tümdevrenin çalışma durumundaki uç bağlantılarını gösteren blok diyagramı verilmiştir.



Şekil 6.4 Tümdevrenin çalışma durumu bağlantısı

6.2 Tümdevrenin Teknik Özellikleri

Tümdevrenin ileri yöndeki çalışma hızı, alan ve beklenen güç tüketimi, tümdevrenin performansını belirleyen teknik özellikleridir. Tasarlanan tümdevrenin hızı ve beklenen güç tüketimi aşağıdaki çizelgede belirtilmiştir. Fakat analog ve sayısal birimlerin serimleri arasındaki bağlantı işlemi henüz tamamlanmadığından, serim sonrası tümdevrenin alanı hakkında öngöründe bulunmak yanıltıcı olabilir. Tasarlanan tümdevre CSFNN ağının yayılım kuralını temel almaktadır. Karma donanım ile tasarlanan genel amaçlı yapay sinir ağı tümdevresi temel aldığı ağ yapısı ve tasarım teknikleri açısından literatürde daha önce var olmayan bir yapıdadır. Literatürde var olan tümdevreler çoğunlukla MLP ve RBF ağlarının yayılım kurallarını temel alırlar. Bu nedenle tasarlanan tümdevre ile varolan diğer yapay sinir ağı tümdevrelerinin teknik özelliklerinin karşılaştırılması, tasarlanan tümdevrenin üstün veya

yetersiz olduğu yönleri belirleyici nitelik taşımayabilir. Fakat tasarlanan tümdevrenin performansı hakkında fikir vermesi için, literatürde var olan yapay sinir ağı tümdevreleri ile tasarlanan tümdevrenin teknik özellikleri karşılaştırmalı olarak Çizelge 6.1’de verilmiştir.

Çizelge 6.1 Tasarlanan tümdevre teknik özelliklerinin karşılaştırmalı gösterimi

Tümdevrenin Teknik Özellikleri	Tasarlanan Tümdevre	(Lu vd.,2001)	(Bo vd.,1996)
Ağ yapısı	CSFNN Ağı	MLP Ağı	MLP Ağı
Ağın boyutu	16 x 16 x 8	24 Sinaps, 8 Nöron	64 x 64 x 10
Teknoloji	AMI Semiconductor C5F/N 0.5mm	1.2µm CMOS double poly-metal	ES2 1.0µm
Tümdevrenin eğitimi	Döngü-içi-Yonga Eğitim Tekniği	On - Chip Eğitim Tekniği	Döngü-içi-Yonga Eğitim Tekniği
Hafızanın boyutu ve çözünürlük	704 Byte EEPROM (8+1)bit	RAM 12 bit	Harici Sayısal Hafıza
Ağın ileri yönlü yayılım gecikmesi	~ 0.24 µs	0.8µs	< 2 µs
Tümdevrenin güç tüketimi	518mW	200mW	200mW
Hesaplama Oranı	1.6 GCPS	12MCPS	> 2.5 GCPS
Transistör sayısı	~ 250.000	----	~ 150000
Tümdevrenin I/O sayısı	42 (DIP)	40 (SOIC)	180 (PGA)

7 SONUÇLAR

Bu tezde, CSFNN ağı tümdevresi, farklı problemlerin tümdevreye uygulanmasına imkan sağlayacak şekilde genel amaçlı olarak karma bir donanım ile tasarlanmıştır. CSFNN ağı tümdevresinin boyutları, kullanıcı tarafından tümdevrenin dış bağlantı uçlarından ayarlanabilmektedir. 16-16-8 maksimum boyutlara sahip CSFNN ağı tümdevresi üzerinde, farklı problemlerin sınıflandırma performansları elde edilebilmektedir. CSFNN ağı, global ve lokal haritalama işlemini tek bir ağ yapısı ile gerçekleştirmektedir. CSFNN ağının bu özelliği, VLSI teknolojisi ile tasarlanan tümdevre üzerine kazandırılmıştır. Tasarlanan tümdevre, CSFNN ağına uygulanan veri uzayının dağılımına bağlı olarak farklı karar sınırları oluşturabilmektedir. Problemin karmaşıklığına bağlı olarak karar sınırlarının değişimi, tümdevrenin sınıflama başarımını arttırabilmektedir.

CSFNN tümdevresinin eğitiminde, tümdevre üzerindeki analog idealsizlikleri de hesaba katmak amacıyla döngü-içi-yonga tekniği kullanılmıştır. Döngü-içi-yonga tekniği ile yazılım ve donanım ortamında ardışıl olarak gerçekleştirilen öğrenme işleminde her bir iterasyon sonucunda elde edilen eğitim başarımı, yazılım ortamında elde edilen eğitim başarımına yakınsamaktadır.

Tasarlanan tümdevrenin sınıflama performansı, iris bitki sınıflama problemi ve daha büyük boyutlu veri kümesine sahip imza tanıma veri kümesi ile sınanmıştır. Donanım ortamındaki ağ çıkışlarının, yazılım ortamındaki ağ çıkışlarına yakın olması tümdevrenin sınıflandırma başarımına bir kriter olarak alınmıştır. Tasarlanan tümdevrenin sınıflandırma performansı, 104E133 nolu Tübitak projesi kapsamında, farklı görüntü işleme problemleri ile de sınanmaktadır.

Karma donanım teknikleri ile tasarlanan tümdevrede, ağın ileri yönlü hesaplamaları analog işlem birimleri kullanılarak gerçekleştirilmekte olup ağ üzerindeki serbest parametreler, uçucu olmayan EEPROM hafıza blokları üzerinde sayısal olarak 8 bit çözünürlükle saklanmaktadır. Tümdevrenin alt bloklarının seriminde minimum alan, simetri ve transistörler arası uyumluluk gibi kriterler göz önünde bulundurularak çizimler gerçekleştirilmiş ve serim sonrası yapılan simülasyonlar ile tasarımın doğruluğu desteklenmiştir. Analog ve sayısal birimlerin serimleri arasındaki bağlantı işlemi henüz tamamlanmadığından, serim sonrası tümdevrenin alanı hakkında öngöründe bulunmak yanıltıcı olabilir.

Tümdevrede yer alan analog devreler çevresel etkilere bağlı olarak sıcaklık ve besleme geriliminin değişiminden doğrudan etkilenmektedir. Besleme gerilimi ve sıcaklık

parametrelerinin birlikte deęiřimi ile parametrik saçılım eęrileri elde edilmiřtir. Tmdevrede yer alan analog devrelerin besleme geriliminden daha ok sıcaklık deęiřimlerine olduka duyarlı olduęu gzlenmiřtir.

Bu alıřma sresince elde edilen tecrbelere dayanarak ileride buna benzer alıřma yapacak arařtırmacılar iin řu nerilerde bulunulabilir. Tmdevrenin eęitiminde kullanılan dng-ii-yonga teknięi her ne kadar eęitim iřlemindeki bařarımı arttırsa da, donanım ve yazılım ortamının ardışıl olarak alıřtırılması ve her iki alıřma ortamı arasındaki uyumluluęu saęlayan arayz iřleminin manuel olarak gerekleřtirilmesi uzun ve zahmetli bir sretir. Manuel olarak gerekleřtirilen bu iřlemler iin bir arayz programı yazılmıř ve bu program daha gl iř istasyonlarında alıřtırılmıř olsaydı eęitim iřlemi daha kolay ve eęitim sreci de daha kısa olurdu. Ayrıca bu yntemle, eęitim srecinde gerekleřtirilen iterasyon sayısı da arttırılabilirdi. Byle bir alıřmanın yazılımcılar ve VLSI tasarımcıları ile ortak olarak yrtlmesi daha uygun olacaktır.

CSFNN aęı tmdevresinin eęitiminde kullanılabilir bir dięer yntem ise eęitim iřleminin tamamen tmdevre zerinde gerekleřtirilmesidir. Eęitimin tmdevre zerinde gerekleřtirilmesiyle, retimde meydana gelen proses parametrelerinin deęiřimi ve tmdevre zerindeki analog idealsizliklerin etkisi tamamen eęitim iřlemine katılabilir. Ancak bu yntemin uygulanabilmesi iin aę zerindeki serbest parametrelerin gncellenme iřlemine ait yoęun bir hesaplama ve uzun bir tasarım sreci gerekmektedir.

CSFNN aęının tmdevre zerindeki ileri ynl iřlemleri, akım modlu analog alt devreler kullanılarak gerekleřtirilmiřtir. zellikle toplama, ıkarma, akım aynalama gibi iřlemlerin yoęun olarak yapıldıęı tmdevrede akım modlu analog devrelerin kullanımı tmdevrenin kapladıęı alan aısından avantaj olarak karřımıza ıkmaktadır. Fakat, zellikle mikron altı analog devrelerin tasarımında retim sırasında proses parametrelerinin deęiřimi ve analog devrelerin ideal olmayan yapıları devrenin performansını azaltıcı ynde etkilemektedir. Bu tmdevrenin sayısal mimari ile tasarımı, tmdevrenin performansını arttırabilir. Analog devrelerde evresel etkilere baęlı olarak deęiřen besleme gerilimi ve sıcaklıktaki deęiřimin tmdevre zerine etkisi sayısal tasarım ile en aza indirilebilir. Ancak, CSFNN aęının yoęun iřlem elemanlarından oluřan yapısı, tmdevrenin sayısal olarak tasarımında tmdevre boyutunu olduka bytecektir.

Tmdevrede kullanılan analog devrelerin giriř-ıkıř alıřma aralıkları, tasarlanan aęın boyutunu sınırlayıcı ynde etkilemektedir. alıřma aralıkları arttırılarak, aęın giriř sayısı,

gizli katmandaki ve çıkış katmanındaki nöron sayısı arttırılabilir. Bu durum, tasarlanan tümdevrenin ağ boyutundan daha büyük boyutlu problemlerin, tümdevreye uygulanmasına imkan sağlayabilir ve böylece genel amaçlı tasarımdaki esneklik arttırılabilir.

Sonuç olarak karma bir donanım ile tasarlanan CSFNN ağı tümdevresi üzerindeki serbest parametrelerin yüksek çözünürlükte tasarımı ve öğrenme işleminin tümdevre üzerinde gerçekleştirilmesi ağın sınıflandırma performansını arttıracaktır. Ayrıca tümdevre üzerindeki analog devrelerin çalışma aralıklarının arttırılması da, daha büyük boyutlu ağ yapısına sahip problemlerin tümdevreye uygulanmasına imkan sağlayacaktır.

KAYNAKLAR

- Alibeik, S.A., Nemati, F. ve Sharif-Bakhtiar, M., (1995), "Analog Feedforward Neural Networks with Very Low Precision Weights" Neural Networks, 1995. Proceedings., IEEE International Conference on , vol: 1, pp:90 - 94 27 Nov.-1 Dec. 1995
- Avcı, M., (2005), Hibrid Bir Donanımla Yapay Sinir Ağı Gerçekleme AY Tümdevresi, Doktora Tezi, Y.T.Ü., Fen Bilimleri Enstitüsü, Elektronik ve Haberleşme Anabilimdalı.
- Ayala, J.L. Lomena, A.G. Lopez-Vallejo, M. ve Fernandez, A., (2002), "Design of a Pipelined Hardware Architecture For Real-Time Neural Network Computations" Circuits and Systems 2002., The 2002 45th Midwest Symposium on, vol.1, pp:419-422, 4-7 August 2002
- Aybay, I., Çetinkaya, S. ve Halıcı, U., (1996), "Classification of Neural Network Hardware" Neural Network World, IDG Co., Vol.6, pp:11-29
- Baker R. J., Li H.W. ve Boyce D.E., (1997) CMOS Circuit Design, Layout and Simulation, Willey-IEEE Press, USA.
- Beiu, V., (1996), Optimal VLSI Implementations of Neural Network: VLSI-Friendly Learning Algorithms, Chapter 18 J.G. Taylor (ed): Neural Networks and Their Applications, pp.255-276, Wiley, Chichester.
- Berg Y., Sigvartsen, Lande T.S. ve Abusland A., (1996), "An Analog Feed-Forward Neural Network with On-chip Learning" Analog Integrated Circuits and Signal Processing, vol 9, pp.65-75.
- Bo, G.M., Caviglia, D.D. ve Valle, M. (1996), "A Current Mode CMOS Multi-Layer Perceptron Chip" Microelectronics for Neural Networks, Proceedings of Fifth International Conference on, pp::103 - 106:, 12-14 Feb. 1996
- Broomhead D.S. ve Lowe D., (1988) "Multivariable Functional Interpolation and Adaptive Networks", Complex Systems, vol.2, pp.321 – 355.
- Bult K. ve Wallinga H., (1987), "A Class of Analog CMOS Circuits Based on the Square-Law Characteristic of an MOS Transistor in Saturation", IEEE Journal of Solid-State Circuits., vol.22, 3.
- Cairns G. ve Tarassenko L., (1994), "Learning with Analog VLSI MLPs", Microelectronics for Neural Networks and Fuzzy Systems, 1994., Proceedings of the Fourth International Conference on, pp:67 – 76 Sept. 1994
- Cauwenberghs, G. ve Bayoumi M. A., (1999), Learning on Silicon: Adaptive VLSI Neural Systems, Kluwer Academic Publishers, USA.
- Chaiyaratana, N. ve Zalzal, A. M. S., (1998), "Evolving Hybrid RBF-MLP Networks Using Combined Genetic/Unsupervised/Supervised Learning", UKACC Int. Conf. on Control'98, Swansea, UK, IEE Publication 455, vol. 1, pp. 330-335, 1998.
- Coşkun, N., Yıldırım, T., (2005), "Konik Kesit Fonksiyonlu Sinir Ağları İle Görüntü Bölütleme", IEEE 13. SIU, Kurultay kitabı, 16-18 Mayıs 2005, Kayseri.

Dorffner, G., (1994), "Unified frameworks for MLP and RBFNs: Introducing Conic Section Function Networks", *Cybernetics and Systems*, vol.25. pp. 511-554.

Downs J.W. (2003), *Practical Conic Sections: The Geometric Properties of Ellipses, Parabolas and Hyperbolas*, Dover Publications Inc., Mineola, New York.

El-Masry, E.I., Maundy, B.J. ve Hong-Kui Yang; (1993) "Analog VLSI Current Mode Implementation of Artificial Neural Networks" *Circuits and Systems*, 1993., *Proceedings of the 36th Midwest Symposium on*, vol.2, pp:1275 – 1278, 16-18 Aug. 1993.

Erkmen, B. ve Yıldırım, T., (2006), "Conic Section Function Neural Networks for Sonar Target Classification and Performance Evaluation Using ROC Analysis", *Lecture Notes in Control and Information Sciences*, special issue for *Intelligent Computing in Signal Processing and Pattern Recognition*, LNCIS 345, pp. 779-784.

Esmaelzadeh, H., Farshbaf, H., Lucas, C., ve Fakhraie, S.M., (2004), "Digital Implementation for Conic Section Function Networks", *Microelectronics*, 2004. *ICM 2004 Proceedings. The 16th International Conference on*, pp. 564 – 567, 2004.

Fakhraie S. M. ve Smith K.C., (1997), *VLSI-Compatible Implementations for Artificial Neural Networks*, Kluwer Academic Publishers, USA.

Geske, G., Stupmann, F. ve Wego, A.; (2003) "High Speed Color Recognition With an Analog Neural Network Chip" Geske, G.; Stupmann, F.; Wego, A.; *Industrial Technology, 2003 IEEE International Conference on*, vol. 1, pp:104 – 107, 10-12 Dec. 2003

Girau B., (2000), "FPNA: Interaction Between FPGA and Neural Computation" *Int. Journal on Neural Systems*, vol.10(3), pp. 243-259,

Girau, B., (2001) "On-chip Learning of FPGA-inspired Neural Nets" *Neural Networks*, 2001. *Proceedings. IJCNN '01. International Joint Conference on*, vol. 1, pp:222 - 227 15-19 July 2001

Harrison, R.R., Hasler, P. ve Minch B.A., (1998) "Floating-Gate CMOS Analog Memory Cell Array", *Circuits and Systems, ISCAS'98, Proceedings of IEEE International Symposium on*, vol.2, pp.204-207, 31 May-3 June 1998, Monterey.

Hastings A., (2006), *The Art of Analog Layout*, Perason Prentice Hall, Second ed., USA,

Haykin S., (1994), *Neural Networks: A Comprehensive Foundation*, MacMillan College Publishing Company, Newyork.

Hikawa H., (1995), "Implementation of Simplified Multilayer Neural Networks with On-Chip Learning" *Neural Networks*, 1995. *Proceedings., IEEE International Conference on*, vol.:4, pp:1633 - 1637, 27 Nov.-1 Dec. 1995.

Hoeschele D.F., (1994), *Analog-to-Digital and Digital-to-Analog Conversion Techniques*, John Wiley & Sons Press, USA.

Kier, R.J., Harrison, R.R. ve Beer, R.D. (2004) "An MDAC Synapse for Analog Neural Networks" *Circuits and Systems*, 2004. *ISCAS '04. Proceedings of the 2004 International*

Symposium on, vol. 5, pp.752 -755 , May 2004

Leong, P.H.W. ve Jabri, M.A.; (1995), "A Low-Power VLSI Arrhythmia Classifier" Neural Networks, IEEE Transactions on , vol: 6, Issue: 6, pp:1435 – 1445.

Liu, B.D., Chen C.Y ve Tsao J.Y, (2000), "A Modular Current-Mode Classifier Circuit for Template Matching Application" IEEE Transactions on Circuits and Systems—II: Analog And Digital Signal Processing, vol. 47, no. 2.

Lu, C., Shi, B ve Chen, L., (2001), "A Programmable On-Chip BP Learning Neural Network with Enhanced Neuron Characteristics" Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on, vol. 3, pp:573 - 576, 6-9 May 2001.

Maffezzoni, P. ve Gubian, P., (1994), "VLSI Design Of Radial Functions Hardware Generator for Neural Computations", Microelectronics for Neural Networks and Fuzzy Systems, 1994., Proceedings of the Fourth International Conference on, pp.252-259, 26-28 Sept. 1994

McCulloch, W.S., Pitts, W. H., (1943), "A Logical Calculus of the Ideas Imminent in Nervous Activity", Bull, Math. Biophy., vol. 5, pp. 115-133.

Mead C., (1989), Analog VLSI and Neural Systems, Addison Wesley: Reading MA.

Montalvo A.J., Gyuresik R.S. ve Paulos J.J. (1997) "Toward a General-Purpose Analog VLSI Neural Network with On-Chip Learning" IEEE Transactions on Neural Networks, Vol. 8, No.2, pp.413-423.

Moody J., ve Darken C. (1989), "Fast Learning in Networks of Locally-Tuned Processing Units", Neural Computation vol.1, pp.281- 294.

Pavan P., Bez R., Olivo P. ve Zanon E., (1997) "Flash Memory Cells-An Overview" Proceedings of the IEEE, vol 85, no:8. pp:1248 – 1271.

Pavan P., Larcher L. ve Marmiroli A., (2004) "Floating Gate Devices: Operation and Compact Modeling" Kluwer Academic Publishers, USA,

Prasanna, C. S. S., Sudha, N. ve Kamakoti, V., (2005), "A Principal Component Neural Network-Based Face Recognition System and ASIC Implementation", VLSI Design, 2005. 18th International Conference on, pp:795 – 798, 3-7 Jan. 2005.

Reaz, M.B.I., Islam, S.Z., Ali, M.A.M. ve Sulaiman, M.S.; (2002), "FPGA Realization of Backpropagation for Stock Market Prediction", Neural Information Processing, 2002. ICONIP '02. Proceedings of the 9th International Conference on, vol.2, pp.960-964,18-22 Nov. 2002.

Rumelhart D.E., Hinton G.E. ve Williams R.J., (1986), Learning Internal Representations by Error Back Propagation, in: Rumelhart D.E., McClelland J.L. (eds.): Parallel Distributed Processing, voll. I, MIT Press.

Sackinger, E., Boser, B.E., Bromley, J., LeCun, Y. ve Jackel, L.D., (1992), "Application of the ANNA Neural Network Chip to High-Speed Character Recognition" Neural Networks,

IEEE Transactions on, vol 3, Issue 3, pp:498 – 505.

Schmid, A., Leblebici, Y. ve Mlynek, D., (1999), “Mixed Analogue-Digital Artificial-Neural-Network Architecture with On-Chip Learning” Circuits, Devices and Systems, IEE ,vol 146, Issue: 6, pp.345 – 349.

Senol C., (2004), Standart ve Hibrid Yapılar Kullanarak Yapay Sinir Ağları ile İmza Tanıma, Yüksek Lisans Tezi, Y.T.Ü., Fen Bilimleri Enstitüsü, Elektronik ve Haberleme Anabilimdalı.

Şenol, C. ve Yıldırım, T., (2005) “Signature verification Using Conic Section Function Neural Network”, Lecture Notes in Computer Science, LNCS 3733, 2005, pp. 524 – 532.

Sharma. A. K., (2003), Advanced Semiconductor Memories, Architectures and Applications, Wiley -Interscience IEEE Press, USA.

Sheu, ve Choi, J. (1995), Neural Information Processing and VLSI, Kluwer Academic Publishers, USA.

Valle, M., Caviglia, D.D. ve Bisio, G.M., (1992) “Design of a CMOS ASIC Chip Featuring Analog Neural Computational Primitives” Euro ASIC '92, Proceedings. pp.113-118, 1-5 June 1992.

Vural, R. A., Özyılmaz, L. ve Yıldırım, T., (2006), “A Comparative Study on Computerised Diagnostic Performance of Hepatitis Disease Using ANNs”, Lecture Notes in Artificial Intelligence, special issue for Computational Intelligence, LNAI 4114, pp. 1172-1182.

Waheed, K. ve Salam, F.M. (2001) “A Mixed Mode Self-Programming Neural System-On-Chip for Real-Time Applications” Neural Networks, 2001. Proceedings. IJCNN '01. International Joint Conference on, vol. 1, pp.195 - 200 vol.1,15-19 July 2001

Watanabe, T.; Kimura, K.; Aoki, M.; Sakata, T.; Ito, K.; “A Single 1.5-V Digital Chip for a 10^6 Synapse Neural Network” Neural Networks, IEEE Transactions on , vol: 4 , Issue: 3, Pages:387 – 393, May 1993, Vol.1, 4-7, pp:419-422, Aug. 2002

Werbos P., (1974), Beyond Regression: New Tools for Prediction And Analysis in the Behavioral Sciences, Harvard University, Ph.D. Dissertation.

Yang., F. ve Paindavoine, M., (2003), “Implementation of an RBF Neural Network On Embedded Systems: Real-Time Face Tracking and Identity Verification” Neural Networks, IEEE Transactions on, vol: 14, Issue: 5, pp:1162 – 1175.

Yıldırım T., (1997), Development of Conic Section Function Neural Networks in Software and Analogue Hardware, Doktora Tezi, University of Liverpool.

INTERNET KAYNAKLARI

- [1] <http://www.math.com/tables/algebra/conics.htm>
- [2] <http://www.mosis.org>
- [3] http://www.europactice-ic.com/docs/AMIS_datasheets/AMIS_C5FN_v1.PDF
- [4] <http://www.tamu.edu/~sinencio>

EKLER

- Ek 1 MOSIS-AMIS 0.5 μ m Proses ve model parametreleri
- Ek 2 MOSIS-AMIS 0.5 μ m Teknolojik spesifikasyonları
- Ek 3 Analog alt devrelerin transistör boyutları (W / L)
- Ek 4 İris sınıflama probleminin eğitim ve test işlemindeki performansı
- Ek 5 İmza tanıma probleminin eğitim ve test işlemindeki performansı
- Ek 6 Tümdevrede yer alan analog ve sayısal alt devrelerin serimleri
- Ek 7 Tümdevrede yer alan analog devrelerin serim sonrası simülasyon sonuçları
- Ek 8 Tümdevrede yer alan analog devrelerin parametrik saçılım eğrileri

Ek 1 MOSIS-AMIS 0.5µm Proses ve Model Parametreleri

MOSIS PARAMETRIC TEST RESULTS

RUN: T15M
TECHNOLOGY: SCN05

VENDOR: AMI
FEATURE SIZE: 0.5 microns

INTRODUCTION:

This report contains the lot average results obtained by MOSIS from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: American Microsystems, Inc. C5N

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	3.0/0.6			
Vth		0.81	-0.92	volts
SHORT	20.0/0.6			
Idss		465	-257	uA/um
Vth		0.70	-0.90	volts
Vpt		10.0	-10.0	volts
WIDE	20.0/0.6			
Ids0		< 2.5	< 2.5	pA/um
LARGE	50/50			
Vth		0.72	-0.94	volts
Vjbkd		11.6	-11.6	volts
Ijlk		<50.0	<50.0	pA
Gamma		0.47	0.57	V^0.5
K' (Uo*Cox/2)		58.6	-19.3	uA/V^2
Low-field Mobility		471.78	155.38	cm^2/V*s

COMMENTS: Poly bias varies with design technology. To account for mask and etch bias use the appropriate value for the parameter XL in your SPICE model card.

Design Technology	XL
-----	-----
SCN_SUBM (lambda=0.30)	0.00
AMI_C5	0.00
SCN (lambda=0.35)	-0.10

FOX TRANSISTORS	GATE	N+ACTIVE	P+ACTIVE	UNITS
Vth	Poly	>15.0	<-15.0	volts

PROCESS PARAMETERS	N+ACTV	P+ACTV	POLY	PLY2_HR	POLY2	MTL1	MTL2	UNITS
Sheet Resistance	80.1	104.1	21.6	1097	41.1	0.08	0.09	ohms/sq
Contact Resistance	60.9	143.2	15.8		27.3		0.79	ohms

Gate Oxide Thickness 139 angstrom

PROCESS PARAMETERS	MTL3	N\PLY	N_WELL	UNITS
Sheet Resistance	0.05	831	828	ohms/sq
Contact Resistance	0.76			ohms

COMMENTS: N\POLY is N-well under polysilicon.

CAPACITANCE PARAMETERS	N+ACTV	P+ACTV	POLY	POLY2	M1	M2	M3	N_WELL	UNITS
Area (substrate)	428	731	88		32	16	10	41	aF/um^2
Area (N+active)			2491		36	16	12		aF/um^2
Area (P+active)			2425						aF/um^2
Area (poly)				881	52	16	9		aF/um^2
Area (poly2)					47				aF/um^2
Area (metall1)						32	13		aF/um^2
Area (metal2)							36		aF/um^2
Fringe (substrate)	322	262			76	59	40		aF/um
Fringe (poly)					61	38	28		aF/um
Fringe (metall1)						53	34		aF/um
Fringe (metal2)							51		aF/um
Overlap (N+active)			207						aF/um
Overlap (P+active)			238						aF/um

CIRCUIT PARAMETERS			UNITS
Inverters	K		
Vinv	1.0	2.13	volts
Vinv	1.5	2.39	volts
Vol (100 uA)	2.0	0.23	volts
Voh (100 uA)	2.0	4.76	volts
Vinv	2.0	2.57	volts
Gain	2.0	-21.19	
Ring Oscillator Freq.			
DIV256 (31-stg,5.0V)		98.00	MHz
D256_WIDE (31-stg,5.0V)		151.14	MHz
Ring Oscillator Power			
DIV256 (31-stg,5.0V)		0.49	uW/MHz/gate
D256_WIDE (31-stg,5.0V)		1.02	uW/MHz/gate

COMMENTS: SUBMICRON

T15M SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

```

* DATE: Jul 20/01
* LOT: T15M WAF: 0206
* Temperature_parameters=Default
.MODEL CMOSN NMOS (
+VERSION = 3.1 TNOM = 27 LEVEL = 49
+XJ = 1.5E-7 NCH = 1.7E17 TOX = 1.39E-8
+K1 = 0.8896025 K2 = -0.0979155 VTH0 = 0.6516076
+K3B = -7.7691025 W0 = 1E-8 K3 = 23.8061513
+DVT0W = 0 DVT1W = 0 NLX = 1E-9
+DVT0 = 2.876542 DVT1 = 0.4218664 DVT2W = 0
+U0 = 451.8826245 UA = 1E-13 DVT2 = -0.1397962
+UC = 1.893684E-11 VSAT = 1.704053E5 UB = 1.489875E-18
+AGS = 0.1198161 B0 = 2.705871E-6 A0 = 0.5662277
B1 = 5E-6

```

+KETA	= -2.301173E-3	A1	= 7.285662E-5	A2	= 0.3586004
+RDSW	= 1.159376E3	PRWG	= 0.0531026	PRWB	= 0.0349044
+WR	= 1	WINT	= 2.360078E-7	LINT	= 2.450767E-8
+XL	= 0	XW	= 0	DWG	= -1.296776E-8
+DWB	= 5.50766E-8	VOFF	= 0	NFACTOR	= 0.821639
+CIT	= 0	CDSC	= 2.4E-4	CDSCD	= 0
+CDSCB	= 0	ETA0	= 1.688074E-3	ETAB	= -8.785487E-4
+DSUB	= 0.1390103	PCLM	= 2.4002094	PDIBLC1	= -0.0558623
+PDIBLC2	= 2.163004E-3	PDIBLCB	= -0.118451	DROUT	= 0.385872
+PSCBE1	= 5.569704E8	PSCBE2	= 5.935496E-5	PVAG	= 0
+DELTA	= 0.01	RSH	= 80.1	MOBMOD	= 1
+PRT	= 0	UTE	= -1.5	KT1	= -0.11
+KT1L	= 0	KT2	= 0.022	UA1	= 4.31E-9
+UB1	= -7.61E-18	UC1	= -5.6E-11	AT	= 3.3E4
+WL	= 0	WLN	= 1	WW	= 0
+WWN	= 1	WWL	= 0	LL	= 0
+LLN	= 1	LW	= 0	LWN	= 1
+LWL	= 0	CAPMOD	= 2	XPART	= 0.5
+CGDO	= 2.07E-10	CGSO	= 2.07E-10	CGBO	= 1E-9
+CJ	= 4.256515E-4	PB	= 0.99	MJ	= 0.447835
+CJSW	= 3.329281E-10	PBSW	= 0.1	MJSW	= 0.1169342
+CJSWG	= 1.64E-10	PBSWG	= 0.1	MJSWG	= 0.1169342
+CF	= 0	PVTH0	= 0.0661673	PRDSW	= 201.5784264
+PK2	= -0.0327168	WKETA	= -0.0250765	LKETA	= 6.176997E-3

)

.MODEL CMOSP PMOS (		LEVEL	= 49
+VERSION	= 3.1	TOX	= 1.39E-8
+XJ	= 1.5E-7	VTH0	= -0.9259178
+K1	= 0.5493891	K2	= 8.966666E-3
+K3B	= -0.5844741	W0	= 1E-8
+DVT0W	= 0	DVT1W	= 0
+DVT0	= 2.6496816	DVT1	= 0.5037615
+U0	= 216.8004604	UA	= 2.933658E-9
+UC	= -5.60899E-11	VSAT	= 2E5
+AGS	= 0.1446194	B0	= 8.79758E-7
+KETA	= -3.911589E-3	A1	= 0
+RDSW	= 3E3	PRWG	= -0.054537
+WR	= 1	WINT	= 2.899182E-7
+XL	= 0	XW	= 0
+DWB	= 2.330863E-8	VOFF	= -0.063762
+CIT	= 0	CDSC	= 2.4E-4
+CDSCB	= 0	ETA0	= 0.0228777
+DSUB	= 1	PCLM	= 2.0845927
+PDIBLC2	= 5.000285E-3	PDIBLCB	= -0.0444413
+PSCBE1	= 1.444005E10	PSCBE2	= 1.405429E-9
+DELTA	= 0.01	RSH	= 104.1
+PRT	= 0	UTE	= -1.5
+KT1L	= 0	KT2	= 0.022
+UB1	= -7.61E-18	UC1	= -5.6E-11
+WL	= 0	WLN	= 1
+WWN	= 1	WWL	= 0
+LLN	= 1	LW	= 0
+LWL	= 0	CAPMOD	= 2
+CGDO	= 2.38E-10	CGSO	= 2.38E-10
+CJ	= 7.275007E-4	PB	= 0.9494394
+CJSW	= 2.884359E-10	PBSW	= 0.99
+CJSWG	= 6.4E-11	PBSWG	= 0.99
+CF	= 0	PVTH0	= 5.98016E-3
+PK2	= 3.73981E-3	WKETA	= 5.957334E-3
)		LKETA	= -3.385326E-3

Ek 2 MOSIS-AMIS 0.5µm Teknolojik Spesifikasyonları

C5N (Standard CMOS)	
Technology	0.5µm
Core Voltage	2.5V,3.3V,5.0V
I/O Voltages	5.0V
Poly/Metal Layer	2P/3M
Substrate/well formation	Self aligned twin tub N- and P-wells
Isolation	Locos Isolation
Gate oxide thickness	13.5 nm(5V gate/20V drain)
Interconnect	W-plugs filling of stackable contacts and vias
Passivation	Oxide-Nitride based
Capacitors	Precision high linear thin oxide poly/poly capacitors
Resistors	Precision high Ohmic polysilicon resistors
Poly pitch	1.2 µm
Metal pitch	1.2µm for metal 1 1.4µm for metal 2 1.5µm for metal 3
Interconnect thickness	0.35µm for Poly 0.64µm for Metal1 0.57µm for Metal2 0.77µm for Metal3
EEPROM	• Suitable for ID number and coding • Programming Voltage: 20V • Read @ 3.0 to 5.5 Volts • Temperature range: -40 to 125C • Asynchronous Read Mode • Reliability ○ Data retention: >10 years ○ Endurance: 100K cycles • 2 types ○ Serial EEPROM (parallel 4 to 64 bits) ▪ Erase/Write time: ~10mS ▪ Read access time: ~150nS ○ Non-Volatile Latch (organized as parallel 4 to 64bits) ▪ Erase/Write time: ~10mS ▪ Read access time: ~200nS

Ek 3 Analog Alt Devrelerin Transistör Boyutları (W / L)

Çarpma Devresi			
M1	7,2u/5,25u	M5	5,85u/2,7u
M2	5,85u/2,7u	M6	5,85u/2,7u
M3	5,85u/2,7u	M7	3,15u/3,9u
M4	7,2u/5,25u	M8	3,15u/3,9u

Kare Alıcı Devre			
M1	7,2u/5,25u	M5	5,85u/2,7u
M2	5,85u/2,7u	M6	5,85u/2,7u
M3	5,85u/2,7u	M7	3,15u/4,35u
M4	7,2u/5,25u	M8	3,15u/4,35u

Karekök Alıcı Devre			
M1	3u/1,05u	M12	3u/1,05u
M2	3u/1,05u	M13	3u/1,05u
M3	3u/1,05u	M14	3u/1,05u
M4	3u/1,05u	M15	2,4u/1,05u
M5	3u/1,05u	M16	2,4u/1,05u
M6	3u/1,05u	M17	4,8u/1,05u
M7	3u/1,05u	M18	4,8u/1,05u
M8	3u/1,05u	M19	4,8u/1,05u
M9	3u/1,05u	M20	3u/1,05u
M10	3u/1,05u	M21	3u/1,05u
M11	3u/1,05u	M22	3u/1,05u

Sigmoid Üretici			
M1	5,7u/1,05u	M5	1,5u/4,2u
M2	5,7u/1,05u	M6	1,65u/1,5u
M3	1,5u/6,15u	M7	3.3u/1,5u
M4	1,5u/4,2u		

Ek 4 İris Sınıflama Probleminin Eğitim ve Test İşlemindeki Performansı

EĞİTİM SONUCU								
	Matlab Çıkışı		Devre Çıkışı				Hedef Çıkış	
Örnekler	1.Çıkış	2.Çıkış	1.Çıkış	2.Çıkış	1.Çıkış/15	2.Çıkış/15	1.Çıkış	2.Çıkış
1. Örnek	0.080	0.180	1.161	3.286	0.077	0.219	0.1	0.1
2. Örnek	0.058	0.088	0.770	2.399	0.051	0.160	0.1	0.1
3. Örnek	0.069	0.061	0.744	2.193	0.050	0.146	0.1	0.1
4. Örnek	0.094	0.147	1.039	3.188	0.069	0.213	0.1	0.1
5. Örnek	0.397	0.851	5.903	12.860	0.394	0.857	0.1	0.9
6. Örnek	0.165	0.768	3.538	11.170	0.236	0.745	0.1	0.9
7. Örnek	0.195	0.802	4.235	11.870	0.282	0.791	0.1	0.9
8. Örnek	0.236	0.816	4.632	12.170	0.309	0.811	0.1	0.9
9. Örnek	0.579	0.894	8.515	13.810	0.568	0.921	0.9	0.9
10. Örnek	0.763	0.926	11.060	14.430	0.737	0.962	0.9	0.9
11. Örnek	0.712	0.917	10.170	14.250	0.678	0.950	0.9	0.9
12. Örnek	0.759	0.927	10.950	14.450	0.730	0.963	0.9	0.9

TEST SONUCU								
	Matlab Çıkışı		Devre Çıkışı				Hedef Çıkış	
Örnekler	1.Çıkış	2.Çıkış	1.Çıkış	2.Çıkış	1.Çıkış/15	2.Çıkış/15	1.Çıkış	2.Çıkış
1. Örnek	0.098	0.142	1.144	3.093	0.076	0.206	0.1	0.1
2. Örnek	0.046	0.033	0.737	2.234	0.049	0.149	0.1	0.1
3. Örnek	0.067	0.061	0.819	2.310	0.055	0.154	0.1	0.1
4. Örnek	0.064	0.089	0.766	2.326	0.051	0.155	0.1	0.1
5. Örnek	0.114	0.172	1.244	3.316	0.083	0.221	0.1	0.1
6. Örnek	0.166	0.342	1.917	4.873	0.128	0.325	0.1	0.1
7. Örnek	0.088	0.139	1.042	2.870	0.069	0.191	0.1	0.1
8. Örnek	0.085	0.131	1.025	2.886	0.068	0.192	0.1	0.1
9. Örnek	0.065	0.078	0.719	2.236	0.048	0.149	0.1	0.1
10. Örnek	0.070	0.083	0.793	2.410	0.053	0.161	0.1	0.1
11. Örnek	0.133	0.225	1.456	3.812	0.097	0.254	0.1	0.1
12. Örnek	0.090	0.154	0.993	2.869	0.066	0.191	0.1	0.1
13. Örnek	0.065	0.059	0.739	2.263	0.049	0.151	0.1	0.1
14. Örnek	0.087	0.066	0.783	2.219	0.052	0.148	0.1	0.1
15. Örnek	0.197	0.304	2.027	4.769	0.135	0.318	0.1	0.1
16. Örnek	0.267	0.464	2.811	6.265	0.187	0.418	0.1	0.1
17. Örnek	0.167	0.293	1.907	4.610	0.127	0.307	0.1	0.1
18. Örnek	0.093	0.150	1.209	3.247	0.081	0.216	0.1	0.1
19. Örnek	0.156	0.311	1.810	4.696	0.121	0.313	0.1	0.1
20. Örnek	0.143	0.257	1.583	4.089	0.106	0.273	0.1	0.1
21. Örnek	0.092	0.178	1.147	3.289	0.076	0.219	0.1	0.1
22. Örnek	0.127	0.248	1.533	4.000	0.102	0.267	0.1	0.1
23. Örnek	0.125	0.141	1.226	3.050	0.082	0.203	0.1	0.1
24. Örnek	0.075	0.213	1.228	3.608	0.082	0.241	0.1	0.1
25. Örnek	0.098	0.215	1.053	3.210	0.070	0.214	0.1	0.1
26. Örnek	0.477	0.864	6.723	13.100	0.448	0.873	0.1	0.9
27. Örnek	0.444	0.859	6.362	12.990	0.424	0.866	0.1	0.9
28. Örnek	0.526	0.878	7.356	13.410	0.490	0.894	0.1	0.9
29. Örnek	0.278	0.800	4.303	11.690	0.287	0.779	0.1	0.9
30. Örnek	0.443	0.863	6.385	13.080	0.426	0.872	0.1	0.9
31. Örnek	0.265	0.823	4.600	12.200	0.307	0.813	0.1	0.9

Örnekler	Matlab Çıkışı		Devre Çıkışı				Hedef Çıkış	
	1.Çıkış	2.Çıkış	1.Çıkış	2.Çıkış	1.Çıkış/15	2.Çıkış/15	1.Çıkış	2.Çıkış
32. Örnek	0.520	0.876	7.275	13.350	0.485	0.890	0.1	0.9
33. Örnek	0.171	0.676	2.755	9.256	0.184	0.617	0.1	0.9
34. Örnek	0.360	0.842	5.472	12.620	0.365	0.841	0.1	0.9
35. Örnek	0.278	0.803	4.387	11.760	0.292	0.784	0.1	0.9
36. Örnek	0.230	0.716	3.315	9.877	0.221	0.658	0.1	0.9
37. Örnek	0.360	0.840	5.520	12.570	0.368	0.838	0.1	0.9
38. Örnek	0.234	0.762	3.688	10.850	0.246	0.723	0.1	0.9
39. Örnek	0.374	0.850	5.714	12.810	0.381	0.854	0.1	0.9
40. Örnek	0.204	0.769	3.709	11.140	0.247	0.743	0.1	0.9
41. Örnek	0.402	0.847	5.911	12.760	0.394	0.851	0.1	0.9
42. Örnek	0.389	0.849	5.752	12.740	0.383	0.849	0.1	0.9
43. Örnek	0.167	0.754	3.229	10.730	0.215	0.715	0.1	0.9
44. Örnek	0.449	0.859	6.269	12.960	0.418	0.864	0.1	0.9
45. Örnek	0.179	0.755	3.269	10.750	0.218	0.717	0.1	0.9
46. Örnek	0.598	0.892	8.342	13.720	0.556	0.915	0.1	0.9
47. Örnek	0.215	0.801	4.224	11.820	0.282	0.788	0.1	0.9
48. Örnek	0.477	0.872	6.737	13.260	0.449	0.884	0.1	0.9
49. Örnek	0.289	0.827	4.768	12.240	0.318	0.816	0.1	0.9
50. Örnek	0.288	0.823	4.821	12.250	0.321	0.817	0.1	0.9
51. Örnek	0.830	0.939	12.340	14.660	0.823	0.977	0.9	0.9
52. Örnek	0.650	0.904	9.092	13.990	0.606	0.933	0.9	0.9
53. Örnek	0.795	0.932	11.490	14.530	0.766	0.969	0.9	0.9
54. Örnek	0.676	0.911	9.506	14.130	0.634	0.942	0.9	0.9
55. Örnek	0.796	0.932	11.500	14.530	0.767	0.969	0.9	0.9
56. Örnek	0.815	0.937	12.010	14.630	0.801	0.975	0.9	0.9
57. Örnek	0.502	0.869	6.842	13.150	0.456	0.877	0.9	0.9
58. Örnek	0.750	0.925	10.740	14.410	0.716	0.961	0.9	0.9
59. Örnek	0.699	0.916	9.839	14.220	0.656	0.948	0.9	0.9
60. Örnek	0.842	0.942	12.560	14.690	0.837	0.979	0.9	0.9
61. Örnek	0.718	0.916	10.100	14.210	0.673	0.947	0.9	0.9
62. Örnek	0.686	0.912	9.664	14.150	0.644	0.943	0.9	0.9
63. Örnek	0.776	0.928	11.050	14.440	0.737	0.963	0.9	0.9
64. Örnek	0.672	0.908	9.437	14.070	0.629	0.938	0.9	0.9
65. Örnek	0.778	0.928	11.270	14.470	0.751	0.965	0.9	0.9
66. Örnek	0.791	0.930	11.470	14.500	0.765	0.967	0.9	0.9
67. Örnek	0.678	0.911	9.503	14.110	0.634	0.941	0.9	0.9
68. Örnek	0.831	0.940	12.290	14.660	0.819	0.977	0.9	0.9
69. Örnek	0.837	0.942	12.510	14.710	0.834	0.981	0.9	0.9
70. Örnek	0.497	0.874	6.916	13.290	0.461	0.886	0.9	0.9
71. Örnek	0.816	0.936	11.940	14.590	0.796	0.973	0.9	0.9
72. Örnek	0.665	0.906	9.307	14.020	0.620	0.935	0.9	0.9
73. Örnek	0.804	0.936	11.780	14.600	0.785	0.973	0.9	0.9
74. Örnek	0.611	0.897	8.544	13.840	0.570	0.923	0.9	0.9
75. Örnek	0.782	0.929	11.230	14.470	0.749	0.965	0.9	0.9

Ek 5 İmza Tanıma Probleminin Eğitim ve Test İşlemindeki Performansı

EĞİTİM SONUCU									
	Matlab Çıkışı			Devre Çıkışı			Hedef Çıkış		
#	1.Çıkış	2.Çıkış	3.Çıkış	1.Çıkış /15	2.Çıkış /15	3.Çıkış /15	1.Çıkış	2.Çıkış	3.Çıkış
1	0,103	0,070	0,094	0,149	0,113	0,120	0.1	0.1	0.1
2	-0,011	0,459	0,810	-0,092	0,463	0,756	0.1	0.1	0.9
3	0,271	0,783	0,206	0,288	0,734	0,167	0.1	0.9	0.1
4	0,083	0,878	0,877	0,065	0,906	0,884	0.1	0.9	0.9
5	0,868	0,071	0,151	0,868	0,108	0,101	0.9	0.1	0.1
6	0,861	0,076	0,902	0,839	0,084	0,885	0.9	0.1	0.9
7	0,937	0,928	0,201	0,954	0,940	0,240	0.9	0.9	0.1
8	0,770	0,749	0,829	0,674	0,744	0,780	0.9	0.9	0.9
9	0,025	0,048	0,081	0,079	0,076	0,094	0.1	0.1	0.1
10	-0,242	0,268	0,827	-0,224	0,299	0,797	0.1	0.1	0.9
11	0,110	0,788	0,195	0,321	0,669	0,325	0.1	0.9	0.1
12	0,099	0,894	0,863	0,069	0,927	0,834	0.1	0.9	0.9
13	0,861	0,198	0,141	0,894	0,232	0,098	0.9	0.1	0.1
14	0,763	0,211	0,769	0,735	0,138	0,733	0.9	0.1	0.9
15	0,820	0,872	0,017	0,798	0,864	0,007	0.9	0.9	0.1
16	0,912	0,871	0,817	0,952	0,937	0,782	0.9	0.9	0.9
17	0,149	0,261	0,025	0,132	0,273	-0,011	0.1	0.1	0.1
18	0,062	0,078	0,832	0,017	0,130	0,848	0.1	0.1	0.9
19	0,302	0,892	-0,074	0,482	0,869	0,073	0.1	0.9	0.1
20	-0,009	0,848	0,882	-0,034	0,861	0,896	0.1	0.9	0.9
21	0,883	0,022	0,036	0,890	0,081	-0,003	0.9	0.1	0.1
22	0,749	0,172	0,745	0,698	0,094	0,712	0.9	0.1	0.9
23	0,793	0,886	0,033	0,774	0,876	0,071	0.9	0.9	0.1
24	0,937	0,908	0,934	0,976	0,973	0,970	0.9	0.9	0.9
25	0,033	0,080	0,126	0,007	0,122	0,096	0.1	0.1	0.1
26	0,163	0,076	0,913	0,046	0,120	0,930	0.1	0.1	0.9
27	0,090	0,858	-0,002	0,290	0,806	0,107	0.1	0.9	0.1
28	0,158	0,923	0,907	0,142	0,961	0,919	0.1	0.9	0.9
29	0,882	0,036	0,056	0,885	0,079	0,015	0.9	0.1	0.1
30	0,867	0,126	0,912	0,851	0,111	0,912	0.9	0.1	0.9
31	0,781	0,869	0,175	0,740	0,858	0,168	0.9	0.9	0.1
32	0,913	0,889	0,890	0,953	0,962	0,917	0.9	0.9	0.9
33	0,216	0,149	0,094	0,182	0,120	0,029	0.1	0.1	0.1
34	0,122	-0,034	0,891	0,005	0,003	0,912	0.1	0.1	0.9
35	0,067	0,801	0,201	0,289	0,693	0,314	0.1	0.9	0.1
36	-0,076	0,893	0,845	-0,038	0,922	0,832	0.1	0.9	0.9
37	0,886	0,337	0,003	0,907	0,320	-0,046	0.9	0.1	0.1
38	0,813	0,186	0,878	0,775	0,168	0,852	0.9	0.1	0.9
39	0,894	0,922	0,107	0,860	0,917	0,170	0.9	0.9	0.1
40	0,914	0,902	0,881	0,955	0,971	0,896	0.9	0.9	0.9
41	0,153	0,243	0,268	0,088	0,254	0,173	0.1	0.1	0.1
42	0,003	0,072	0,788	-0,052	0,074	0,761	0.1	0.1	0.9
43	0,042	0,851	0,076	0,218	0,810	0,150	0.1	0.9	0.1
44	0,157	0,816	0,844	0,039	0,840	0,852	0.1	0.9	0.9
45	0,833	0,304	0,108	0,851	0,164	0,070	0.9	0.1	0.1
46	0,838	0,097	0,911	0,827	0,063	0,928	0.9	0.1	0.9
47	0,873	0,842	0,083	0,863	0,774	0,146	0.9	0.9	0.1
48	0,902	0,852	0,864	0,930	0,881	0,870	0.9	0.9	0.9

	Matlab Çıkışı			Devre Çıkışı			Hedef Çıkış		
#	1.Çıkış	2.Çıkış	3.Çıkış	1.Çıkış /15	2.Çıkış /15	3.Çıkış /15	1.Çıkış	2.Çıkış	3.Çıkış
49	0,120	0,051	0,229	0,159	0,070	0,239	0.1	0.1	0.1
50	0,262	-0,002	0,829	0,207	-0,006	0,850	0.1	0.1	0.9
51	0,362	0,825	0,031	0,447	0,766	0,095	0.1	0.9	0.1
52	0,106	0,941	0,909	0,094	0,981	0,910	0.1	0.9	0.9
53	0,797	0,151	0,396	0,778	0,167	0,333	0.9	0.1	0.1
54	0,816	0,241	0,813	0,789	0,180	0,750	0.9	0.1	0.9
55	0,902	0,899	-0,005	0,884	0,880	0,037	0.9	0.9	0.1
56	0,860	0,904	0,847	0,860	0,946	0,801	0.9	0.9	0.9
57	0,425	0,259	0,093	0,369	0,236	0,001	0.1	0.1	0.1
58	0,054	0,641	0,653	0,097	0,596	0,624	0.1	0.1	0.9
59	0,122	0,773	0,230	0,296	0,676	0,308	0.1	0.9	0.1
60	0,210	0,922	0,739	0,192	0,958	0,686	0.1	0.9	0.9
61	0,859	0,022	0,027	0,858	0,056	-0,021	0.9	0.1	0.1
62	0,831	0,147	0,828	0,809	0,101	0,788	0.9	0.1	0.9
63	0,775	0,712	0,143	0,720	0,603	0,084	0.9	0.9	0.1
64	0,633	0,703	0,671	0,530	0,715	0,557	0.9	0.9	0.9
65	0,186	0,090	0,362	0,254	0,218	0,442	0.1	0.1	0.1
66	0,114	0,202	0,927	0,037	0,341	0,929	0.1	0.1	0.9
67	0,261	0,841	0,111	0,380	0,795	0,159	0.1	0.9	0.1
68	-0,035	0,777	0,869	-0,085	0,756	0,875	0.1	0.9	0.9
69	0,835	0,057	0,155	0,833	0,092	0,100	0.9	0.1	0.1
70	0,832	0,022	0,864	0,774	0,052	0,779	0.9	0.1	0.9
71	0,848	0,722	0,206	0,853	0,612	0,208	0.9	0.9	0.1
72	0,572	0,620	0,553	0,449	0,619	0,413	0.9	0.9	0.9
73	0,119	-0,005	0,135	0,190	0,049	0,175	0.1	0.1	0.1
74	0,132	0,034	0,869	0,112	0,103	0,856	0.1	0.1	0.9
75	0,604	0,770	0,293	0,588	0,760	0,221	0.1	0.9	0.1
76	0,106	0,875	0,882	0,084	0,899	0,882	0.1	0.9	0.9
77	0,840	0,067	0,221	0,825	0,065	0,167	0.9	0.1	0.1
78	0,853	-0,081	0,725	0,835	-0,009	0,517	0.9	0.1	0.9
79	0,876	0,914	0,110	0,851	0,940	0,027	0.9	0.9	0.1
80	0,905	0,910	0,912	0,926	0,951	0,938	0.9	0.9	0.9
81	0,137	0,257	0,328	0,201	0,355	0,406	0.1	0.1	0.1
82	0,245	0,023	0,761	0,170	0,004	0,763	0.1	0.1	0.9
83	0,169	0,813	-0,018	0,342	0,725	0,093	0.1	0.9	0.1
84	0,117	0,932	0,882	0,119	0,968	0,857	0.1	0.9	0.9
85	0,818	0,285	0,003	0,803	0,274	-0,027	0.9	0.1	0.1
86	0,774	0,191	0,656	0,731	0,194	0,492	0.9	0.1	0.9
87	0,920	0,920	0,238	0,915	0,910	0,326	0.9	0.9	0.1
88	0,869	0,868	0,912	0,844	0,906	0,930	0.9	0.9	0.9
89	0,126	0,068	-0,085	0,200	0,124	-0,009	0.1	0.1	0.1
90	-0,054	0,454	0,884	-0,035	0,531	0,868	0.1	0.1	0.9
91	0,276	0,801	0,147	0,373	0,726	0,192	0.1	0.9	0.1
92	0,034	0,797	0,813	-0,004	0,779	0,793	0.1	0.9	0.9
93	0,837	0,278	0,117	0,817	0,280	0,073	0.9	0.1	0.1
94	0,850	0,019	0,888	0,816	0,029	0,866	0.9	0.1	0.9
95	0,895	0,888	0,129	0,879	0,859	0,180	0.9	0.9	0.1
96	0,923	0,893	0,890	0,961	0,954	0,914	0.9	0.9	0.9
97	0,063	0,096	0,164	0,081	0,083	0,185	0.1	0.1	0.1
98	0,147	0,062	0,811	0,081	0,083	0,786	0.1	0.1	0.9
99	-0,048	0,851	0,118	0,187	0,792	0,253	0.1	0.9	0.1

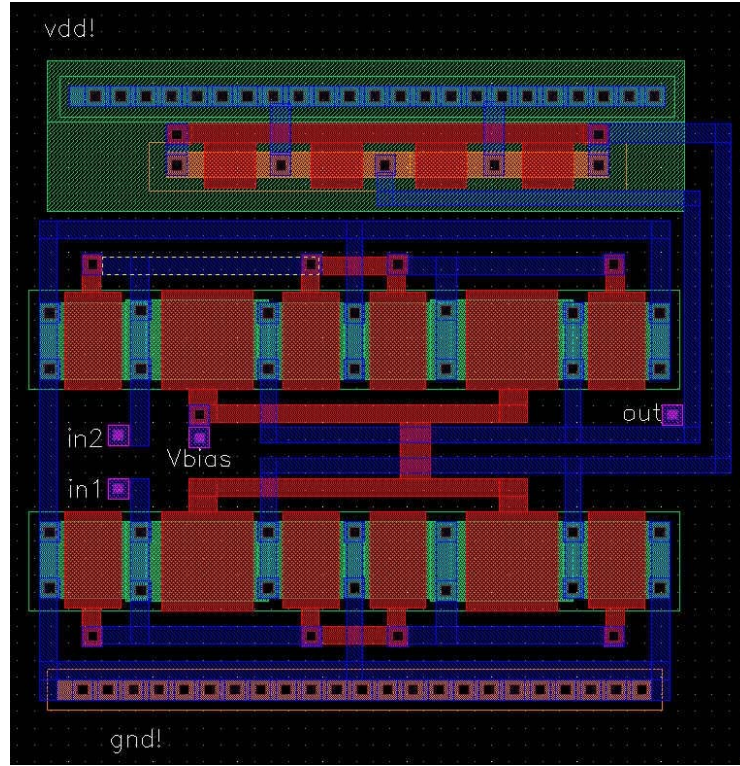
#	Matlab Çıkışı			Devre Çıkışı			Hedef Çıkış		
	1.Çıkış	2.Çıkış	3.Çıkış	1.Çıkış /15	2.Çıkış /15	3.Çıkış /15	1.Çıkış	2.Çıkış	3.Çıkış
100	0,080	0,899	0,897	0,065	0,925	0,900	0.1	0.9	0.9
101	0,858	0,044	0,004	0,866	0,089	-0,015	0.9	0.1	0.1
102	0,776	0,238	0,709	0,759	0,192	0,574	0.9	0.1	0.9
103	0,914	0,928	0,365	0,923	0,947	0,396	0.9	0.9	0.1
104	0,853	0,808	0,804	0,866	0,853	0,769	0.9	0.9	0.9
105	0,091	0,162	0,110	0,067	0,160	0,103	0.1	0.1	0.1
106	0,278	0,109	0,703	0,215	0,049	0,698	0.1	0.1	0.9
107	0,173	0,791	0,149	0,255	0,719	0,170	0.1	0.9	0.1
108	0,284	0,958	0,928	0,282	0,990	0,938	0.1	0.9	0.9
109	0,794	0,366	0,061	0,800	0,385	0,078	0.9	0.1	0.1
110	0,777	0,078	0,520	0,747	0,047	0,375	0.9	0.1	0.9
111	0,737	0,904	0,069	0,685	0,899	0,109	0.9	0.9	0.1
112	0,870	0,885	0,891	0,879	0,904	0,928	0.9	0.9	0.9
113	0,093	0,071	-0,015	0,122	0,064	0,043	0.1	0.1	0.1
114	-0,024	0,192	0,883	-0,057	0,203	0,830	0.1	0.1	0.9
115	-0,038	0,866	0,169	0,185	0,798	0,329	0.1	0.9	0.1
116	0,071	0,885	0,890	0,034	0,899	0,927	0.1	0.9	0.9
117	0,852	0,029	0,138	0,843	0,008	0,144	0.9	0.1	0.1
118	0,850	0,037	0,762	0,826	0,043	0,630	0.9	0.1	0.9
119	0,740	0,867	0,117	0,672	0,839	0,123	0.9	0.9	0.1
120	0,883	0,906	0,894	0,890	0,941	0,918	0.9	0.9	0.9
121	0,085	0,187	0,037	0,122	0,185	0,092	0.1	0.1	0.1
122	0,165	0,054	0,847	0,132	0,027	0,865	0.1	0.1	0.9
123	-0,016	0,850	0,142	0,209	0,761	0,308	0.1	0.9	0.1
124	0,112	0,940	0,911	0,083	0,974	0,930	0.1	0.9	0.9
125	0,872	0,144	0,028	0,872	0,126	0,057	0.9	0.1	0.1
126	0,876	-0,069	0,825	0,861	-0,070	0,738	0.9	0.1	0.9
127	0,684	0,837	0,158	0,629	0,788	0,157	0.9	0.9	0.1
128	0,919	0,917	0,950	0,938	0,961	0,982	0.9	0.9	0.9
129	0,161	0,162	0,063	0,208	0,161	0,096	0.1	0.1	0.1
130	0,250	-0,027	0,896	0,134	-0,056	0,923	0.1	0.1	0.9
131	0,049	0,873	0,115	0,318	0,806	0,317	0.1	0.9	0.1
132	0,125	0,690	0,840	-0,059	0,624	0,869	0.1	0.9	0.9
133	0,803	0,106	0,163	0,773	0,082	0,156	0.9	0.1	0.1
134	0,825	0,116	0,805	0,803	0,119	0,715	0.9	0.1	0.9
135	0,797	0,781	0,004	0,762	0,674	0,110	0.9	0.9	0.1
136	0,924	0,912	0,918	0,948	0,950	0,929	0.9	0.9	0.9
137	0,191	0,047	0,191	0,180	0,039	0,205	0.1	0.1	0.1
138	0,287	-0,031	0,812	0,229	-0,071	0,827	0.1	0.1	0.9
139	0,189	0,787	0,111	0,278	0,686	0,172	0.1	0.9	0.1
140	0,118	0,912	0,854	0,114	0,940	0,852	0.1	0.9	0.9
141	0,913	0,056	0,264	0,939	0,071	0,261	0.9	0.1	0.1
142	0,913	0,156	0,922	0,941	0,110	0,944	0.9	0.1	0.9
143	0,757	0,887	0,207	0,648	0,877	0,197	0.9	0.9	0.1
144	0,790	0,750	0,527	0,782	0,701	0,496	0.9	0.9	0.9
145	-0,021	0,194	0,126	0,008	0,209	0,155	0.1	0.1	0.1
146	0,204	0,120	0,872	0,127	0,083	0,916	0.1	0.1	0.9
147	0,100	0,856	0,191	0,271	0,804	0,301	0.1	0.9	0.1
148	0,156	0,723	0,892	-0,063	0,689	0,927	0.1	0.9	0.9
149	0,872	0,096	0,210	0,894	0,173	0,206	0.9	0.1	0.1
150	0,867	0,058	0,894	0,863	0,026	0,901	0.9	0.1	0.9

	Matlab Çıkışı			Devre Çıkışı			Hedef Çıkış		
#	1.Çıkış	2.Çıkış	3.Çıkış	1.Çıkış /15	2.Çıkış /15	3.Çıkış /15	1.Çıkış	2.Çıkış	3.Çıkış
151	0,684	0,892	0,165	0,642	0,891	0,172	0.9	0.9	0.1
152	0,887	0,862	0,814	0,921	0,914	0,791	0.9	0.9	0.9
153	-0,080	0,025	0,208	0,019	0,095	0,317	0.1	0.1	0.1
154	0,043	0,169	0,903	0,019	0,239	0,906	0.1	0.1	0.9
155	0,328	0,785	0,488	0,043	0,707	0,545	0.1	0.9	0.1
156	0,044	0,919	0,849	0,036	0,959	0,839	0.1	0.9	0.9
157	0,899	0,160	0,050	0,911	0,179	0,058	0.9	0.1	0.1
158	0,898	0,083	0,920	0,899	0,050	0,928	0.9	0.1	0.9
159	0,843	0,829	-0,008	0,829	0,760	0,039	0.9	0.9	0.1
160	0,697	0,798	0,820	0,571	0,805	0,766	0.9	0.9	0.9
161	0,384	0,397	0,294	0,370	0,373	0,233	0.1	0.1	0.1
162	-0,097	0,148	0,921	-0,111	0,240	0,933	0.1	0.1	0.9
163	0,019	0,846	0,157	0,267	0,760	0,310	0.1	0.9	0.1
164	-0,045	0,772	0,855	-0,118	0,747	0,851	0.1	0.9	0.9
165	0,890	0,077	0,073	0,916	0,157	0,069	0.9	0.1	0.1
166	0,830	0,256	0,809	0,806	0,170	0,768	0.9	0.1	0.9
167	0,913	0,863	0,051	0,940	0,831	0,055	0.9	0.9	0.1
168	0,906	0,931	0,941	0,921	0,972	0,968	0.9	0.9	0.9
169	-0,039	-0,030	0,083	0,066	0,017	0,177	0.1	0.1	0.1
170	0,122	0,091	0,883	0,072	0,106	0,908	0.1	0.1	0.9
171	0,043	0,871	0,002	0,290	0,808	0,177	0.1	0.9	0.1
172	0,198	0,956	0,891	0,195	0,989	0,886	0.1	0.9	0.9
173	0,904	0,190	0,115	0,924	0,177	0,078	0.9	0.1	0.1
174	0,856	0,173	0,891	0,828	0,134	0,872	0.9	0.1	0.9
175	0,785	0,817	0,039	0,777	0,741	0,068	0.9	0.9	0.1
176	0,922	0,894	0,914	0,960	0,964	0,949	0.9	0.9	0.9
177	0,085	-0,061	0,018	0,114	-0,023	0,051	0.1	0.1	0.1
178	0,279	0,228	0,839	0,126	0,153	0,851	0.1	0.1	0.9
179	0,224	0,753	0,073	0,349	0,636	0,155	0.1	0.9	0.1
180	0,148	0,824	0,835	0,076	0,826	0,834	0.1	0.9	0.9
181	0,841	0,057	0,218	0,812	0,068	0,176	0.9	0.1	0.1
182	0,891	0,216	0,901	0,913	0,191	0,902	0.9	0.1	0.9
183	0,904	0,935	0,170	0,885	0,939	0,266	0.9	0.9	0.1
184	0,702	0,758	0,745	0,639	0,747	0,689	0.9	0.9	0.9
185	0,093	0,129	0,259	0,109	0,107	0,267	0.1	0.1	0.1
186	0,253	-0,091	0,877	0,180	-0,086	0,893	0.1	0.1	0.9
187	0,364	0,699	0,653	0,414	0,607	0,690	0.1	0.9	0.1
188	0,319	0,903	0,752	0,246	0,943	0,679	0.1	0.9	0.9
189	0,847	0,015	0,179	0,853	0,053	0,141	0.9	0.1	0.1
190	0,859	0,124	0,854	0,847	0,123	0,796	0.9	0.1	0.9
191	0,924	0,920	-0,034	0,932	0,914	0,056	0.9	0.9	0.1
192	0,831	0,870	0,875	0,811	0,895	0,869	0.9	0.9	0.9
193	0,162	0,173	0,156	0,173	0,161	0,135	0.1	0.1	0.1
194	0,096	0,088	0,858	-0,005	0,085	0,840	0.1	0.1	0.9
195	0,168	0,740	0,057	0,315	0,610	0,164	0.1	0.9	0.1
196	0,190	0,890	0,932	0,081	0,939	0,972	0.1	0.9	0.9
197	0,882	-0,033	0,231	0,901	0,022	0,161	0.9	0.1	0.1
198	0,859	0,293	0,838	0,854	0,249	0,793	0.9	0.1	0.9
199	0,876	0,792	0,200	0,882	0,706	0,210	0.9	0.9	0.1
200	0,836	0,864	0,895	0,803	0,886	0,901	0.9	0.9	0.9

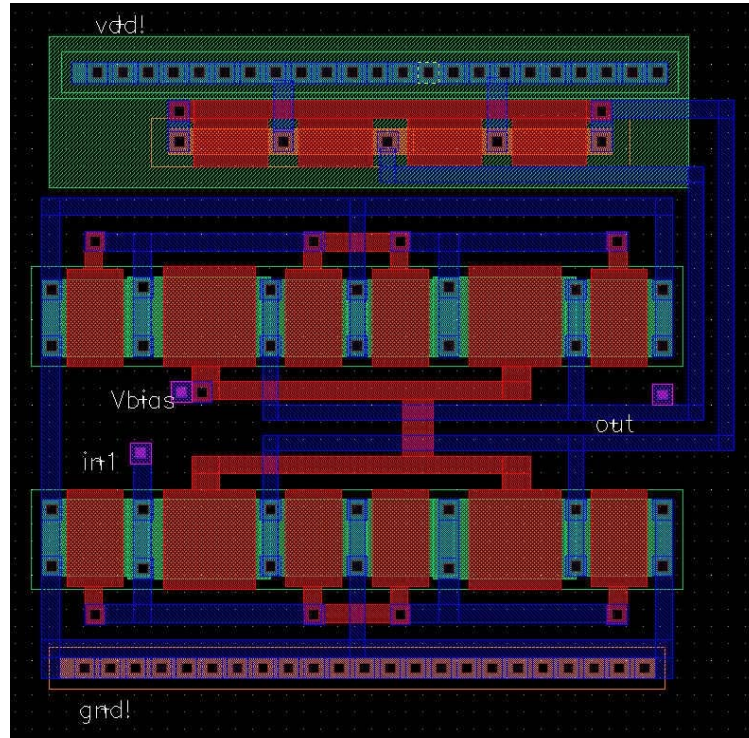
TEST SONUCU									
	Matlab Çıkışı			Devre Çıkışı			Hedef Çıkış		
#	1. Çıkış	2. Çıkış	3. Çıkış	1.Çıkış /15	2.Çıkış /15	3.Çıkış /15	1.Çıkış	2.Çıkış	3.Çıkış
1	-0.058	-0.067	-0.028	0.053	-0.038	0.041	0.1	0.1	0.1
2	0.286	0.438	0.480	0.172	0.382	0.351	0.1	0.1	0.1
3	0.247	0.576	0.634	0.135	0.557	0.575	0.1	0.1	0.1
4	0.387	0.418	0.243	0.325	0.318	0.158	0.1	0.1	0.1
5	0.059	0.138	0.059	0.097	0.134	0.054	0.1	0.1	0.1
6	0.028	-0.125	0.024	0.093	-0.069	0.082	0.1	0.1	0.1
7	-0.015	0.064	0.006	0.031	0.099	0.035	0.1	0.1	0.1
8	-0.017	-0.118	0.850	-0.062	-0.062	0.832	0.1	0.1	0.9
9	0.848	0.927	0.436	0.846	0.958	0.396	0.1	0.1	0.9
10	-0.139	0.095	0.888	-0.101	0.191	0.874	0.1	0.1	0.9
11	-0.002	-0.043	0.862	-0.028	0.009	0.861	0.1	0.1	0.9
12	-0.063	-0.101	0.912	-0.063	0.035	0.908	0.1	0.1	0.9
13	0.081	0.031	0.897	-0.001	0.063	0.923	0.1	0.1	0.9
14	0.076	0.314	0.859	0.049	0.325	0.847	0.1	0.1	0.9
15	0.074	0.854	0.137	0.196	0.823	0.182	0.1	0.9	0.1
16	0.673	0.765	0.586	0.634	0.746	0.545	0.1	0.9	0.1
17	0.148	0.816	0.204	0.282	0.749	0.250	0.1	0.9	0.1
18	0.325	0.829	0.085	0.393	0.790	0.111	0.1	0.9	0.1
19	0.222	0.842	-0.035	0.401	0.792	0.097	0.1	0.9	0.1
20	0.261	0.867	-0.051	0.433	0.822	0.065	0.1	0.9	0.1
21	-0.031	0.861	0.252	0.198	0.811	0.368	0.1	0.9	0.1
22	-0.069	0.839	0.851	-0.096	0.842	0.853	0.1	0.9	0.9
23	-0.101	0.709	0.820	-0.049	0.711	0.801	0.1	0.9	0.9
24	0.616	0.900	0.838	0.528	0.940	0.805	0.1	0.9	0.9
25	-0.027	0.835	0.886	-0.098	0.844	0.904	0.1	0.9	0.9
26	0.375	0.957	0.833	0.368	0.989	0.800	0.1	0.9	0.9
27	0.059	0.730	0.857	-0.069	0.694	0.876	0.1	0.9	0.9
28	-0.001	0.931	0.869	0.022	0.969	0.876	0.1	0.9	0.9
29	0.875	0.122	0.113	0.888	0.116	0.097	0.9	0.1	0.1
30	0.763	0.662	0.476	0.770	0.660	0.362	0.9	0.1	0.1
31	0.739	0.788	0.526	0.748	0.813	0.437	0.9	0.1	0.1
32	0.848	0.167	0.177	0.858	0.128	0.147	0.9	0.1	0.1
33	0.866	0.126	0.067	0.863	0.147	0.034	0.9	0.1	0.1
34	0.885	0.239	-0.042	0.900	0.260	-0.067	0.9	0.1	0.1
35	0.848	0.240	0.503	0.865	0.233	0.360	0.9	0.1	0.1
36	0.807	0.084	0.868	0.745	0.084	0.819	0.9	0.1	0.9
37	0.537	-0.002	0.693	0.446	-0.062	0.625	0.9	0.1	0.9
38	0.659	0.000	0.756	0.584	-0.042	0.727	0.9	0.1	0.9
39	0.742	0.255	0.616	0.714	0.197	0.505	0.9	0.1	0.9
40	0.830	0.197	0.881	0.814	0.159	0.870	0.9	0.1	0.9
41	0.756	0.269	0.697	0.721	0.221	0.567	0.9	0.1	0.9
42	0.875	0.045	0.861	0.862	0.100	0.753	0.9	0.1	0.9
43	0.605	0.849	0.141	0.506	0.832	0.076	0.9	0.9	0.1
44	0.732	0.901	0.781	0.716	0.947	0.751	0.9	0.9	0.1
45	0.762	0.840	0.718	0.707	0.861	0.703	0.9	0.9	0.1
46	0.944	0.948	-0.006	0.954	0.962	0.089	0.9	0.9	0.1
47	0.875	0.881	0.063	0.870	0.851	0.104	0.9	0.9	0.1
48	0.761	0.830	0.038	0.740	0.772	0.088	0.9	0.9	0.1
49	0.379	0.811	0.104	0.392	0.776	0.106	0.9	0.9	0.1
50	0.858	0.872	0.911	0.797	0.886	0.901	0.9	0.9	0.9

	Matlab Çıkışı			Devre Çıkışı			Hedef Çıkış		
#	1. Çıkış	2. Çıkış	3. Çıkış	1.Çıkış /15	2.Çıkış /15	3.Çıkış /15	1.Çıkış	2.Çıkış	3.Çıkış
51	0.832	0.914	0.747	0.817	0.957	0.633	0.9	0.9	0.9
52	0.837	0.905	0.725	0.860	0.950	0.667	0.9	0.9	0.9
53	0.825	0.853	0.787	0.828	0.881	0.757	0.9	0.9	0.9
54	0.831	0.819	0.821	0.825	0.863	0.796	0.9	0.9	0.9
55	0.877	0.839	0.805	0.901	0.880	0.784	0.9	0.9	0.9
56	0.855	0.887	0.837	0.858	0.921	0.807	0.9	0.9	0.9

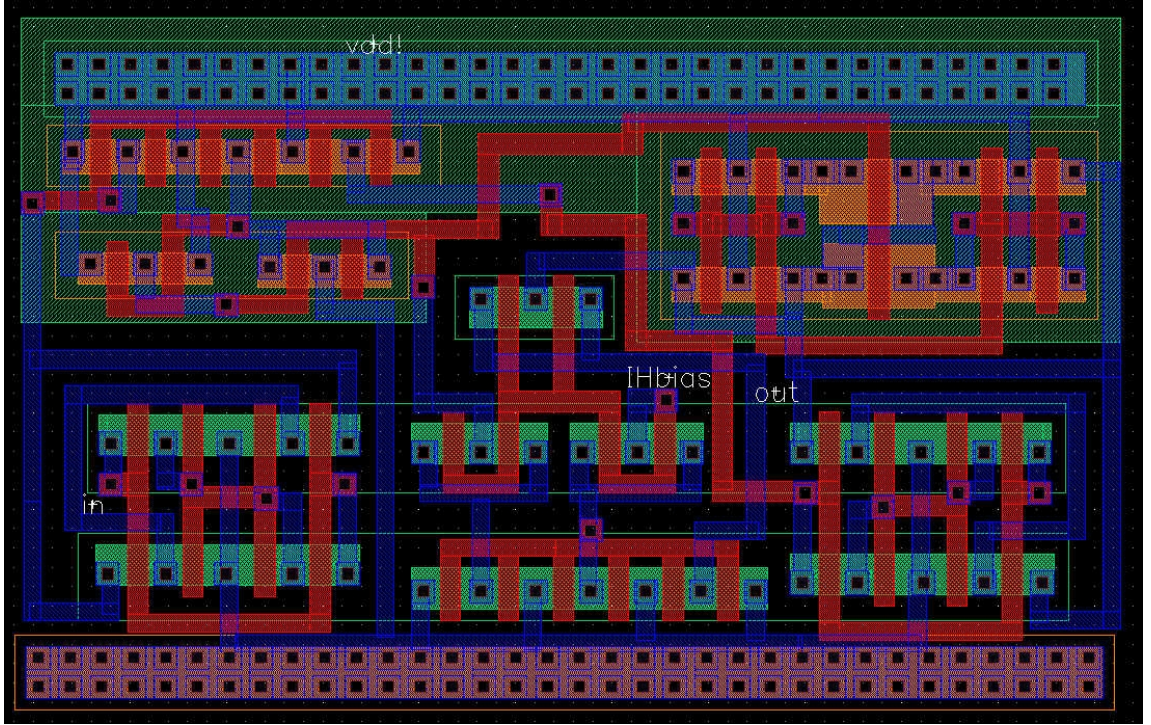
Ek 6 Tmdevrede Yer Alan Analog ve Sayısal Alt Devrelerin Serimleri



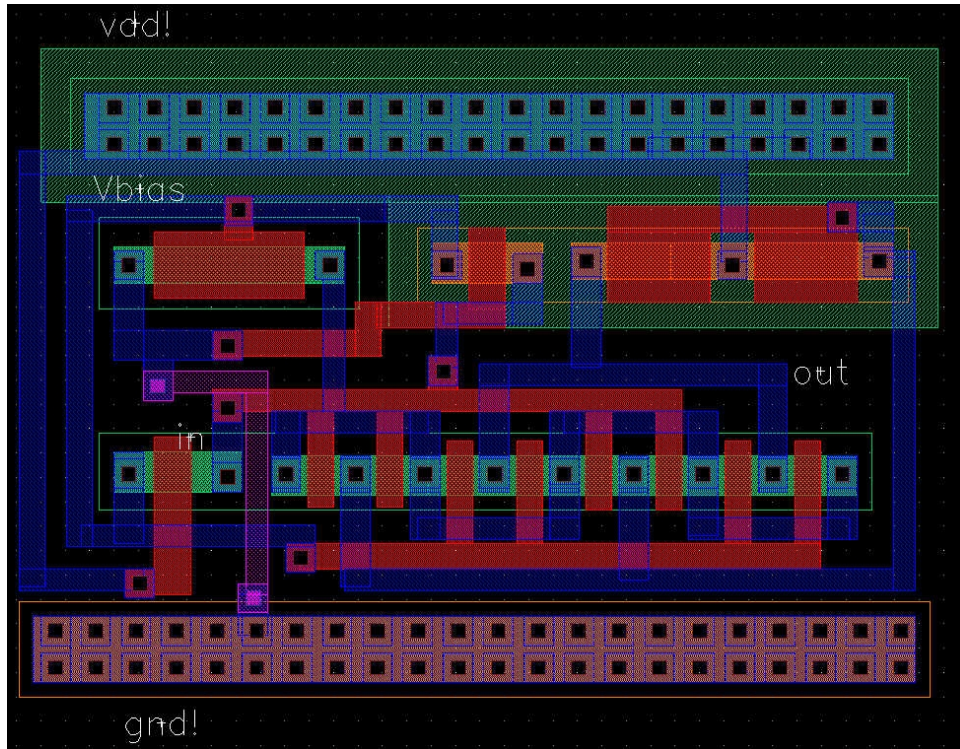
Çarpma devresinin serimi



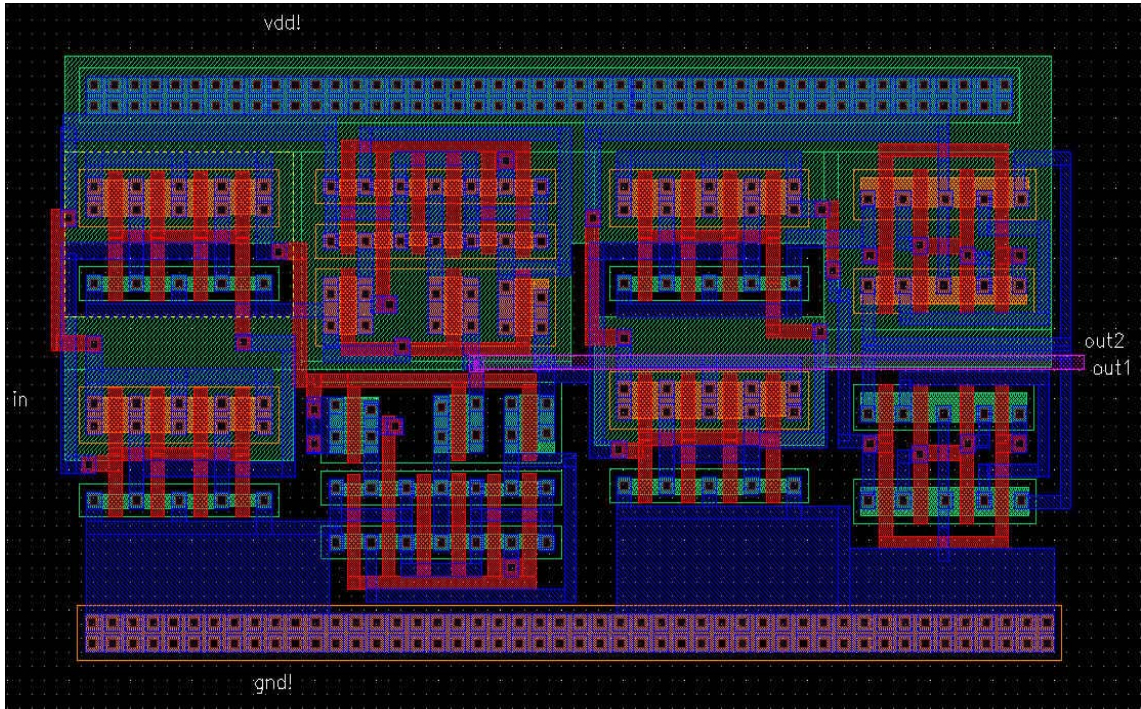
Kare alıcı devrenin serimi



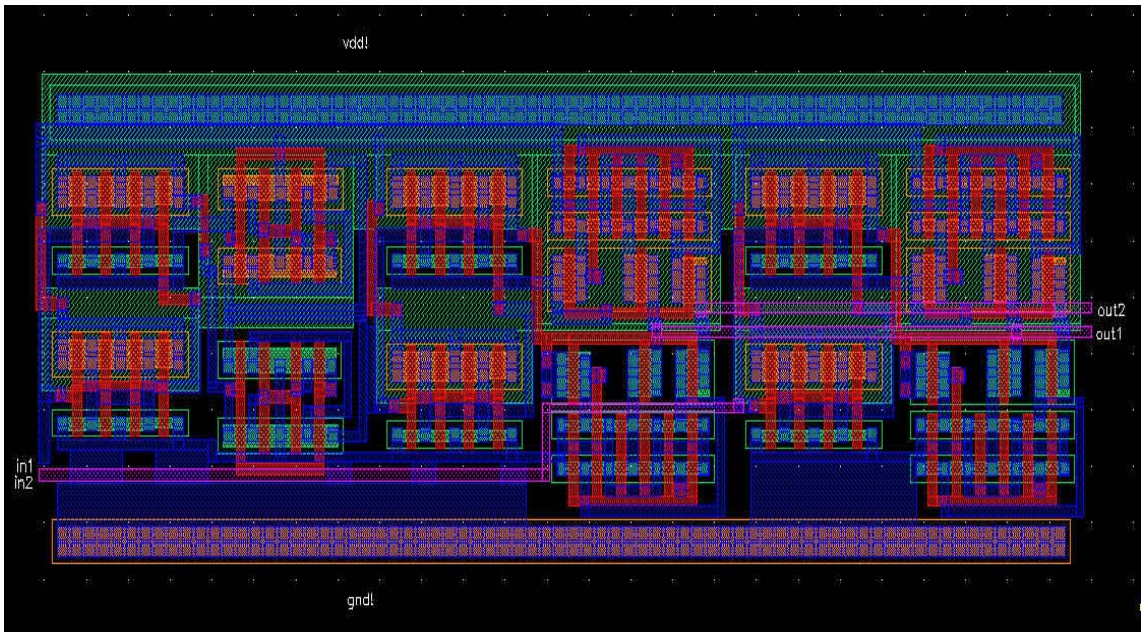
Karekök alıcı devrenin serimi



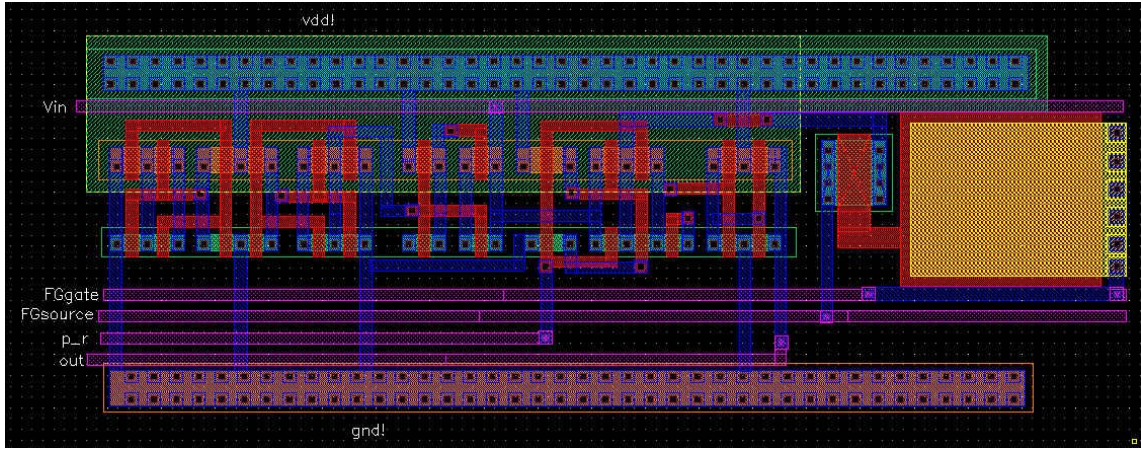
Sigmoid fonksiyon üretici devresinin serimi



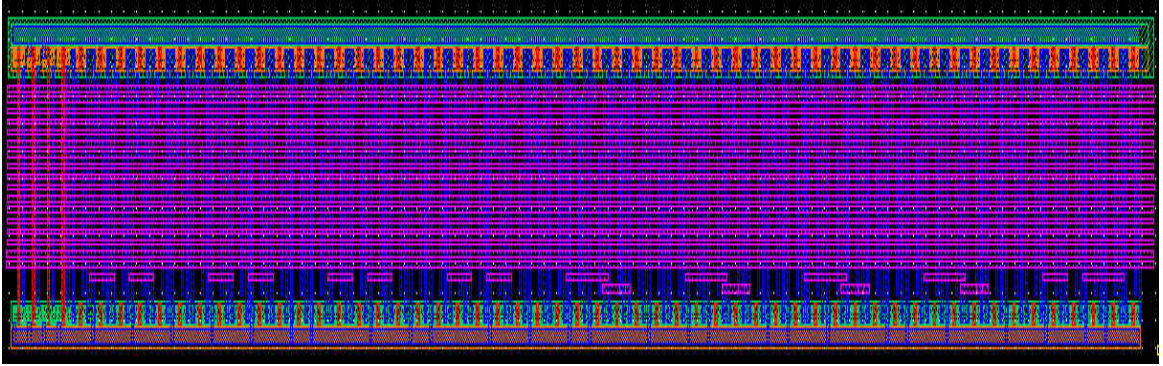
Aynı ve zıt yönlü akım aynalama devresinin serimi



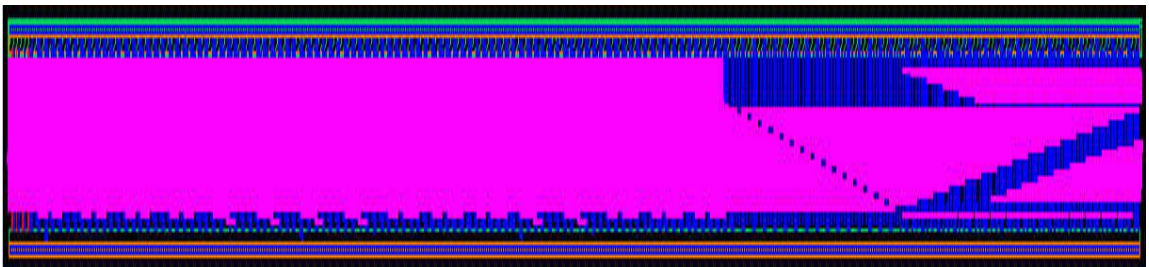
Çıkarma devresinin serimi



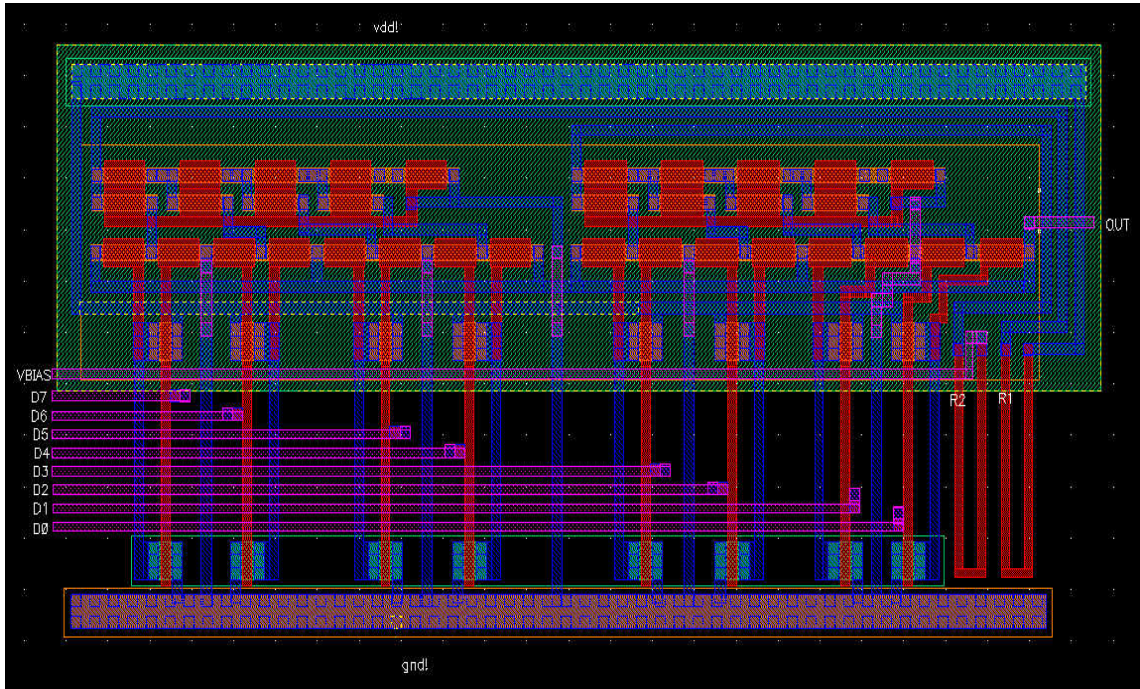
Algı yükselteci ile birlikte EEPROM hafıza hücresinin serimi



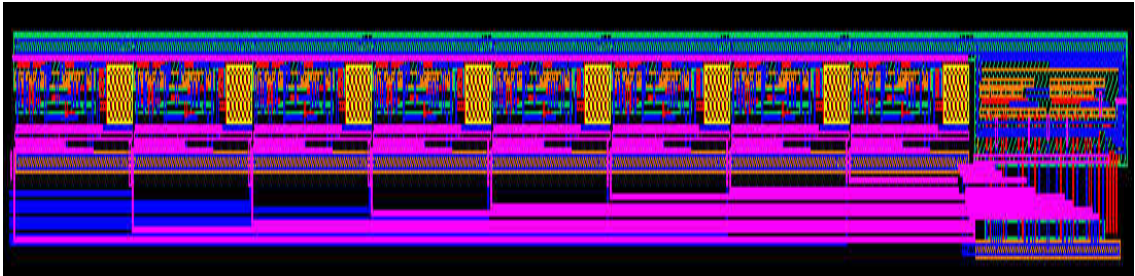
4x9 Kod çözücü devresinin serimi



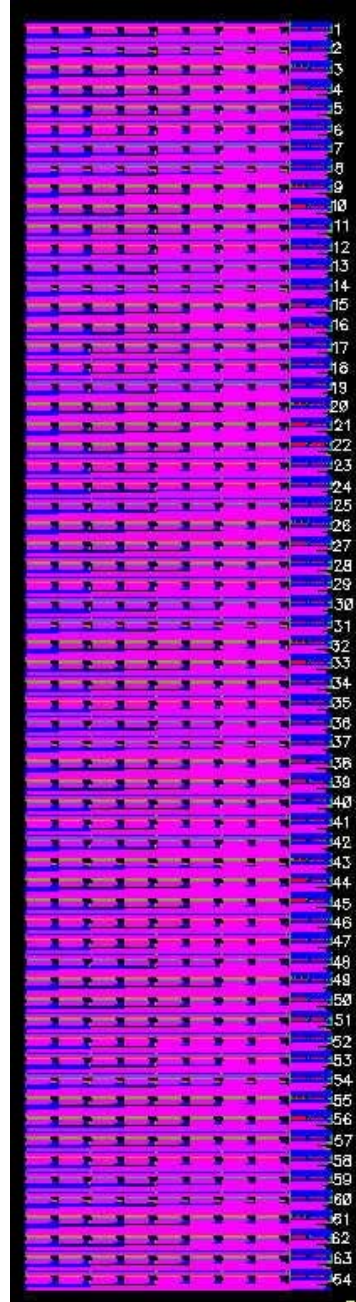
Çıkış katmanındaki nöron sayısını düzenleyen kontrol bloğunun serimi



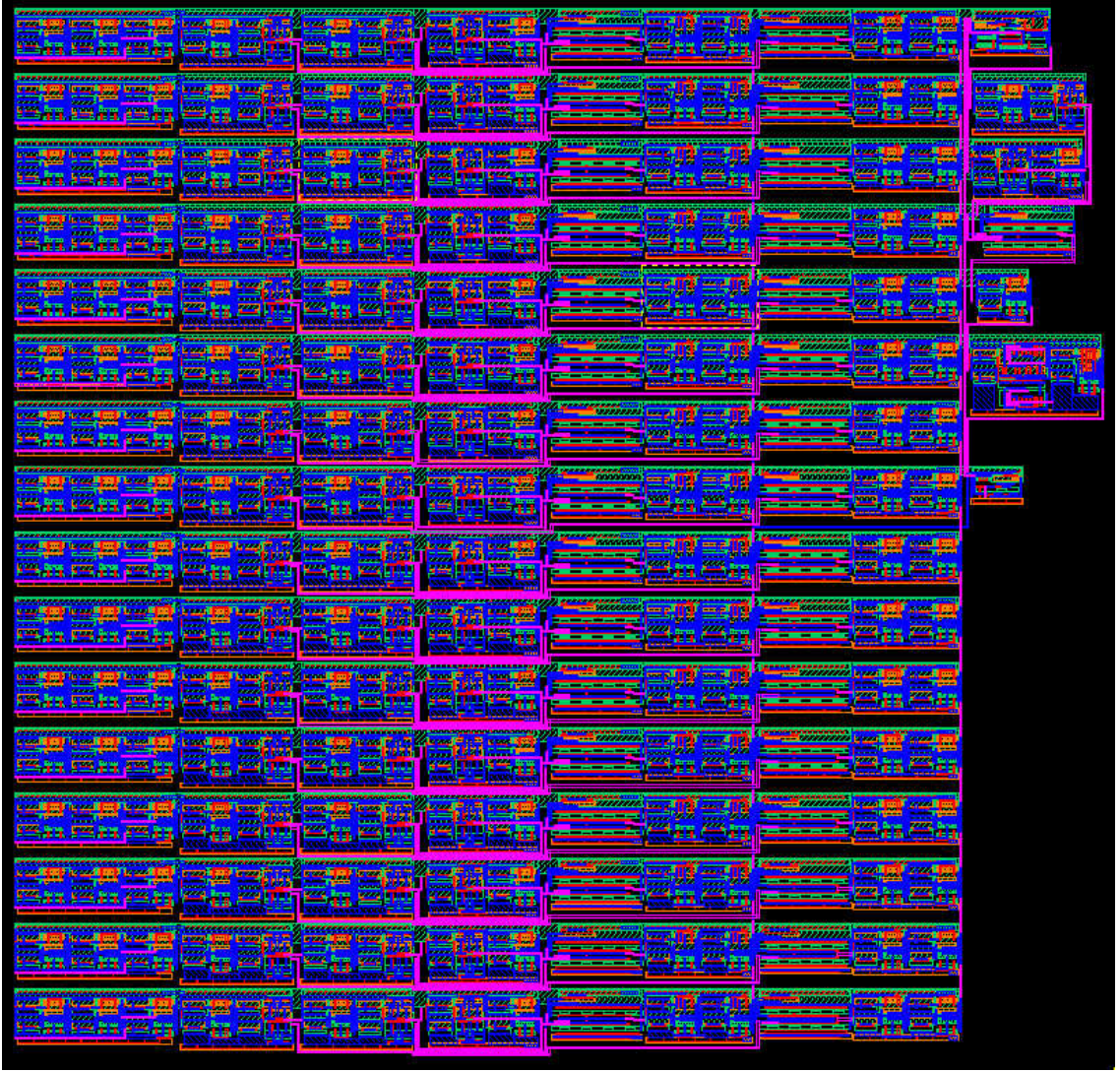
DAC devresinin serimi



DAC devresiyle birlikte 8 bitlik hafıza bloğunun serimi

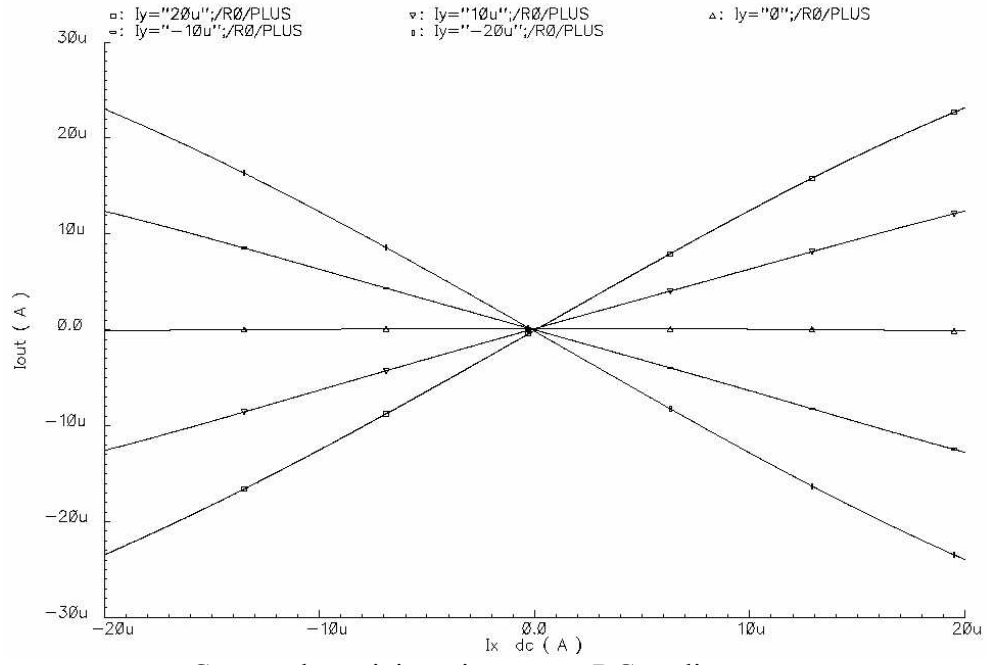


64 byte'lık hafıza bloğunun serimi

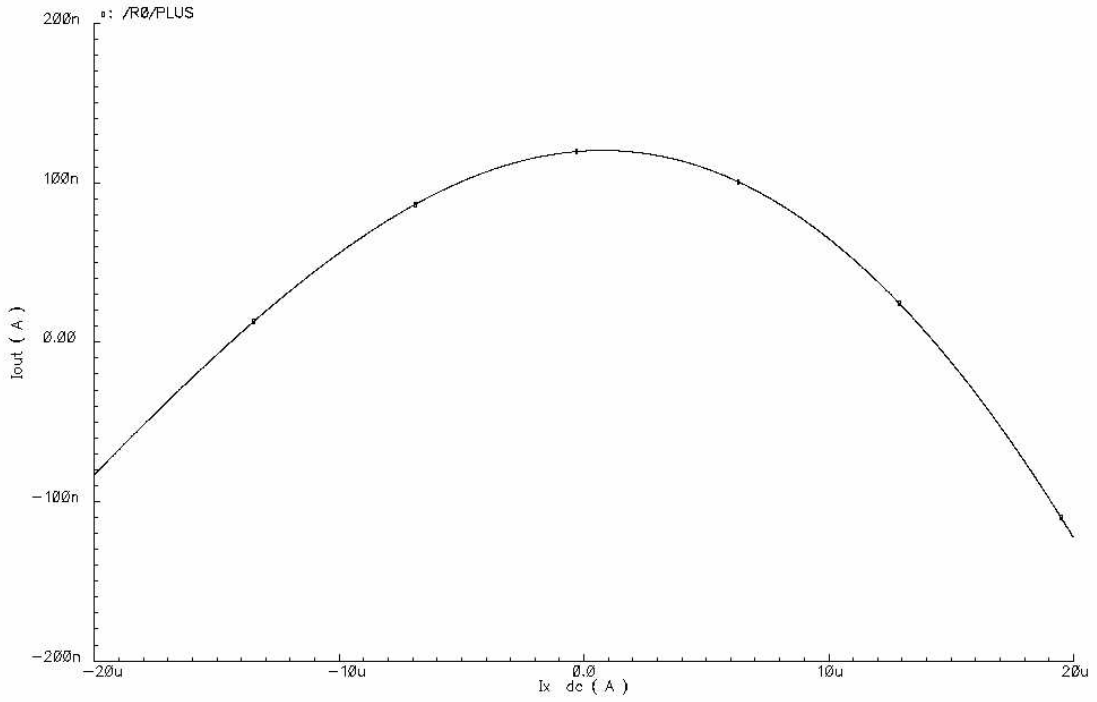


CSFNN ağı tümdevresinin gizli nöronunun serimi

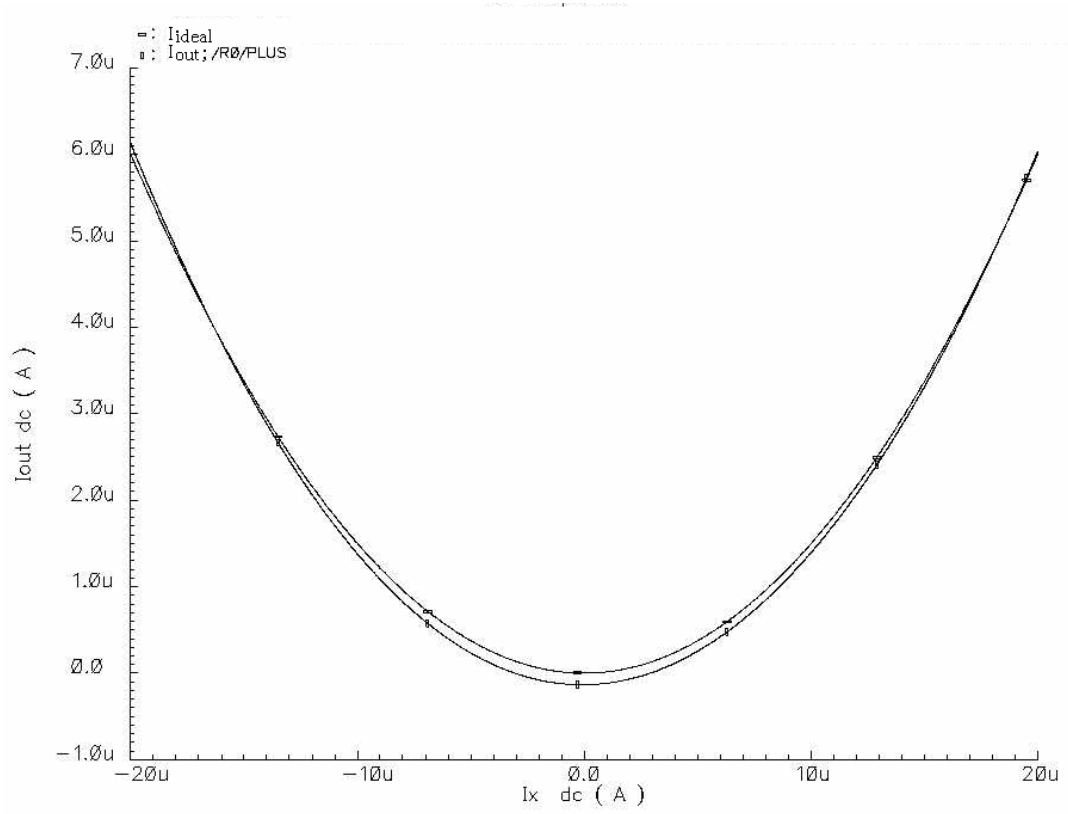
Ek 7 Tmdevrede Yer Alan Analog Devrelerin Serim Sonras Simlasyon Sonuları



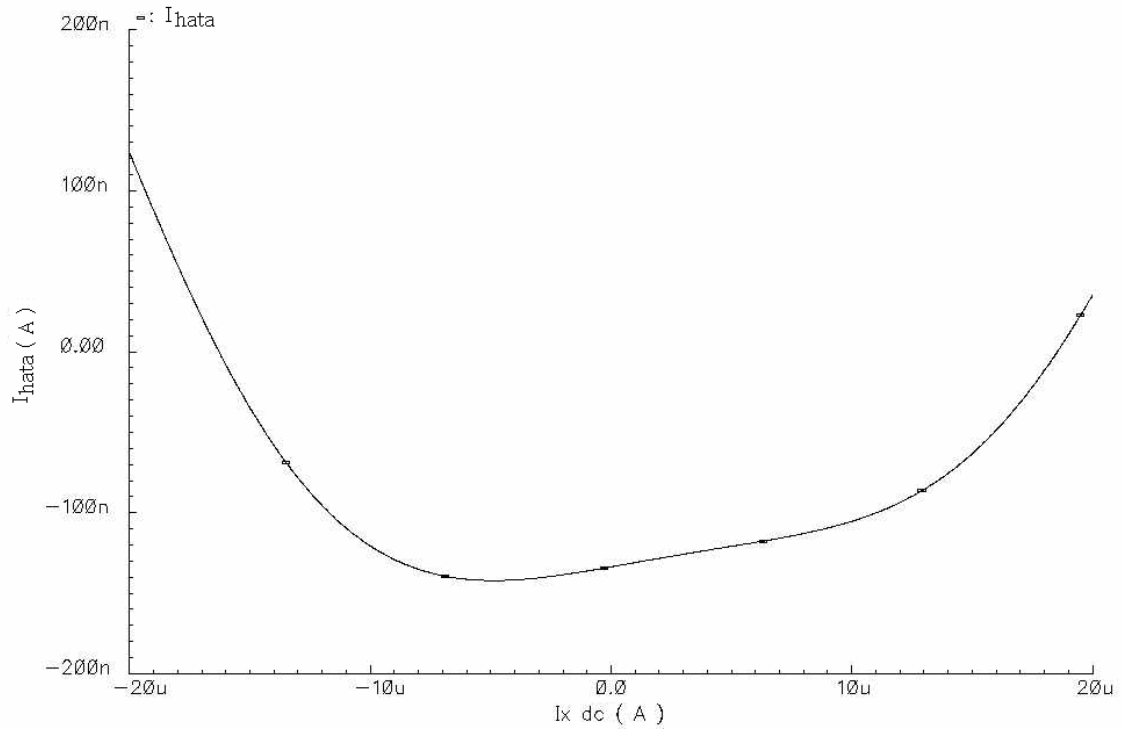
arpma devresinin serim sonras DC analiz sonucu



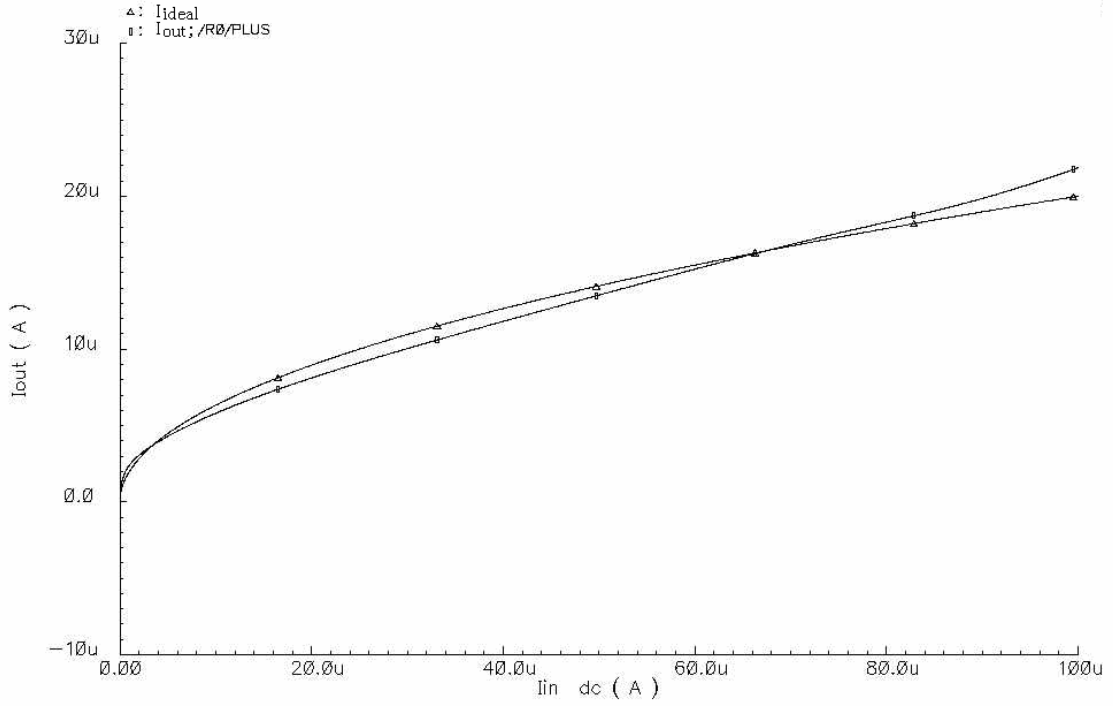
$I_y = 0$ iin arpıcı devresinin serim sonras hata daėılım grafiėi



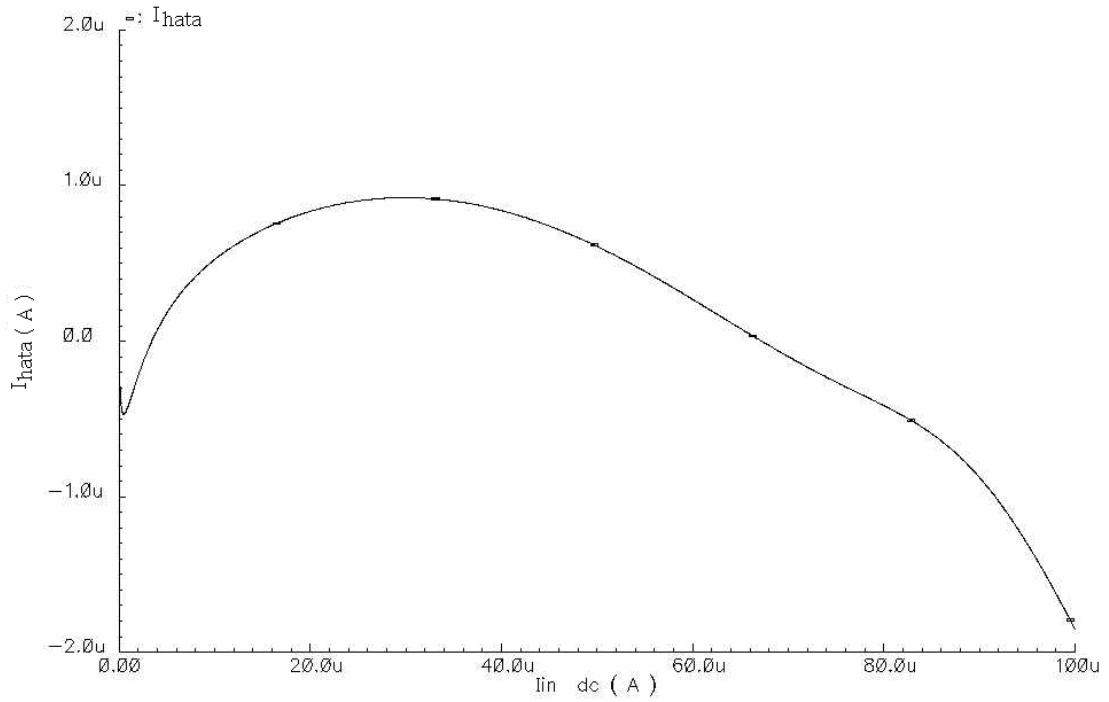
Kare alıcı devrenin serim sonrası DC analiz sonucu



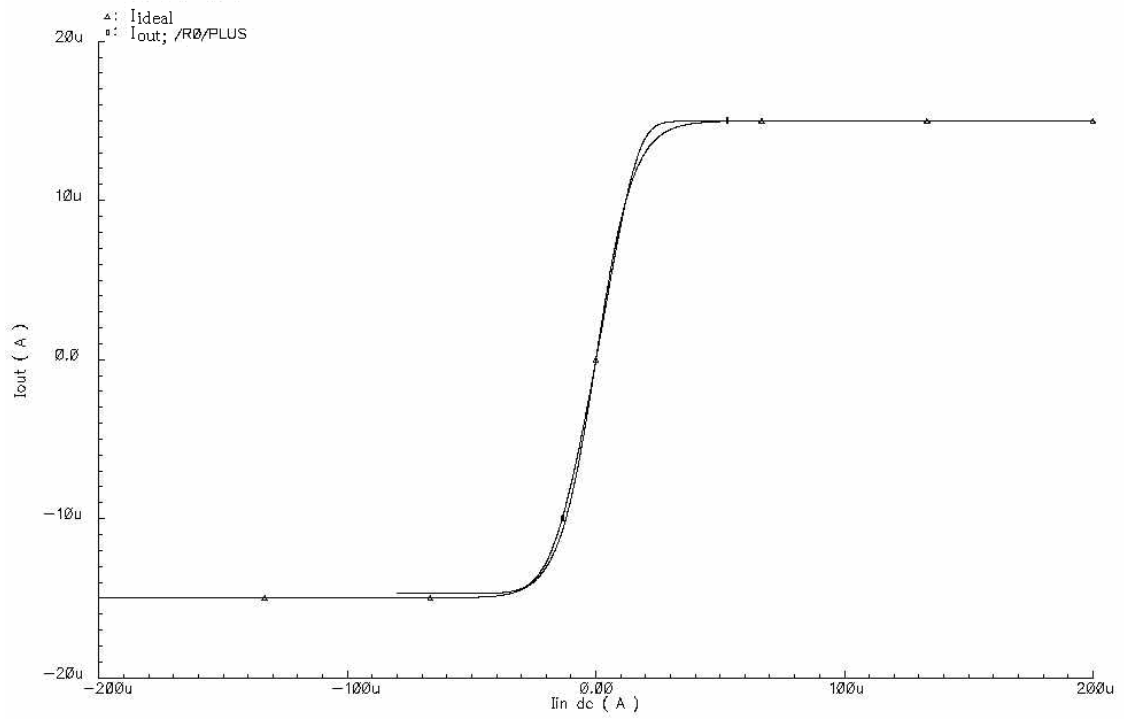
Kare alıcı devresinin serim sonrası hata dağılım grafiği



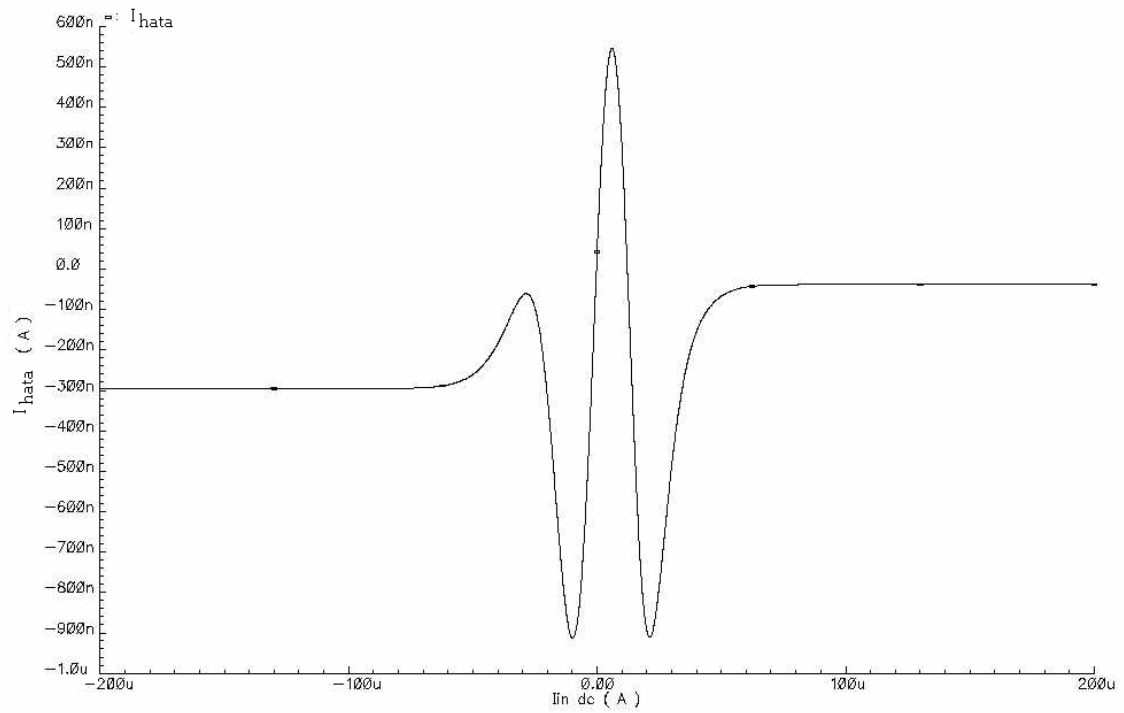
Karekök alıcı devrenin serim sonrası DC analiz sonucu



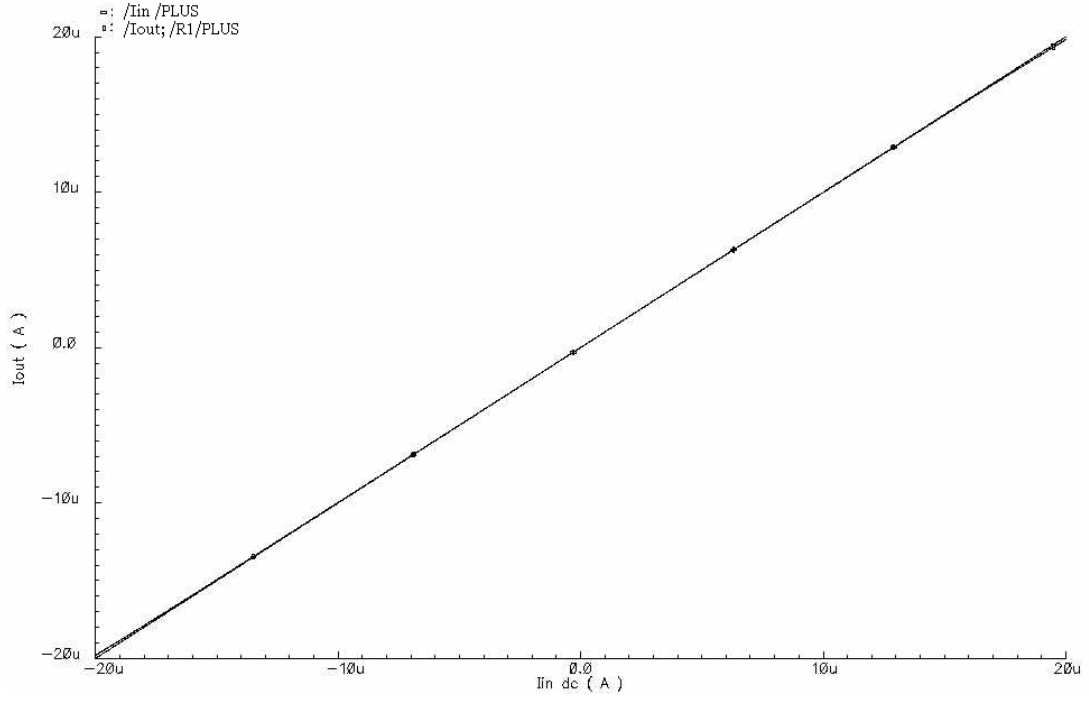
Karekök alıcı devresinin serim sonrası hata dağılım grafiği



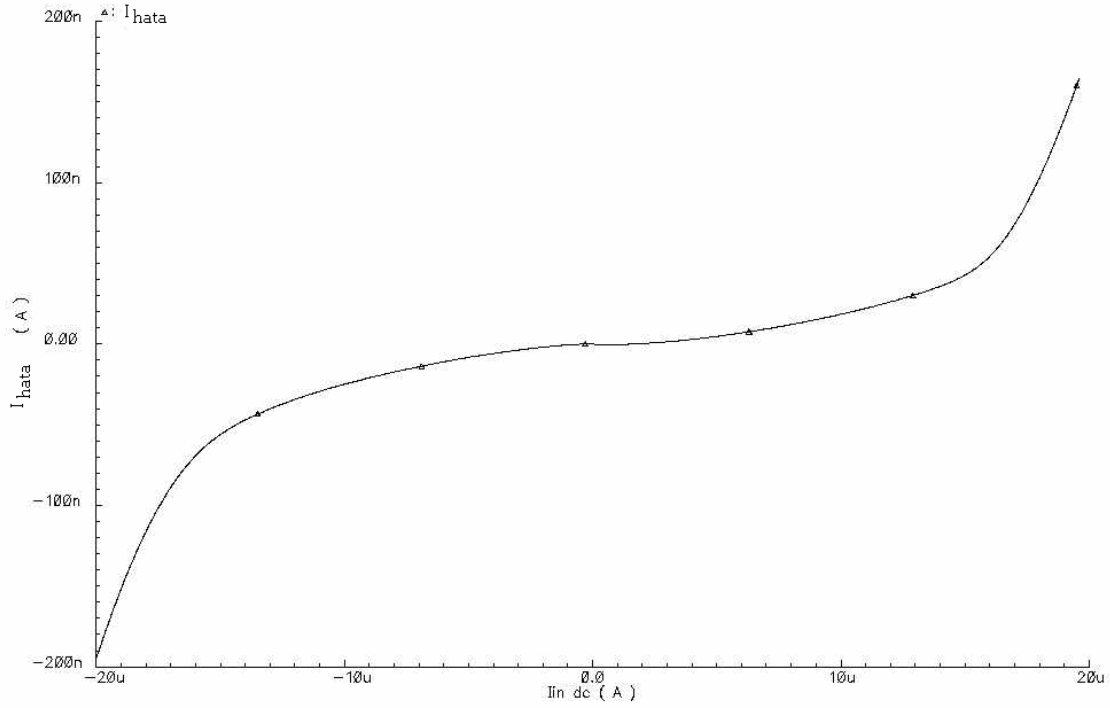
Sigmoid fonksiyon üretici devresinin serim sonrası DC analiz sonucu



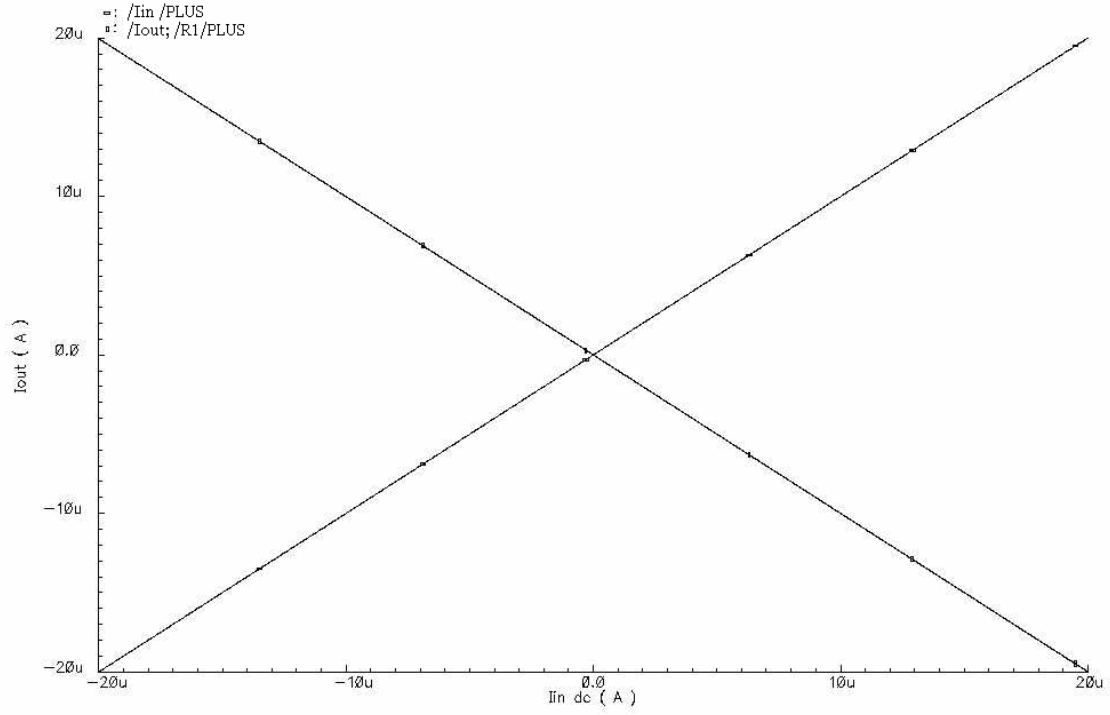
Sigmoid fonksiyon üretici devresinin serim sonrası hata dağılım grafiği



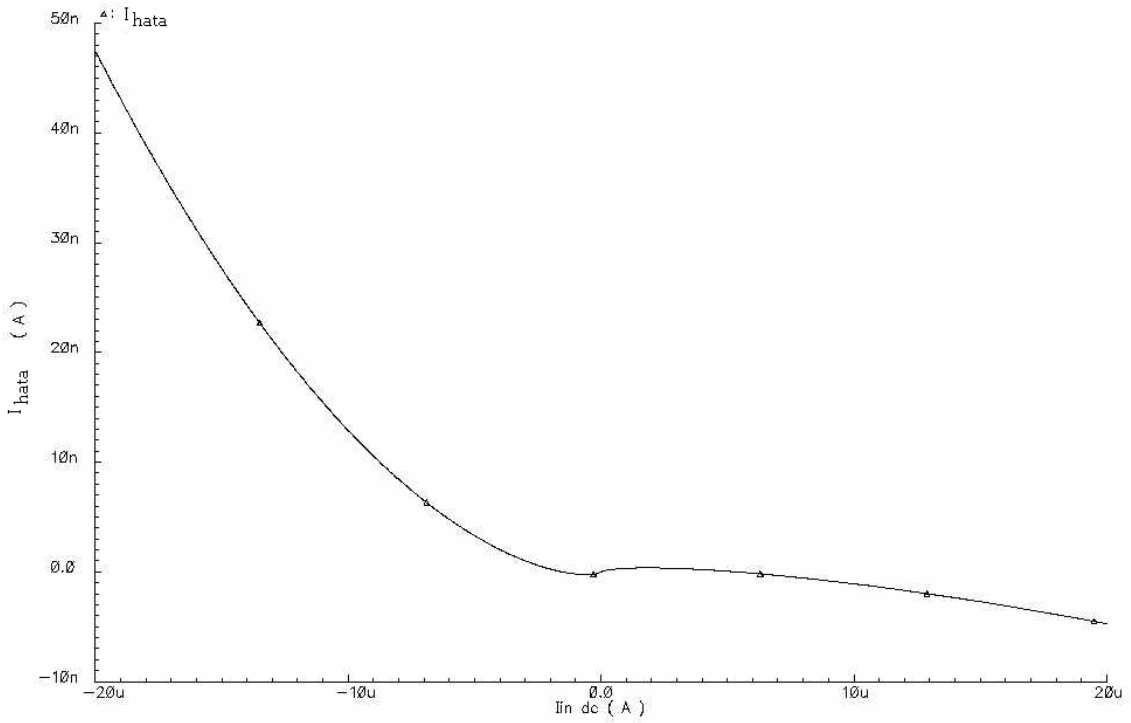
Aynı yönlü akım aynalama devresinin serim sonrası DC analiz sonucu



Aynı yönlü akım aynalama devresinin serim sonrası hata değişim grafiği

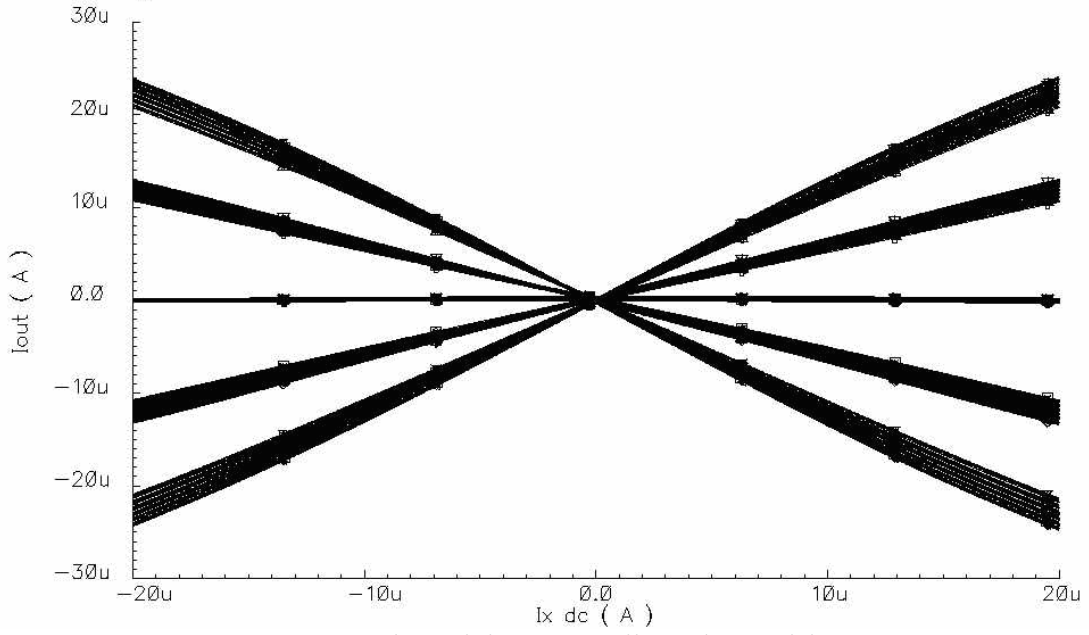


Zıt yönlü akım aynalama devresinin serim sonrası DC analiz sonucu

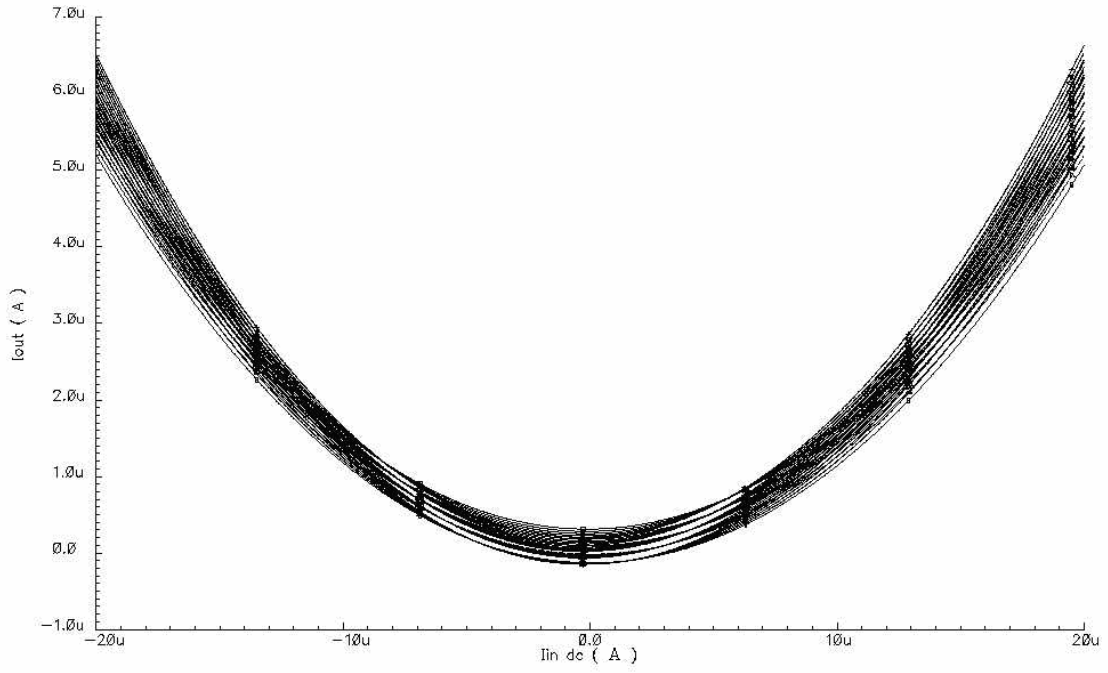


Zıt yönlü akım aynalama devresinin serim sonrası hata değişim grafiği

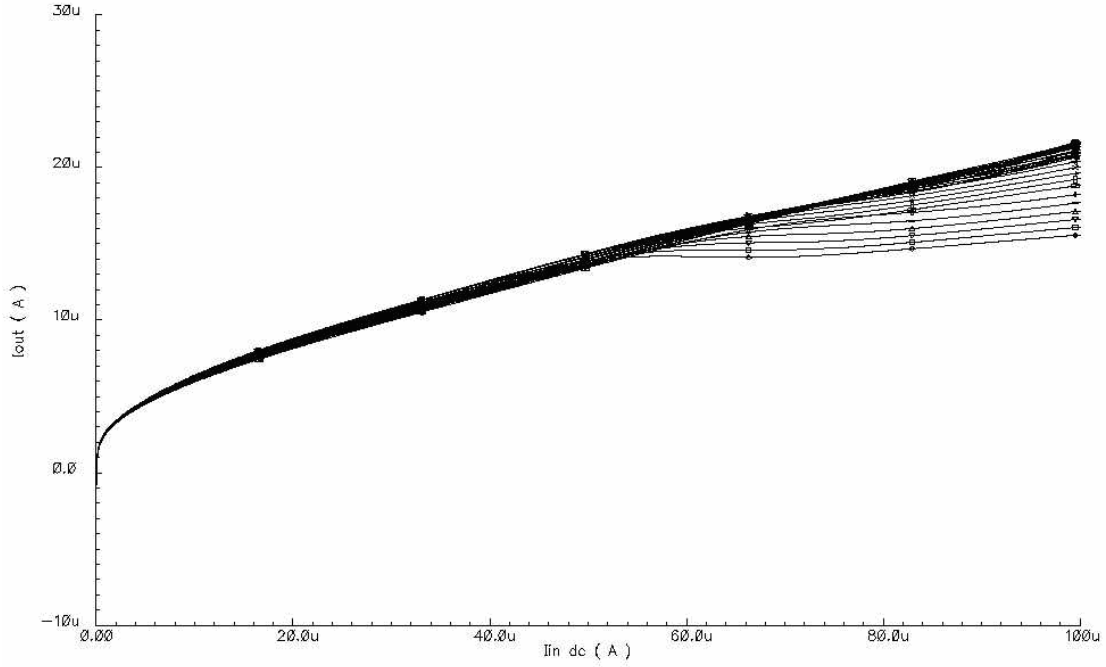
Ek 8 Tümdevrede Yer Alan Analog Devrelerin Parametrik Saçılım Eğrileri



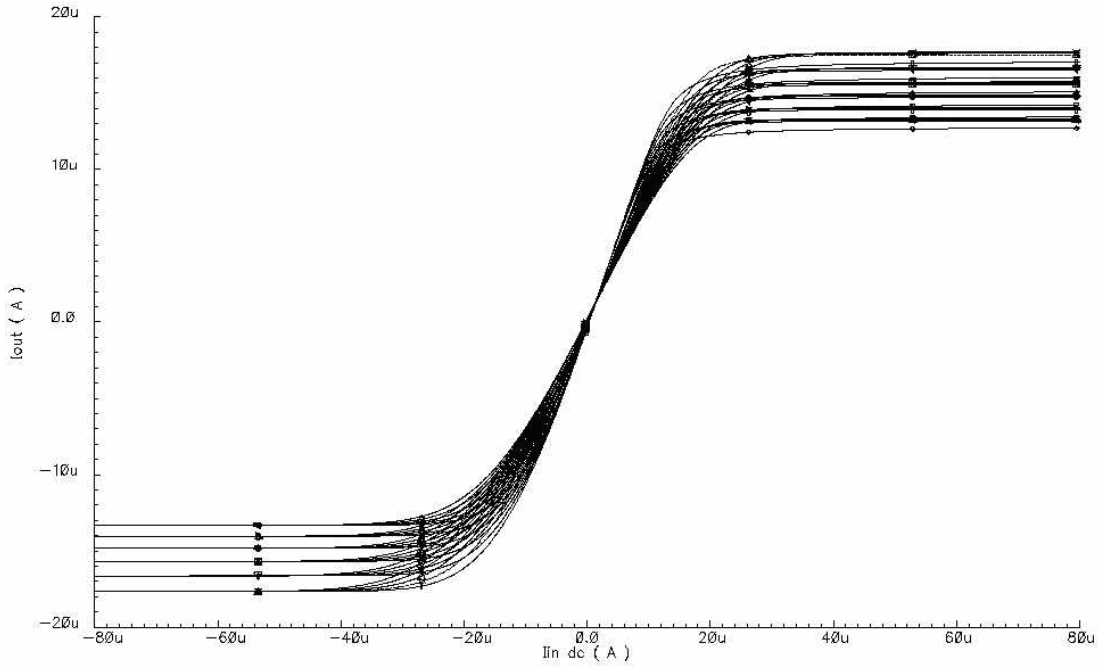
Çarpma devresinin parametrik saçılım eğrisi



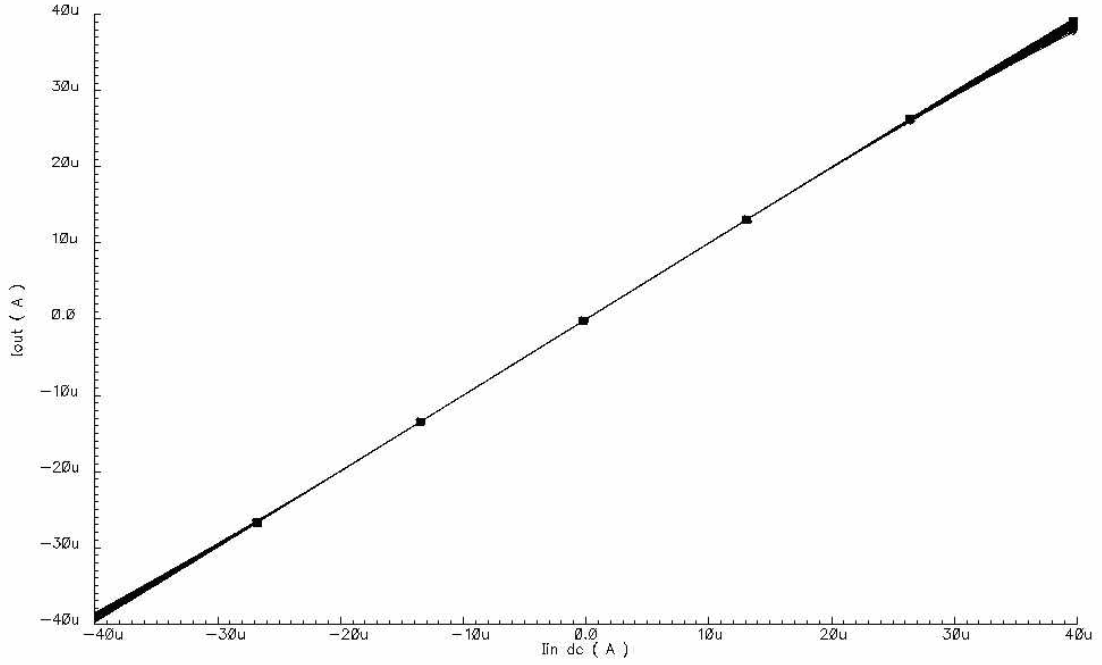
Kare alıcı devrenin parametrik saçılım eğrisi



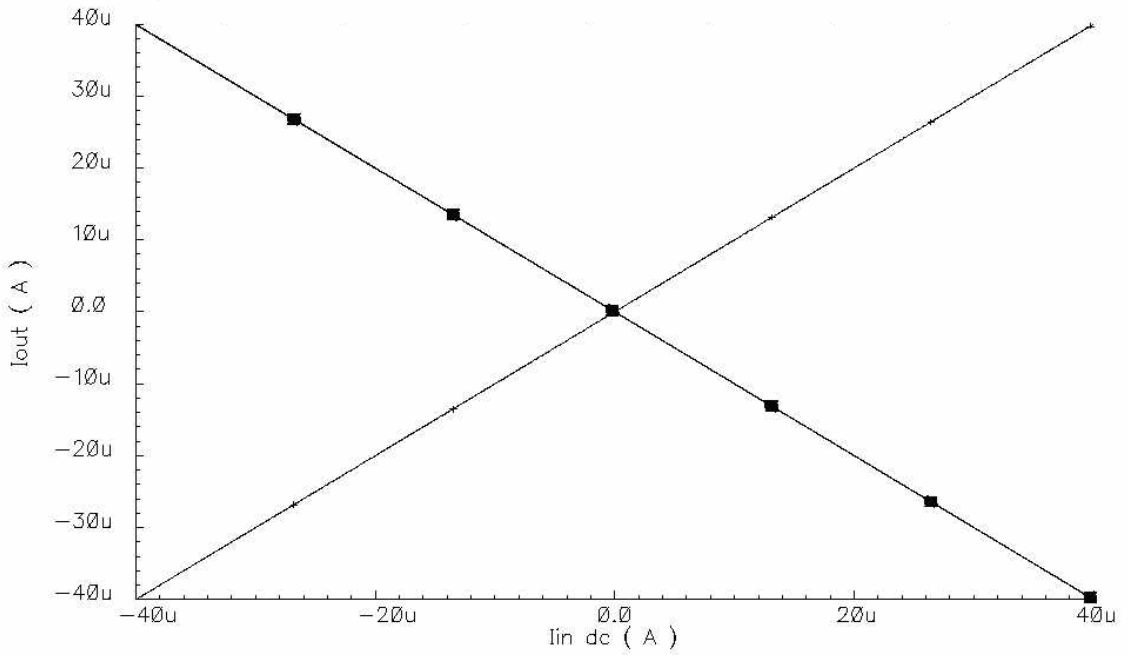
Karekök alıcı devrenin parametrik saçılım eğrisi



Sigmoid fonksiyon üretici devresinin parametrik saçılım eğrisi



Aynı yönlü akım aynalama devresinin parametrik saçılım eğrisi



Zıt yönlü akım aynalama devresinin parametrik saçılım eğrisi

ÖZGEÇMİŞ

Doğum tarihi	19.03.1978	
Doğum yeri	Eskişehir	
Lise	1992-1995	Eskişehir Fatih Fen Lisesi
Lisans	1995-1999	Yıldız Teknik Üniversitesi, Elektrik-Elektronik Fakültesi, Elektronik ve Haberleşme Mühendisliği Bölümü
Yüksek Lisans	1999-2001	Yıldız Teknik Üniversitesi, Fen Bilimleri Enstitüsü, Elektronik ve Haberleşme Müh. Ana Bilim Dalı, Elektronik Programı
Doktora	2002-2007	Yıldız Teknik Üniversitesi, Fen Bilimleri Enstitüsü, Elektronik ve Haberleşme Müh. Ana Bilim Dalı, Elektronik Programı
Çalıştığı kurum	1999-Devam ediyor	Yıldız Teknik Üniversitesi, Elektronik Ana Bilim Dalı Araştırma Görevlisi

Tez Konusu ile İlgili Yapılan Yayınlar

- 1-) Erkmen B., Yıldırım T. "Obtaining Decision Boundaries of CSFNN Neurons using Current Mode Analog Circuitry" The 18th European Conference on Circuit Theory and Design, ECCTD'07, pp. 807-810, Spain, August, 2007
- 2-) Erkmen, B., Yıldırım, T. "CSFNN Synapse and Neuron Design using Current Mode Analog Circuitry" B. Apolloni et al. (Eds.): KES 2007/WIRN 2007, Part I, Lecture Notes in Artificial Intelligence, LNAI 4692, pp. 17 – 25, 2007.
- 3-) Erkmen, B., Yıldırım, T. "VLSI Implementation of General Purposed Conic Section Function Neural Network" 5th International Conference on Electrical and Electronics Engineering (ELECO'2007), Bursa, Turkey, December, 2007 (Konferansında sunulmak üzere kabul edilmiştir)