

**YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**KÜRESEL KONUMLANDIRMA SİSTEMİ İÇİN DÜŞÜK
GÜRÜLTÜLÜ KUVVETLENDİRİCİ GELİŞTİRİLMESİ**

Elektronik ve Haberleşme Yük. Müh. İbrahim Onur Uslu

**FBE Elektronik ve Haberleşme Anabilim Dalı Haberleşme Programında
Hazırlanan**

DOKTORA TEZİ

Tez Savunma Tarihi : 23 Temmuz 2008
Tez Danışmanı : Prof. Dr. Filiz GÜNEŞ (YTÜ)
Jüri Üyeleri : Prof. Dr. Duran LEBLEBİCİ
: Prof. Dr. Herman SEDEF (YTÜ)
: Prof. Dr. Atilla ATAMAN
: Prof. Dr. B. Sıddık YARMAN (İÜ)

İSTANBUL, 2008

İÇİNDEKİLER

	Sayfa
SİMGE LİSTESİ	iv
KISALTMALAR.....	vii
ŞEKİL LİSTESİ.....	viii
ÇİZELGE LİSTESİ	xi
ÖNSÖZ	xii
ÖZET	xiii
ABSTRACT	xiv
1. GİRİŞ	1
1.1 Küresel Konumlandırma Sistemine Genel Bakış	3
1.2 Çalışma Kapsamı	4
2. TEMEL YÜKSEK FREKANS ÖLÇÜTLERİ	6
2.1 Güç	6
2.1.1 Maksimum Güç Transferi	6
2.1.2 Empedans Uydurma.....	7
2.1.3 Güç Kazancı	8
2.2 Doğrusallık.....	10
2.2.1 Doğrusal Olmama ve Zamanla Değişme	10
2.2.2 Harmonikler	11
2.2.3 Kazanç Bastırımı	11
2.2.4 Duyarsızlaştırma ve Engelleme.....	12
2.2.5 Çarpaz Modülasyon.....	13
2.2.6 İntermodülasyon	13
2.3 Gürültü	15
2.3.1 Isıl Gürültü	16
2.3.2 Schottky Gürültüsü	18
2.3.3 Kırpışma Gürültüsü	18
2.3.4 Gürültü Faktörü	19
2.3.5 İki-Kapılı Gürültü Teoremi	19
2.3.6 Kaskad Yapılarda Gürültü Sayısı	22
2.3.7 FET’lerde Gürültü	23
2.3.7.1 Parazitik Gürültüler	23
2.3.7.2 İç Gürültüler	27
2.3.7.2.1 Savak Akımı Gürültüsü.....	28
2.3.7.2.2 Geçit Gürültüsü	28
2.3.7.3 MOSFET Modelleri.....	33

2.4	Kararlılık ve İzolasyon.....	34
3.	DÜŞÜK GÜRÜLTÜLÜ KUVVETLENDİRİCİ TASARIMI.....	35
3.1	Devre Topolojisi Seçimi	36
3.2	Sıcaklığın Gürültü Sayısına Etkisi.....	50
3.3	Doğrusallık için Tranzistör Genişliği Belirlenmesi.....	59
3.4	Optimizasyon Yöntemi	61
3.5	Devre Başarım Ölçütleri	66
4.	DÜŞÜK GÜRÜLTÜLÜ KUVVETLENDİRİCİ DEVRE SERİMİ.....	70
4.1	Endüktanslar.....	70
4.1.1	Tümleşik Endüktör	72
4.1.2	Endüktans Ölçütleri	74
4.1.2.1	Kalite Faktörü.....	75
4.1.2.2	Kalite Faktörünün Bant-genişliği Tanımı	77
4.1.2.3	Kalite Faktörüne Alternatif Yaklaşım.....	77
4.1.3	Tümleşik Endüktörlerde Kayıplar	81
4.1.3.1	Deri Etkisi	81
4.1.3.2	Yakınlaşma Etkisi.....	82
4.1.3.3	Taban Kayıpları	87
4.1.4	Kalite Faktörünü Artırmak İçin Yöntemler.....	90
4.1.5	2.5nH 1.575GHz Endüktör Tasarımı.....	90
4.2	Tranzistör Serimi	93
4.3	Düşük Gürültülü Kuvvetlendirici Devre Serimi	100
5.	SONUÇLAR ve ÖNERİLER.....	103
	KAYNAKLAR.....	105
	EKLER.....	110
EK 1	Küresel Konumlandırma Sistemi Alıcı Devresi Isıl Simülasyonu.....	111
EK 2	2.5nH Endüktör Alt-devresi	114
EK 3	450pH Endüktör Alt-devresi	115
EK 4	dBm-Gerilim Dönüşümü.....	116
	ÖZGEÇMİŞ.....	117

SİMGE LİSTESİ

α_i	i'inci harmonik katsayısı
γ	Savak gürültü katsayısı
δ	Geçit gürültü katsayısı
Δf	Gürültü band genişliği
ε	Isı yayınma kuvveti
θ_{KA}	Dış ortamdan tranzistör kanal bölgesine kadar görülen ısı direnç
κ	Isıl iletkenlik
λ	Dalgaboyu
μ_o	Manyetik geçirgenlik
μ	Koşulsuz kararlılık parametresi
π	Pi sayısı
ρ	Maddenin yoğunluğu
σ	Stefan-Boltzman katsayısı
σ_i	i ortamının iletkenliği
τ	Zamanda öteleme
Ψ	Endüklenen manyetik akı
ω	Açısal frekans
ω_T	Tanzistör kesim frekansı
A	Küçük işaret genliği veya ışıınım yüzeyi
A_{1dB}	1dB bastırım noktasındaki genlik değeri
Al	Alimünyum
B_c	Korelasyon suseptansı
B_{opt}	Optimum kaynak suseptansı
B_s	Kaynak suseptansı
c	Korelasyon sabiti
CAPMOD	Kapasite çözüm yöntemi ile ilgili SPICE parametresi
C_{gs}	Geçit kaynak kapasitesi
C_{jsw}	Savak veya kaynak alanlarının yanal jonksiyon alanlarından kaynaklanan kapasite
C_{ox}	Oksit kapasitesi
C_P	Çevre kapasitesi
C_p	Isı sığası,
C_{sub}	Taban kapasitesi
$\overline{e_n}$	Isıl gürültünün geriliminin beklendik değeri
f	Frekans
F	Gürültü faktörü
F_{min}	Minimum gürültü faktörü
g	Birim zamanda üretilen ısı enerjisi
g_{d0}	Savak kaynak iletkenliği
g_g	Geçitten kanala görülen iletkenlik
g_m	Geçiş iletkenliği
g_{mb}	Taban geçiş iletkenliği
GaAs	Galyum arsenik
G_A	Maksimum güç kazancı
G_c	Korelasyon iletkenliği
G_{opt}	Optimum kaynak iletkenliği
G_s	Kaynak iletkenliği
G_T	Dönüştürücü güç kazancı
h_I	İşınım için ısı iletim katsayısı
H_{mak}	Gerilim transfer fonksiyonu modülünün maksimum değeri

$\overline{i_d^2}$	Kanal akımı gürültü gücünün beklendik değeri
$\overline{i_g^2}$	Geçit akımı gürültü gücünün beklendik değeri
$\overline{i_n}$	Isıl gürültünün akım olarak ifadesinin beklendik değeri
$\overline{i_{n_c}}$	Gürültü akım kaynağının korele olan kısmının beklendik değeri
$\overline{i_{n_u}}$	Gürültü akım kaynağının korele olmayan kısmının beklendik değeri
$\overline{i_{out,d}^2}$	Çıkış akımında, kanaldan kaynaklanan gürültü gücü bileşeninin beklendik değeri
$\overline{i_{out,g}^2}$	Çıkış akımında, geçitten kaynaklanan gürültü gücü bileşeninin beklendik değeri
$\overline{i_{out,rs}^2}$	Çıkış akımında, antenden kaynaklanan gürültü gücü bileşeninin beklendik değeri
$\overline{i_s^2}$	Kaynak gürültü gücünün beklendik değeri
I_m	Akım işaretinin maksimum genliği
I_{D1}	Farksal yapıda birinci koldaki tranzistörün savağından çekilen doğru akım
I_{D2}	Farksal yapıda ikinci koldaki tranzistörün savağından çekilen doğru akım
I_{DC}	Doğru akım değeri
$IP3$	üçüncü dereceden çakışma noktası
J_0	İletken yüzeyindeki akım yoğunluğu
J_s	Kesit akım yoğunluğu
L	Tranzistör kanal boyu
$L1$	Merkez frekansı 1.57542 GHz olan KKS bandı
$L2$	Merkez frekansı 1.2276 GHz olan KKS bandı
L_g	Tranzistörün geçit ucuna bağlı endüktör
L_s	Tranzistörün kaynak ucuna bağlı endüktör
L_{skin}	Deri etkisini modellemek için kullanılan endüktans
M_{ij}	i'inci telin j'inci hatta gösterdiği karşılıklı endüktans
N_{ek}	Devrede eklenen gürültü gücü
$N_{giriş}$	Girişteki gürültü gücü
NF	Gürültü sayısı
$NLEV$	Gürültü modeli seçimi SPICE parametresi
$NSUB$	Taban katkı yoğunluğu SPICE parametresi
P_D	Devrede harcanan toplam güç
P_i	Girişe giren güç
P_L	Yüke aktarılan güç
q	Elektron yükü
Q	Kalite faktörü
Q_M	Deri ve yakınlaşma etkilerinin modellendiği haldeki kalite faktörü
Q_N	Normal modellenen kalite faktörü
Q_P	Endüktör tabanından kaynaklanan kayıplar
Q_S	Endüktörün seri direncinden kaynaklanan kayıplar
$\vec{r}$	Konum vektörü
R_d	Parazitik savak direnci
R_{eq}	Eşdeğer direnç
R_g	Parazitik geçit direnci
R_n	Gürültü direnci
R_P	Taban kayıplarını modelleyen direnç
R_s	Parazitik kaynak direnci
R_{sh}	Tabaka direnci

R_{si}	Silisyum direnci
R_{skin}	Deri etkisini modellemek için kullanılan direnç
R_{sub}	Taban direnci
$S_{giriş}$	Girişteki işaret gücü
Si	Silisyum
s_{ij}	i'inci kapıdan j'inci kapıya S-parametresi
SiGe	Silisyum Germanyum
SNR	İşaret gürültü oranı
t	Zaman
T	Kelvin cinsinden mutlak sıcaklık
T_a	Yüzey sıcaklığı
T_K	Tranzistör kanal bölgesindeki sıcaklık
T_k	Kırmık içindeki sıcaklık
T_o	Dış ortam sıcaklığı
TOX	Geçit oksit kalınlığı SPICE parametresi
T_s	Antendeki sıcaklık
$\overline{v_s^2}$	Anten gerilimi gürültü gücünün beklendik değeri
V_{DS}	Savak kaynak arası doğru gerilim
$V_{Giriş}$	Tranzistör giriş gerilimi
V_{GS}	Tranzistör geçit kaynak gerilimi
V_m	Gerilim işaretinin maksimum genliği
V_{TH}	Tranzistör eşik gerilimi
VT0	Sıfır kutuplu iken tranzistör eşik gerilimini belirten SPICE parametresi
W	Tranzistör geçit genişliği
XQC	Yük korunumu SPICE parametresi
Y_c	Korelasyon admitansı
Y_s	Kaynak admitansı

KISALTMALAR

KKS	Küresel Konumlandırma Sistemi
DSSS	Direct Sequence Spread Spectrum
PRBS	Pseudo Random Bit Sequence
C/A	Coarse and Acquisition
DGK	Düşük Gürültülü Kuvvetlendirici
IP3	Third Order Intermodulation Point
FET	Field Effect Transistor (Alan Etkili Tranzistör)
FKÇ	Faz Kilitlemeli Çevrim
CMOS	Complementary Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
SPICE	Simulation Program for Integrated Circuit Engineer
BSIM	Berkeley Short Channel IGFET Model
BSIM RF	Berkeley Short Channel IGFET Model Radio Frequency Model
EKV	Enz-Krummenacher-Vittoz
RF	Radyo Frekansı
HBT	Hetero Junction Bipolar Transistor
BiCMOS	Bipolar CMOS

ŞEKİL LİSTESİ

Şekil 1.1 KKS L1 bant spektrumu	4
Şekil 2.1 Maksimum güç aktarımı teoremi ispat devresi	6
Şekil 2.2 İki-kapılı s-parametreleri	9
Şekil 2.3 Güç tanımları için s-parametreleri ile modellenmiş iki-kapılı	9
Şekil 2.4 1dB bastırım noktası tanımı	12
Şekil 2.5 Alçak geçiren devredeki harmonik distorsiyon	13
Şekil 2.6 Üçüncü dereceden çıkışma noktası	15
Şekil 2.7 Direncin ısı gürültüsünün hesabı için kullanılan devre	16
Şekil 2.8 Direncin ısı gürültü modelleri	17
Şekil 2.9 Eşdeğer gürültü gerilimi hesabı için kullanılan devre	18
Şekil 2.10 Gürültü kaynakları devre dışına alınmış iki-kapılı	20
Şekil 2.11 Friis formülü çıkarımında kullanılan kaskad bloklar	22
Şekil 2.12 Girişinde süzgeç bulunan DGK	22
Şekil 2.13 MOSFET parazitik gürültüleri	24
Şekil 2.14 Tranzistor serimindeki parazitik dirençler	24
Şekil 2.15 Parazitik geçit dirençli tranzistör modeli (a) ayırık model; (b) dağılmış elamanlı model	25
Şekil 2.16 Geçit direnci tarafından üretilen gürültünün hesabı için model: (a) dağılmış elamanlı model ; (b) eşdeğer model	26
Şekil 2.17 Geçidi her iki taraftan sürülen bir tranzistör serimi	27
Şekil 2.18 Dağılmış elemanlarla modellenen kanal bölgesi	28
Şekil 2.19 MOSFET iç gürültü kaynakları ve küçük işaret devresi	29
Şekil 2.20 (a) Genişliği W , boyu L olan MOSFET (b) Genişliği W olan n tane L/n kanal uzunluğuna sahip tranzistörle modelleme	29
Şekil 2.21 Uzun kanallı tranzistör ($W=72\mu m$ $L=3.6\mu m$ $N=1$) ve dağılmış modellenmiş tranzistörlerin ($W=72\mu m$ $L=0.09\mu m$ $N=40$) doğru akım analizi	30
Şekil 2.22 (a) Basit model (b) Geçitten kanala görülen direnç eklenmiş model (c) Kanal boyu n parçaya bölünmüş dağılmış tranzistörlü model	31
Şekil 2.23 Uzun kanallı tranzistör ($W=72\mu m$ $L=3.6\mu m$ $N=1$) ve dağılmış modellenmiş tranzistörlerin ($W=72\mu m$ $L=0.09\mu m$ $N=40$) küçük işaret analizi	32
Şekil 2.24 Uzun kanallı tranzistör ($W=72\mu m$ $L=3.6\mu m$ $N=1$) ve dağılmış modellenmiş tranzistörlerin ($W=72\mu m$ $L=0.09\mu m$ $N=40$) gürültü analizi	32
Şekil 2.25 (a) BSIM3v3 MOSFET gürültü modeli (b) güncellenmiş model	33
Şekil 3.1 DGK tasarım kara-kutusu	35
Şekil 3.2 Tipik alıcı-verici devresi	36
Şekil 3.3 Direnç ile sonlandırma	39
Şekil 3.4 $1/g_m$ sonlandırma	39
Şekil 3.5 Direnç geri-besleme	40
Şekil 3.6 Endüktif dejenerasyon	40
Şekil 3.7 Endüktans dejenerasyonlu devre gürültü eşdeğer modeli	42
Şekil 3.8 Geçitten kanala görülen eşdeğer giriş empedansı	42
Şekil 3.9 Gürültü sayısının ortak kaynaklı DGK topolojisi için kanal gürültüsü modellenerek ve geçit gürültüsü modele dâhil edilerek, geçiş iletkenliği ile değişimi	45
Şekil 3.10 Kısa kanallı tranzistör için δ ve γ gürültü katsayılarının NF 'e etkisi	45
Şekil 3.11 Gürültü modellerinin karşılaştırılması	46
Şekil 3.12 Geçit endüktansının öz direnci ve geçit elektrodunun direncinin gürültü modeline dahil edilmesi ile oluşan endüktans dejenerasyonlu gürültü modeli	47
Şekil 3.13 Miller Kapasitesi	47
Şekil 3.14 a- C_{gd} kapasitesi ve MOSFET b- Kaskod Kuvvetlendirici c- Katlanmış Kaskod	

Kuvvetlendirici	48
Şekil 3.15 a- Farksal n�t�rleřtirme b- Rezonans geri besleme c- transformat�r geri besleme	49
Şekil 3.16 Akımı tekrar kullanma y�ntemi	49
Şekil 3.17 Farksal devre yapısı	50
Şekil 3.18 Geiř iletkenlięi g_m sıcaklık ile deęiřimi	51
Şekil 3.19 Kesim frekansının sıcaklık ile deęiřimi	52
Şekil 3.20 Paketlenmiř t�mleřik devre kesiti	55
Şekil 3.21 Devredeki ısının yayılım akıřı	56
Şekil 3.22 DGK 3-boyutlu model	57
Şekil 3.23 DGK sonlu-eleman ısıl sim�lasyon sonucu ($T_{dış ortam}=25^{\circ}C$)	57
Şekil 3.24 Artan g� ile kırmık ierisindeki sıcaklık deęiřimi	58
Şekil 3.25 Ayrıntılı DGK sonlu-eleman ısıl sim�lasyon sonucu ($T_{dış ortam}=25^{\circ}C$)	59
Şekil 3.26 Farksal kuvvetlendirici yapısı	60
Şekil 3.27 Transist�r geniřlięi ve kutuplama akımına g�re g�r�lt� sayısını bulmak iin kullanılan optimizasyon algoritması	62
Şekil 3.28 Optimizasyonda kullanılan tekil yapılı DGK devresi	63
Şekil 3.29 Taranan kutuplama akımı ve tranzist�r geniřlięine karřı d�řen g�r�lt� sayısı	64
Şekil 3.30 DGK giriř katı devresi	65
Şekil 3.31 Farksal DGK devresi	65
Şekil 3.32 Gerel ve sanal giriř empedansları	67
Şekil 3.33 S_{11} Karakteristięi	67
Şekil 3.34 DGK'nın kazancı	68
Şekil 3.35 S_{12} Karakteristięi	68
Şekil 3.36 G�r�lt� Sayısı	69
Şekil 3.37 1dB bastırım noktası ve 3. dereceden intermod�lasyon akıřma noktası	69
Şekil 4.1 End�ktans uygulamaları: Empedans uydurma, rezonans devreleri, end�ktif kaynak dejenerasyonu, s�zgeler, farksal devre s�rme, daęılmıř kuvvetlendiriciler ...	70
Şekil 4.2 Geleneksel bir radyo alıcı-vericisi	71
Şekil 4.3 T�mleřik radyo alıcı-verici devresi	72
Şekil 4.4 T�mleřik end�ktans serimi	73
Şekil 4.5 T�mleřik end�ktans modeli	73
Şekil 4.6 (a) simetrik sekizgen end�kt�r (b) normal sekizgen end�kt�r	74
Şekil 4.7 İ direnci modellenmiř end�kt�r	76
Şekil 4.8 Genel end�kt�r modeli	76
Şekil 4.9 3-dB Bant-geniřlięi tanımı	77
Şekil 4.10 (a) End�kt�r seri diren (b) End�kt�r paralel diren	78
Şekil 4.11 Seri ve paralel direnler beraber g�sterilmiř durum	78
Şekil 4.12 Seri Q hesaplanırken oluřturulan devre	79
Şekil 4.13 Paralel Q hesaplanırken oluřturulan devre	79
Şekil 4.14 Kalite Fakt�r�n�n Bileřenleri	80
Şekil 4.15 Farklı y�ntemler ile hesaplanan kalite fakt�rleri	80
Şekil 4.16 T�mleřik end�kt�rde kayıplar	81
Şekil 4.18 Yakınlařma Etkisi ve y�klerin kenarlara bir kuvvetle itilmesi	82
Şekil 4.19 Paralara ayrılmıř iletken kesiti	83
Şekil 4.20 Deęiřen frekanslar iin 32x8 paraya ayrılmıř kesitlerde yakınlařmanın akım daęılımına etkisi	83
Şekil 4.21 Deęiřen frekanslar iin 32x8 paraya ayrılmıř kesitlerde deri ve yakınlařma etkisinin oluřturduęu akım daęılımı	84
Şekil 4.22 Kesiti paralanmıř (32x8) iletkenin deri ve yakınlařma etkileri modellenerek elde edilmiř kalite fakt�r� (Q) eęrileri	84

Şekil 4.23 İki iletken hat üzerinde deri ve yaklaşma etkilerinin (15x5 parçaya ayrılmış) kesitte oluşturduğu akım dağılımı.....	85
Şekil 4.24 Değişik genişlikteki iletkenler için Q daki deri ve yaklaşma etkisi ile oluşan kötüleşme.....	86
Şekil 4.25 Değişik genişliklerde deri ve yaklaşma etkisi nedeniyle Q daki kötüleşme.....	86
Şekil 4.26 (a) Tek kapılı endüktör modeli (b) eşdeğer basit modeli	87
Şekil 4.27 Toprak kalkanının endüktör modeline katılması	88
Şekil 4.28 Örnek taban kalkanı.....	88
Şekil 4.29 Değişen taban dirençleri için $1nH$ endüktör Q eğrileri	89
Şekil 4.30 4 ve 5inci katmanda üst üste endüktörler gerçekleştirilerek oluşturulan yığın endüktörler.....	90
Şekil 4.31 2.5nH Endüktör Serimi.....	92
Şekil 4.32 2.5nH Endüktör 11 elemanlı model ve eleman değerleri	92
Şekil 4.33 2.5nH endüktör kalite faktörü	93
Şekil 4.34 Giriş katı gürültü hesaplamaları için eşdeğer devre	94
Şekil 4.35 Parmaklara ayırma yöntemi uygulanarak geçit direnci azaltılan serimler	94
Şekil 4.36 3-Parmağa ayrılmış tranzistör serimi kaynak ve savak alanları.....	95
Şekil 4.37 Tranzistör eşdeğer giriş RC devresi	95
Şekil 4.38 $W=50\mu m$ $L=90nm$ tranzistörün değişik parmaklara bölünerek gerçekleştirilmesi ve AC frekans davranışı	96
Şekil 4.39 $W=20\mu m$ $L=90nm$ tranzistörün değişik parmaklara bölünerek gerçekleştirilmesi ve AC frekans davranışı	96
Şekil 4.40 (a) Farksal çift (b) M1 ve M2'nin değişik yönelimlerde serimi (c) geçit yönelimli serim (d) paralel geçitli serim	97
Şekil 4.41 İyon ekiminin eğiminden kaynaklanan gölgelenme	97
Şekil 4.42 Gölge etkisi (a) geçit-yönelimli ve (b) paralel geçitli tranzistörler.....	98
Şekil 4.43 Simetri sağlamak için kullanılan boş tranzistörler	98
Şekil 4.44 (a) M2 üstünden geçen metal hat asimetri oluşturur. (b) Aynı hat M1 üzerinde de yapılarak simetri sağlanması.....	99
Şekil 4.45 Farksal yapıda parametre değişiminin etkisi	99
Şekil 4.46 "Common-centroid" serim.....	100
Şekil 4.47 DGK Şeması	101
Şekil 4.48 Geçit her iki taraftan sürülerek 16 parmak $W=3.8\mu m$ $L=90nm$ tranzistör serimi	102
Şekil 4.49 DGK serimi (600umx670um)	102
Şekil Ek1.1 Alıcı devre alt blokları	111
Şekil Ek1.2 Alıcı devresi 3-boyutlu modellemesi	112
Şekil Ek1.3 Alıcı devre ısı simülasyon sonucu	112

ÇİZELGE LİSTESİ

Çizelge 1.1 CMOS DGK Çalışmaları	2
Çizelge 3.1 DGK şartnamesi	35
Çizelge 3.2 Isıl ve elektriksel benzeşim	53
Çizelge 3.3 Isıl transfer modelleri ve ısı direnç formülleri	54
Çizelge 3.4 Elektronik sistemlerin ısı modellemesinde kullanılan bazı maddelerin 27°C de ısı dirençleri	55
Çizelge 4.1 2.5nH Endüktör elektriksel özellikleri	91
Çizelge 4.2 DGK tasarımı eleman değerleri	101
Çizelge 5.1 DGK başarımlı ölçütleri	103
Çizelge Ek1.1 Alıcı devre blokları güç tüketimleri	113
Çizelge Ek4.1 dBm-Gerilim Dönüşümü	116

ÖNSÖZ

Bu tezi yaparken desteklerinden ve olumlu yönlendirmelerinden dolayı başta tez danışmanım Prof. Dr. Filiz Güneş olmak üzere tez izleme jürisi ve tez savunma jürisinde bulunan tüm hocalarıma teşekkür ederim. Tezin başından sonuna desteğini esirgemeyen Prof. Dr. Duran Leblebici'ye tezin son halini almasına yaptığı katkılar ve endüktanslar konusunda vermiş olduğu dersler ve öneriler için teşekkür ederim. Bu çalışma esnasında teknik yardımlarından dolayı Dr. Osman Erşed Akçasu'ya teşekkürlerimi sunarım. Tez sürecinde sıkıntılı zamanlarımda beni anlayışla ve sabırla karşılayan çok sevgili aileme sevgi ve saygılarımı burada bir kez daha belirtmek isterim.

Bugüne gelmemde bana yardımcı olan tüm yakınlarımı, öğretmenlerimi, arkadaşlarımı, üzerimde emeği olan herkesi sevgi ve saygıyla anıyorum.

ÖZET

Dar-bantlı uygulamalarda kullanılabilecek bir CMOS düşük-gürültülü-kuvvetlendirici (DGK) tasarım optimizasyonu geliştirilmiştir ve Küresel Konumlandırma Sistemi (KKS) çalışma frekansı 1.575 GHz’de uygulanmıştır. Endüktans dejenerasyonlu devre topolojisi için ayrıntılı gürültü analizi yapılmıştır. Geçitte endüklenen gürültünün, BSIM3 tranzistör gürültü modellerine katılması gerektiği simülasyonlarla gösterilmiştir. Tranzistörlerin serim aşamasında geçit parmak uzunluğunun kazanç-bandgenişliğini düşürmeyecek değeri simülasyonlar ile bulunmuştur. İstenilen doğrusallık başarımını sağlayacak tranzistör genişliğinin maksimum değeri uzun kanallı tranzistörler için bulunmuştur. Simülasyonlar sonucunda 10 mW güç tüketiminde 0.7 dB gürültü sayısı elde edilmiştir. KKS frekansında devre izolasyonu $s_{12} = -43$ dB, kazanç 25 dB ve $s_{11} = -26$ dB bulunmuştur. Devre -3.25 dB IIP3 değeri vermektedir.

DGK tranzistörlerinin kanal sıcaklığının artması gürültü başarımını düşürmektedir. DGK düşük güçlü bir uygulama olması nedeniyle devreye az ısı yaymaktadır; dolayısıyla devrede sıcaklık artışı az olmakta ve gürültü başarımı etkilenmemektedir.

Endüktans tasarımında deri ve yakınlaşma etkileri yüksek frekanslarda baskın hale gelmektedir. Endüktansların kalite faktörleri klasik yöntemlerle hesaplandığında yüksek frekans bölgesinde yanlış sonuçlar vermektedir. Kalite faktörünün yüksek frekans bölgesinde doğru olarak bulunabilmesi için endüktördeki metal ve taban kayıplarının ayrı ayrı belirlenmesi esasına dayalı uygulaması kolay ve daha hızlı sonuca ulaşılabilir bir yöntem önerilmiştir.

Anahtar Kelimeler: Düşük-gürültülü-kuvvetlendirici (DGK), Küresel Konumlandırma Sistemi (KKS), endüktans dejenerasyonu, geçitten endüklenen gürültü, gürültü sayısı, tranzistör serimi, deri etkisi, yakınlaşma etkisi, tümleşik endüktör.

ABSTRACT

Design optimization of a CMOS low-noise-amplifier (LNA) for narrow-band applications was developed and applied to Global Positioning System (GPS) operating frequency at 1.575 GHz. Detailed noise analysis for inductance degenerated circuit topology is done. Need for adding gate induced noise source to the BSIM3 noise models of transistors is shown by simulations. Finger length of the transistors which will not degrade gain-bandwidth is found by simulations. Maximum transistor width that provides the desired linearity specification is determined for the long channel transistors. Final simulations resulted with 0.7 dB NF for 10 mW power consumption. Circuit isolation $s_{12} = -43$ dB, gain 25 dB and $s_{11} = -26$ dB is found at the GPS frequency. Circuit provides -3.25 dB IIP3 value.

Increase in channel temperature of LNA transistors degrades the noise performance. Since LNA is a low-power application, it emits less heat to the circuit so that increase in temperature is less which does not effect the noise performance.

Skin and proximity effects are dominant at high frequencies when designing integrated inductors. Conventional calculation method of quality factor at high frequencies leads to wrong results. A new easily and rapidly applicable method which is based on extracting the metalization and substrate losses individually is suggested to find quality factor at high frequencies.

Keywords: Low-noise-amplifier (LNA), Global Positioning System (GPS), inductive degeneration, gate induced noise, noise figure (NF), transistor lay-out, skin effect, proximity effect, integrated inductor.

1. GİRİŞ

İlerleyen elektronik teknolojisinin hayata getirdiği kolaylıklara ve konfora insanların her an her yerde sahip olma arzusu uzaktan erişmeye olan ilgiyi arttırmış dolayısıyla telsiz haberleşmenin önem kazanmasına yol açmıştır. Cep telefonları telsiz teknolojisinin hızlı bir şekilde gelişmesini sağlamıştır. Telsiz ürünlere artan ilgi piyasanın genişlemesine neden olmuştur. Piyasadan pay kapma yarışındaki üretici firmalar daha güvenilir, sağlam ve daha ucuz ürünleri üretme yoluna girmiştir. Telsiz teknolojide yer alan ürünlerden bir tanesi de Küresel Konumlandırma Sistemi (KKS)'dir.

Telsiz sistemler birçok bloğun bir araya gelmesi ile oluşan büyük sistemlerdir. Bu sistemlerde en problemli ve telsiz haberleşmenin en önemli kısımlarından birisi de alıcı devreleridir. Güvenilir ve doğru bir işaret aktarımı bir alıcı devrenin ne kadar iyi yapıldığına bağlıdır.

Yüksek frekanslı alıcı devrelerin giriş katlarının gerçekleşmesi için SiGe, BiCMOS, SiGe HBT, GaAs gibi teknolojiler kullanılmaktadır (Shaeffer ve Lee, 1999; Leenaerts vd., 2001). Bu teknolojiler düşük gürültü, yüksek kazanç ve düşük güç tüketimi sağlamaktadırlar (Leenaerts vd., 2001). CMOS üretim teknolojileri önceleri düşük hızları için tercih edilmiyorlardı. Ancak gelişen CMOS teknolojisi, kesim frekanslarının artması ile yüksek frekans alıcı-verici devrelerinin gerçekleştirilebileceği alternatif teknolojilerden birisi olmuştur. CMOS teknolojisinin belirgin avantajları düşük maliyetleri ve ölçeklenebilirliğidir. Günümüzde telsiz sistemlerde kullanılan sayısal işaret işleme devreleri yaygın olarak kullanılan, ucuz ve güvenilir CMOS teknolojisi ile üretilmektedir. CMOS teknolojisinin daha hızlı devrelerin yapılmasına imkan vermesi tasarımcıları tek kırmık içinde bütün telsiz haberleşme sisteminin gerçekleştirilmesine yönelik çalışmalara sevk etmiştir (Shaeffer ve Lee, 1999).

CMOS ile küresel konumlandırma sistemi (KKS) çalışma frekansına yakın frekanslarda üretilen düşük-gürültülü-kuvvetlendirici (DGK) devrelerinin ilk örnekleri 1990'lı yıllarda ortaya çıkmaktadır. Rofouragan vd, (1996) 1GHz'de 1 μ m CMOS teknolojisi ile 3.2dB gürültü sayısı elde etmiştir. DGK'da ortak geçit topolojisi kullanılmıştır. Aynı yıl içerisinde endüktans dejenerasyonlu devre topolojisinin 0.5 μ m CMOS teknolojisinde uygulanması ile 1.9dB gürültü sayısı elde edilmiştir (Karanicolas, 1996). Bu DGK tasarımında giriş tranzistörünün PMOS eşi, evirici yapısını oluşturacak şekilde bağlanması ile aynı akım tüketimi ile daha büyük geçiş-iletkenliği elde edilerek devrenin düşük güç tüketmesi sağlanmıştır. Yeterli izolasyonu sağlamak için devre iki-katlı olarak gerçekleştirilmiştir.

Çizelge 1.1’de literatürde yeralan bazı CMOS DGK çalışmaları verilmiştir.

Çizelge 1.1 CMOS DGK Çalışmaları

Kaynak	Teknoloji & Topoloji	f_0	NF	Güç	Kazanç	IIP3
Rofougaran vd. (1996)	1 μ m CMOS Ortak Geçit	1GHz	3.2dB	27mW	20dB	8dBm
Karanicolas (1996)	0.5 μ m CMOS L-dejenerasyon	900MHz	1.9dB	20mW	15.6dB	-3.2dBm
Shaeffer ve Lee (1997)	0.6 μ m CMOS L-dejenerasyon	1.5GHz	3.5dB	30mW	22dB	-9.3dBm
Shahani vd. (1997)	0.35 μ m CMOS L-dejenerasyon	1.5GHz	3.8dB	12mW	17dB	10dBm
Rudell vd. (1997)	0.6 μ m CMOS L-dejenerasyon	1.9GHz	5dB	39.6mW	-	-7dBm
Yang vd. (2000)	0.35 μ m CMOS L-dejenerasyon	2.4GHz	0.92dB	17mW	33dB	-
Gramegna vd. (2001)	0.35 μ m CMOS L-dejenerasyon	900MHz	1dB	8.6mW	13dB	-1.5dBm
Cassan ve Long (2003)	0.18 μ m CMOS transformatör geribesleme	5.75GHz	0.9dB	16mW	14.2dB	0.9dBm
Cassan ve Long (2003)	0.18 μ m CMOS L-dejenerasyon	5.75GHz	1.8dB	21.6mW	14.1dB	4.2dBm
Belostotski ve Haslett (2007)	90nm CMOS L-dejenerasyon	800-1400MHz	0.2dB (85 Ω)	43mW	17dB	12dBm

İlk KKS frekansında CMOS DGK, Shaeffer ve Lee (1997) tarafından 0.6µm teknolojisi kullanılarak verilmiştir. Gürültü sayısı 3.5dB olarak bulunmuştur. Shaeffer ve Lee (1997) çalışmalarında endüktans dejenerasyonlu devre topolojisini gürültü yönünden ayrıntılı bir şekilde incelemiş, Van Der Ziel (1958) tarafından tanımlanan geçitten endüklenen gürültünün DGK gürültü modellerine etkisinden bahsedilmiştir. KKS frekansında tasarlanan bir diğer DGK 0.35µm CMOS teknolojisi ile gerçekleştirilmiş ve 3.8dB gürültü sayısı elde edilmiştir (Shahani vd., 1997). Daha sonraki çalışmalarda endüktans dejenerasyonlu devre topolojisi darbantlı uygulamalarda empedans uydurmayı devreye ek gürültü katmadan sağlaması açısından tercih edilmeye başlanmıştır (Rudell vd., 1997; Kim vd., 1998; Yang vd., 2000; Tinella vd., 2001).

Cassan ve Long (2003) transformatör geri-besleme tekniği ile giriş tranzistörlerinde görülen Miller etkisini azaltarak devre kazanç-bandgenişliğinin artmasını sağlamışlardır. Bu teknik sayesinde kaskod yapılardan kurtularak besleme gerilimini düşürme ve daha düşük güç tüketimi olanağı sunulmuştur. İlerleyen CMOS teknolojisi ile birlikte, 1dB altında gürültü sayıları veren DGK devreleri rapor edilmiştir (Gramegra vd., 2001). Gürültü sayısını 1dB altına çekebilmek için Belostotski ve Haslett (2007) yaygın olarak kullanılan 50Ω antenler yerine daha düşük karakteristik empedanslı antenler kullanmayı önermiştir.

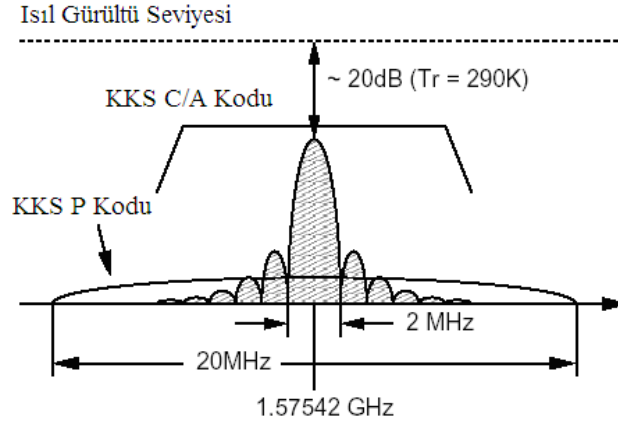
1.1 Küresel Konumlandırma Sistemine Genel Bakış

KKS, yaklaşık 20,200 km yükseklikte dünya yörüngesinde bulunan 24 uydunun konumlarını ve yerel saatlerini sürekli bir şekilde yayınlamaları esasına dayalı yeryüzünde herhangi bir noktanın yerini, yüksekliğini ve zamanını belirlemeye yarayan bir sistemdir. Alıcı devre herhangi 4 uydudan aldığı işaretler ile kabul edilebilir bir hata ile yerini tayin eder (Zogg, 2007).

Amerika Birleşik Devletleri Ordusu tarafından başlatılan KKS projesi 1994 yılında sivil kullanıma açıldı. Böylelikle konumun bilinmesinin önemli olduğu tüm alanlarda KKS'nin imkanlarından yararlanılmaya başlandı. Günümüzde KKS sistemlerinin en büyük tüketicileri otomobil endüstrisi, denizcilik ve nakliyat sektörü, emniyet sistemleri üreten firmalar, emniyet ve sağlık hizmeti veren kurumlar, tarım ve turizm alanlarıdır.

KKS sistemi düz-sıralı dağınık spektrum denilen DSSS tekniği kullanmaktadır. Bu teknikte yayımlanan işaret PRBS denilen sözde rastgele bit dizisi ile çarpılır. Bu kodun hızı işaret hızından daha yüksektir. Her uydu için bu kod farklıdır ve aynı frekansta yayınlanan

işaretlerin birbirinden ayrılmasını sağlamaktadır. PRBS kodları +1 ve -1 değerlerinden oluşmaktadır. Bir PRBS kod kendisi ile çarpıldığında sabit bir değer vermektedir. Eğer farklı iki kod birbiri ile çarpılırsa yine bir PRBS kod elde edilir. Gelen işaretin kaynağı olan uydu PRBS kodu ile ayırt edilebilir (Shaefer ve Lee, 1999).



Şekil 1.1 KKS L1 bant spektrumu

KKS uyduları L1 ve L2 bandı diye adlandırılan iki ayrı banttan yayın yaparlar. L1 ve L2 bantlarının merkez frekansları sırasıyla 1.57542 GHz ve 1.2276 GHz'dır. KKS'de iki farklı DSSS kullanılmıştır. Bunlardan biri hassasiyet kodu P kodu, diğeri kaba veri alma kodu C/A kodudur. C/A kodu sadece L1 bandında yayınlanmaktadır. P kodu askeri kullanım için şifrelenmiştir. Ticari uygulamalar için L1 bandı ve C/A kodu kullanılmaktadır. Şekil 1.1'de P kodu 20MHz, C/A kodu ise 2MHz bantta yayılmıştır. Bu bant-genişliklerindeki fark, kodların üretilirken kullanılan sözde rastgele bit dizilerinin hızından kaynaklanmaktadır. Daha hızlı bir bit dizisi ile oluşturulan P kodunun frekans spektrumu daha yayvandır. KKS sistemi için alınması yeterli olan işaret 20MHz'lik bir bant-genişliğine sahiptir (Shaefer ve Lee, 1999).

Bir KKS sisteminde antendeki işaret gücü -130dBm'dir. Eğer C/A kodunu almak istediğimizi düşünürsek 2MHz bant-genişliği için $T=290K$ sıcaklığındaki bir antende gürültü tabanı $kTB \approx -111dBm$ olarak bulunur. Bu durumda gürültü-işaret oranı $SNR=-19dB$ olarak bulunur (Ko vd., 2005).

1.2 Çalışma Kapsamı

Bu çalışmanın ana amacı KKS sistemi için düşük gürültülü kuvvetlendirici (DGK) geliştirilmesidir. Geliştirme sırasında kullanılan analiz ve yöntemler diğer dar-bantlı

uygulamalara da uygulanabilir. DGK geliştirilmesi CMOS teknolojisi kullanılarak yapılmıştır. Analizlerde uzun kanallı tranzistör akım-gerilim denklemleri kullanılmıştır. Bulunan gürültü analizi sonuçlarını kısa kanallı tranzistörlere uygulamak adına denklemlerdeki katsayıların yerine literatürde kısa kanallı tranzistörler için verilmiş değerler konulmuştur. Simülasyonlarda CMOS 90nm teknolojisi SPICE model parametreleri kullanılmıştır. Sıcaklık analizi ANSYS programı yardımı ile yapılmıştır. Endüktanslar SPIRAL programı ile tasarlanmıştır. Devre simülasyonları HSPICE ile gerçekleştirilmiştir.

İkinci bölümde yüksek frekans devre tasarımında kullanılan temel bilgi ve teknikler hatırlatılmıştır. Güç ile ilgili terimlere değinilmiş, bir devrenin doğrusallığı ve doğrusallığı ölçmek için geliştirilen tanımlar verilmiştir. Gürültü teoremi anlatılmıştır. Alan etkili tranzistörler için ayrıntılı olarak gürültü kaynakları tanımlanmış bu gürültülerin nasıl modellendiği incelenmiştir. Son olarak devre kararlılığı ve izolasyon tanımları verilmiştir.

Üçüncü bölümde DGK tasarım problemi ortaya konulmuştur. Tasarım için uygun topolojiler verilmiştir. Seçilen topoloji için ayrıntılı bir gürültü analizi yapılmıştır. Kırmık sıcaklığının gürültü performansı üzerine etkisi incelenmiştir. DGK tasarımı için bir optimizasyon yöntemi belirlenmiş ve uygulanmıştır. Elde edilen DGK tasarımının başarımlar ölçütleri verilmiştir.

Dördüncü bölümde DGK serimi anlatılmaktadır. DGK tasarımında kullanılan endüktörlerin doğru bir şekilde modellenmesi anlatılmıştır. Endüktör tasarımına değinilmiştir. Deri ve yaklaşma etkilerinin endüktörde modellenmesi ve endüktansa etkisi ayrıntılı bir şekilde incelenmiştir. Gürültü başarımlarını arttırmak için tranzistör seriminde kullanılan teknikler anlatılmıştır. Son olarak tasarlanan DGK'nın serimi verilmiştir.

Bu çalışma sonunda elde edilen DGK'ye ait verilerin özeti ve elde edilen çıkarımlar beşinci bölümde verilmiştir.

Bir alıcı içerisinde yer alan bir DGK'nın ısı simülasyonu EK1'de gösterilmiştir. EK2 ve EK3'de DGK'de kullanılan endüktörlere ait alt-devreler vardır. EK4'de istenilen devre doğrusallık başarımlarını sağlayacak tranzistör genişliğini bulmada kullanılan dBm-gerilim dönüşüm çizelgesi verilmiştir.

2. TEMEL YÜKSEK FREKANS ÖLÇÜTLERİ

Devre tasarımlarında ortaya çıkarılan devrenin istenilen şartlarda çalışıp çalışmayacağını belirlemek üzere bazı ölçütler geliştirilmiştir. Bu ölçütlerin tanımı ve yüksek frekans devre tasarımında kullanılan bazı temel teknikler bu bölümde bahsedilmiştir.

2.1 Güç

Bir direnç üzerinde harcanan anlık güç (2.1) ile verilir. Sinüsoidal dalga şeklinde gerilim ve akım işaretlerinin maksimum genlik değerleri V_m ve I_m olmak üzere ortalama harcanan güç ise (2.2) ile verilir. Burada θ gerilim ve akım arasındaki açıdır. Gerilim ve akım rms değerleri $V_{rms} = V_m / \sqrt{2}$ ve $I_{rms} = I_m / \sqrt{2}$ olarak ortalama harcanan güç (2.3) olarak yazılabilir.

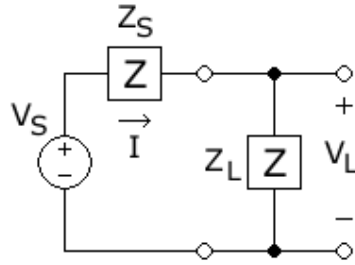
$$P(t) = v(t) \cdot i(t) \quad (2.1)$$

$$P_{ort} = \frac{1}{2} V_m I_m \cos \Theta \quad (2.2)$$

$$P_{ort} = V_{rms} I_{rms} \cos \Theta \quad (2.3)$$

2.1.1 Maksimum Güç Transferi

Sonlu bir iç empedansı olan bir kaynaktan, yüke maksimum gücü transfer etmek için yük empedansının kaynak empedansının kompleks eşleniği olmalıdır.



Şekil 2.1 Maksimum güç aktarımı teoremi ispat devresi

Şekil 2.1'deki gibi bir kaynağımız olduğunu varsayalım. Yüke aktarılan P_L gücünün maksimum olması için Z_L empedansının değerini bulmak üzere devreden akan akımın genliği (2.4) ile yazılabilir ve P_L (2.5) gibi bulunur (Ludwig ve Bretchko, 2000). Burada R_S ve X_S sırasıyla Z_S 'nin gerçel ve sanal kısımları, R_L ve X_L yine sırasıyla Z_L 'nin gerçel ve sanal kısımlarıdır.

$$|I| = \frac{|V_s|}{|Z_s + Z_L|} \quad (2.4)$$

$$P_L = I_{rms}^2 R_L = \frac{1}{2} |I|^2 R_L = \frac{1}{2} \left(\frac{|V_s|}{|Z_s + Z_L|} \right)^2 R_L = \frac{1}{2} \frac{|V_s|^2 R_L}{(R_s + R_L)^2 + (X_s + X_L)^2} \quad (2.5)$$

Yüke aktarılan gücün maksimum olduğu nokta (2.6)'daki türevler alınarak (2.7) ve (2.8) denklemleri sıfıra eşitlenerek bulunur (Ludwig, ve Bretchko, 2000).

$$\frac{\partial P_L}{\partial R_L} = 0, \quad \frac{\partial P_L}{\partial X_L} = 0 \quad (2.6)$$

$$X_L (X_s + X_L) = 0 \quad (2.7)$$

$$R_s^2 - R_L^2 + (X_s^2 + 2X_s X_L + X_L^2) = 0 \quad (2.8)$$

Yük empedansının sanal kısmı (2.7)'den $-X_s$, gerçel kısım (2.8)'de X_L yerine X_s konularak R_s olarak bulunur. Sonuç olarak yük empedansı maksimum güç transferi için (2.9) gibi giriş empedansının kompleks eşleniği olması gerektiği bulunur.

$$Z_L = Z_s^* \quad (2.9)$$

Şekil 2.1'deki devrenin dirençlerden oluştuğu düşünülürse, yüksek yük direnci devredeki toplam gücün düşmesine neden olacaktır. Devredeki toplam gücün düşmesi nedeni ile yüke aktarılan güç düşmüş olacaktır. Yük direnci küçük seçilirse devredeki güç tüketimi artacak fakat yükün küçük dirençli olmasından dolayı yüke aktarılan güç yine düşmüş olacaktır.

2.1.2 Empedans Uydurma

Yüksek frekans devrelerinde kullanılan empedans uydurma tekniği esas olarak maksimum güç transferine dayanır. Belirli bir kaynaktan yüke güç aktarılırken, yük empedansından gönderilen gücün bir kısmının geri yansımaması için yük empedansı kaynağın kompleks eşleniği seçilir. Böylelikle empedans uydurma bir diğer deyişle maksimum güç transferi sağlanmış olur.

Bir iletim hattı boyunca ilerleyen bir dalga, hat üzerindeki bir empedans değişme bölgesine geldiğinde dalga gücünün bir kısmı bu sınır bölgesinden geri yansır. İletim hattı üzerindeki bir nokta için V^+ gelen dalga genliği, V^- yansıyan dalga genliği olmak üzere (2.10) gibi yansıma katsayıları tanımlanmıştır (Ludwig ve Bretchko, 2000).

$$\Gamma_0 = \frac{V^-}{V^+} \quad (2.10)$$

Bir iletim hattı üzerinde gelen ve yansıyan güç duran bir dalga oluşturur. En genelde +z yönünde ilerleyen bir dalga (2.11) denklemi ile verilir. Gelen dalga ilk terime, yansıyan dalga ikinci terime karşılık düşer. Yayılma sabiti $k=\alpha+j\beta$ ile tanımlanan bir kompleks sayıdır. Zayıflama katsayısı α , dalga sayısı β ile gösterilir. Dalga sayısı $(2\pi/\lambda)$ radyan/dalga-boyu cinsinden ifade edilir (Ludwig ve Bretchko, 2000).

$$V(z) = V^+ e^{-kz} + V^- e^{kz} = V^+ (e^{-kz} + \Gamma_0 e^{kz}) \quad (2.11)$$

Yayılma sabiti α ve β cinsinden yazılmak üzere fazör boyutundan zaman boyutuna geçilerek (2.11) denklemi (2.12) denklemi ile ifade edilebilir (Ludwig ve Bretchko, 2000).

$$V(z,t) = V^+ e^{-\alpha z} \left[(1 + \Gamma_0 e^{2\alpha z}) \cos \beta z \cos \omega t + (1 - \Gamma_0 e^{2\alpha z}) \sin \beta z \sin \omega t \right] \quad (2.12)$$

Kayıpsız bir iletim hattı için $\alpha=0$ 'dır. Böyle bir iletim hattının ucu açık devre bırakılırsa ($\Gamma_0=1$) ve bu nokta $z=0$ kabul edilirse (2.12) denkleminde (2.13) yazılabilir ve bu denklem bir duran dalga tanımlar (Ludwig ve Bretchko, 2000). İletim hattı boyunca $z = \lambda/4, 3\lambda/4, 5\lambda/4, \dots$ noktaları için gerilim 0, $z = 0, \lambda/2, \lambda, 3\lambda/2, \dots$ noktaları için maksimum genlikten minimum genliğe bir salınım vardır.

$$V(z) = 2V^+ \cos \beta z \cos \omega t \quad (2.13)$$

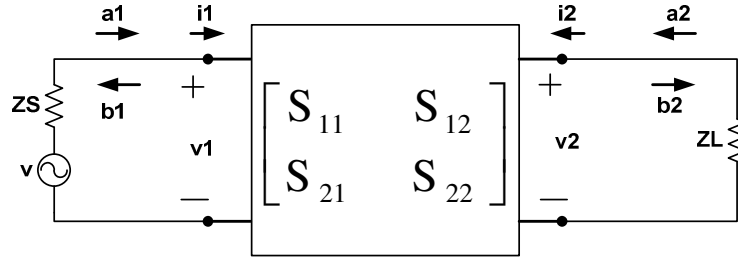
İletim hattında oluşan duran dalgalar hat boyunca güç yankılarına sebep olur ve işaretin algılanmasını zorlaştırır. Geri yansıyan güç tekrardan antene ulaşarak havaya yayınlanabilir. Ayrıca vericilerin girişinde oluşacak yüksek duran dalga gerilimleri vericinin tranzistörlerinin belvermesine ve yanmasına neden olabilir.

2.1.3 Güç Kazancı

İki-kapılılar için değişik güç kazancı tanımlamaları yapılmıştır. İki-kapılar küçük işaretler için doğrusal kabul edilebilirler ve giriş çıkış kapıları arasında ilişkiler empedans, admittans, hibrit, ABCD ve dağılmış elaman parametreleri ile gösterilebilir (Ludwig ve Bretchko, 2000). Yüksek frekanslarda iki-kapılı giriş çıkışlarında kısa devre ve açık devre koşullarının sağlanamaması sebebiyle s-parametreleri kullanılır.

S-parametreleri giriş ve çıkış kapılarındaki gelen ve yansıyan dalgaların güçlerine dayanarak çıkarılır. Şekil 2.2'de iki-kapılı gelen ve yansıyan dalgalar a ve b ile gösterilmiştir. Bu

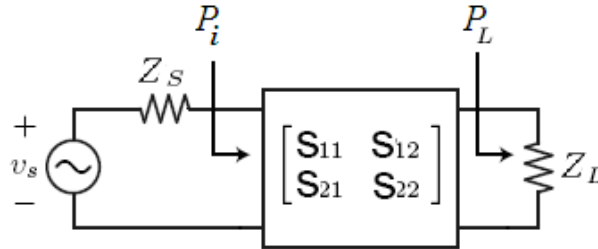
durumda s-parametreleri (2.14) ile verilir (Ludwig ve Bretchko, 2000). S-parametreleri giriş çıkış kapıları kısa veya açık devre yapmak yerine empedans uydurularak yansıyan dalgalar 0 yapılmaya çalışılarak çıkartılır. Çıkış kapısının empedansı uydurulması halinde çıkıştan yansıyan $a_2=0$ olur. Bu durumda $s_{11}=b_1/a_1$ olarak bulunur. Diğer parametreler de bu yöntemle bulunur (Ludwig ve Bretchko, 2000).



Şekil 2.2 İki-kapılı s-parametreleri

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} s_{11} & s_{12} \\ s_{21} & s_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (2.14)$$

Şekil 2.3'deki iki-kapılıda girişe giren güç P_i , yüke aktarılan güç P_L ile gösterilmiştir. Maksimum güç kazancı, yüke aktarılabilecek maksimum gücün, kaynağın maksimum aktarabileceği güce oranı olarak tanımlanır. Bu durumun sağlanabilmesi için iki-kapılı girişinde kaynağın kompleks eşleniği ve çıkışında da yükün kompleks eşleniği ile sonlandırılması gerekmektedir. Maksimum güç kazancı G_A , (2.15) ile ifade edilir (Ludwig ve Bretchko, 2000).



Şekil 2.3 Güç tanımları için s-parametreleri ile modellenmiş iki-kapılı

$$G_A = \frac{P_{L,maks}}{P_{i,maks}} \quad (2.15)$$

Yüke aktarılan gücün kaynaktan alınabilecek maksimum güce oranı ise dönüştürücü güç kazancı (2.16)'da verilmiştir. Ortalama güç kazancı ise yüke aktarılan gücün girişteki güce oranı olarak (2.17)'deki gibi ifade edilir (Ludwig ve Bretchko, 2000).

$$G_T = \frac{P_L}{P_{i,maks}} \quad (2.16)$$

$$G_P = \frac{P_L}{P_i} \quad (2.17)$$

2.2 Doğrusallık

Gürültü faktörü, giriş empedans uyumu, kazanç ve güç tüketimine ek olarak bir başka önemli devre başarımlı ölçütü de doğrusallıktır. DGK güçlü işaretler alındığında, alıcı devresinin doğru ve güvenilir işaret aktarımını sağlayabilmesi için mümkün olduğunca doğrusal çalışmalıdır. Ortamda bozucu güçlü bir işaret varken bile istenilen zayıf işaret doğrusallığı bozulmadan sonraki katlara aktarılmalıdır. Bloklama ve çarpaz modülasyon gibi diğer bazı bozucu etkilere karşı da devrenin doğrusallığını koruması gerekmektedir. Bloklama güçlü bir işaretin istenilen işareti bastırması ve algılanmasını engellemesi olayına denir. Çarpaz modülasyon ise bir işarettaki modülasyonun doğrusal olmayan etkiler sebebiyle diğer işaretin taşıyıcısına geçmesi ile oluşur (Razavi, 1998).

Birçok doğrusallık ölçütü arasında en çok kullanılanları üçüncü dereceden çıkışma noktası (IP3) ve 1dB bastırım noktasıdır (Razavi, 1998).

2.2.1 Doğrusal Olmama ve Zamanla Değişme

Çıkışı her bir girişinin doğrusal kombinasyonu şeklinde ifade edilebilen sistemlere doğrusal denilir. Matematiksel olarak (2.18) ve (2.19)'deki eşitlikler ile ifade edilir. Bunlara uymayan sistemler ise doğrusal olmayan sistemler olarak adlandırılırlar (Razavi, 1998).

$$x_1(t) \rightarrow y_1(t), x_2(t) \rightarrow y_2(t) \quad (2.18)$$

$$a \cdot x_1(t) + b \cdot x_2(t) \rightarrow a \cdot y_1(t) + b \cdot y_2(t) \quad (2.19)$$

Bir sistemin girişlerindeki zamanda öteleme, çıkışına aynı şekilde yansiyorsa bu sistem zamanla değişmeyen sistemdir (Razavi, 1998).

$$x(t) \rightarrow y(t) \quad (2.20)$$

$$x(t - \tau) \rightarrow y(t - \tau) \quad (2.21)$$

Bir sistem (2.20) ile tanımlanan sistem bütün τ değerleri için (2.21)'ü sağlıyorsa zamanla değişmeyen aksi halde zamanla değişen sistem olarak adlandırılırlar (Razavi, 1998).

Hafızasız bir sistemde çıkış, girişlerinin geçmişteki değerlerine bağlı değildirler. Böyle bir sistem (2.22) ile tanımlanabilir. Eğer sistem zamanla değişmeyen ise α sadece zamana bağlıdır (Razavi, 1998).

$$y(t) = \alpha \cdot x(t) \quad (2.22)$$

Hafızasız ve doğrusal olmayan bir sistem için, giriş çıkış ilişkisi (2.23)'teki polinom ile ifade edilir. Bu polinom basitlik açısından 3'üncü dereceye kadar verilmiştir (Razavi, 1998).

$$y(t) = \sum_{k=1}^n \alpha_k x^k(t) \approx \alpha_1 \cdot x(t) + \alpha_2 \cdot x^2(t) + \alpha_3 \cdot x^3(t) + \dots \quad (2.23)$$

2.2.2 Harmonikler

Doğrusal olmayan bir sisteme uygulanan bir sinüs işaret, sistem çıkışında genel olarak giriş frekansının tamsayı katlarında frekans bileşenleri içerirler. Girişteki frekans temel frekans, tamsayı katları ise harmonikler olarak adlandırılırlar (Razavi, 1998). Sistemin girişindeki işaretin $x(t) = A \cdot \cos(\omega \cdot t)$ olduğu düşünülürse (2.23)'dan (2.24) elde edilir.

$$y(t) = \alpha_1 \cdot A \cdot \cos(\omega \cdot t) + \alpha_2 \cdot A^2 \cdot \cos^2(\omega \cdot t) + \alpha_3 \cdot A^3 \cdot \cos^3(\omega \cdot t) \quad (2.24)$$

$$y(t) = \alpha_1 A \cos(\omega \cdot t) + \frac{\alpha_2 A^2}{2} (1 + \cos(2\omega \cdot t)) + \frac{\alpha_3 A^3}{4} (3 \cos(\omega \cdot t) + \cos(3\omega \cdot t)) \quad (2.25)$$

$$y(t) = \frac{\alpha_2 A^2}{2} + \left(\alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \cos(\omega \cdot t) + \frac{\alpha_2 A^2}{2} \cos(2\omega \cdot t) + \frac{\alpha_3 A^3}{4} \cos(3\omega \cdot t) \quad (2.26)$$

2.2.3 Kazanç Bastırımı

Küçük işaret uygulanmış devrenin çıkışına bakılacak olursa, (2.26)'dan görülebileceği gibi $\alpha_1 A$ çarpanı diğer A içeren tüm çarpanlardan daha büyük ise α_1 küçük işaret kazancına eşittir.

Giriş işaretini genliği büyüdükçe kazanç değişmeye başlar. Bunun sebebi $\frac{3\alpha_3 A^3}{4}$ teriminin

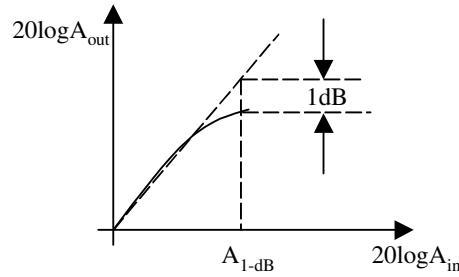
büyükölük olarak $\alpha_1 A$ terimi ile karşılaştırılabilir hale gelmesidir. Çıkışta (2.26)'dan görüleceği gibi $\alpha_3 < 0$ olursa, artan giriş genlik değerlerinde kazanç sifira doğru gider. Yüksek

frekans devrelerinde, bu etki 1dB bastırım noktası ile ölçülür. Kazancın 1dB düşmesine neden olan giriş işaretinin seviyesi olarak tanımlanır (Razavi, 1998).

Şekil 2.4 giriş ve çıkış seviyeleri arasındaki ilişkiyi logaritmik ölçekte göstermektedir. 1dB bastırım noktasını hesaplamak için (2.26)'dan (2.27) elde edilebilir. Bu durumda 1dB bastırımın olduğu genlik (2.28)'deki gibi bulunur (Razavi, 1998).

$$20 \log \left| \alpha_1 + \frac{3}{4} \alpha_3 A_{1-dB}^2 \right| = 20 \log \alpha_1 - 1dB \quad (2.27)$$

$$A_{1-dB} = \sqrt{0.145 \cdot \left| \frac{\alpha_1}{\alpha_3} \right|} \quad (2.28)$$



Şekil 2.4 1dB bastırım noktası tanımı

2.2.4 Duyarsızlaştırma ve Engelleme

Bastırım karakteristikli devreler kuvvetlendirecekleri zayıf işareti güçlü bir işaret ile birlikte aldıkları zaman duyarsızlaşma veya engelleme olarak anılan bit etki gösterirler. Giriş işareti (2.23) denkleminde yerine $x(t) = A_1 \cos \omega_1 t + A_2 \cos \omega_2 t$ şeklinde yazılırsa, çıkıştaki temel frekanstaki bileşen (2.29) ile verilir (Razavi, 1998).

$$y(t) = \left(\alpha_1 A_1 + \frac{3}{4} \alpha_3 A_1^3 + \frac{3}{2} \alpha_3 A_1 A_2^2 \right) \cos \omega_1 t + \dots \quad (2.29)$$

Büyük bozucu işaret ve kuvvetlendirilmek istenilen küçük işaret durumu $A_1 \ll A_2$, (2.29)'den (2.30)'de verildiği şekilde bulunur.

$$y(t) = \left(\alpha_1 + \frac{3}{2} \alpha_3 A_2^2 \right) A_1 \cos \omega_1 t + \dots \quad (2.30)$$

Bastırım karakteristikli devrelerde yani $\alpha_3 < 0$ için (2.30) denkleminde görüleceği gibi küçük işaret kazancı A_2 'nin azalan bir fonksiyonudur. Bu bozucu işaret devrenin duyarsızlaşmasına

neden olur ve işaret alınmasını engeller. Bu durum yanınızda kısık sesle konuşan birisini etraftaki yüksek ses yüzünden duyamamak gibi düşünülebilir.

2.2.5 Çarpraz Modülasyon

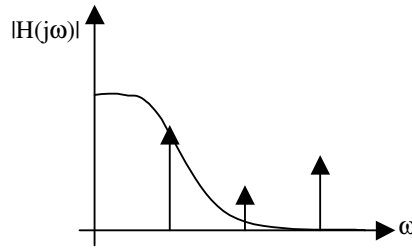
Zayıf ve güçlü işaretlerin doğrusal olmayan bir sistemden geçerken meydana getirdikleri diğer bir etki ise güçlü işaretin genliğindeki modülasyonun zayıf işaretin genliğine geçmesidir. Eğer bozucu işaret, modülasyon indeksi $m < 1$ olmak üzere $A_2(1 + m \cos \omega_m t) \cos \omega_2 t$ şeklinde bir işaret ile modüle ise (2.30)'den (2.31) elde edilir (Razavi, 1998).

$$y(t) = \left[\alpha_1 A_1 + \frac{3}{2} \alpha_3 A_1 A_2^2 \left(1 + \frac{m^2}{2} + 2m \cos \omega_m t + \frac{m^2}{2} \cos 2\omega_m t \right) \right] \cos \omega_1 t + \dots \quad (2.31)$$

Çıkışta istenilen işaret ω_m ve $2\omega_m$ frekanslı işaretler ile modüle olmuş haldedir.

2.2.6 İntermodülasyon

Bazı durumlarda distorsiyon doğrusal olmayan davranışı tanımlamakta yetersiz kalmaktadır. Örneğin Şekil 2.5'de alçak geçiren bir devre için, giriş işareti öyle seçilebilir ki harmonikleri geçirme bandı dışında kalabilir. Bu durumda süzgeç aşırı bir doğrusal olmayan bir davranış gösterirken çıkıştaki harmonikler çok küçük olarak ölçülmektedir (Razavi, 1998).



Şekil 2.5 Alçak geçiren devredeki harmonik distorsiyon

İntermodülasyonu daha iyi anlayabilmek için (2.23) yı $x(t) = A_1 \cos \omega_1 t + A_2 \cos \omega_2 t$ giriş işareti ile yazarsak (2.32)'i elde edebiliriz.

$$y(t) = \alpha_1 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t) + \alpha_2 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^2 + \alpha_3 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^3 \quad (2.32)$$

Sağ tarafı açarak dc terimi ve harmoniklerini atarak elde edilen intermodülasyon ve temel

bileşenler (2.33)'dan (2.37)'a gösterilmiştir.

$$\omega = \omega_1 : \left(\alpha_1 A_1 + \frac{3}{4} \alpha_3 A_1^3 + \frac{3}{2} \alpha_3 A_1 A_2^2 \right) \cos \omega_1 t \quad (2.33)$$

$$\omega = \omega_2 : \left(\alpha_1 A_2 + \frac{3}{4} \alpha_3 A_2^3 + \frac{3}{2} \alpha_3 A_2 A_1^2 \right) \cos \omega_2 t \quad (2.34)$$

$$\omega = \omega_1 \pm \omega_2 : \alpha_2 A_1 A_2 \cos(\omega_1 + \omega_2)t + \alpha_2 A_1 A_2 \cos(\omega_1 - \omega_2)t \quad (2.35)$$

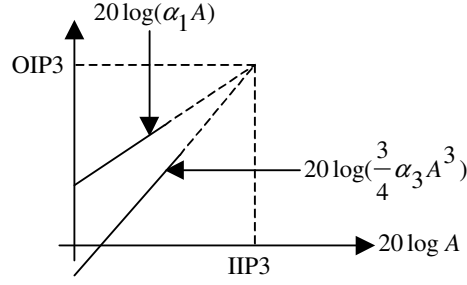
$$= 2\omega_1 \pm \omega_2 : \frac{3\alpha_3 A_1^2 A_2}{4} \cos(2\omega_1 + \omega_2)t + \frac{3\alpha_3 A_1^2 A_2}{4} \cos(2\omega_1 - \omega_2)t \quad (2.36)$$

$$= 2\omega_2 \pm \omega_1 : \frac{3\alpha_3 A_2^2 A_1}{4} \cos(2\omega_2 + \omega_1)t + \frac{3\alpha_3 A_2^2 A_1}{4} \cos(2\omega_2 - \omega_1)t \quad (2.37)$$

Buradaki önemli nokta eğer ω_1 ve ω_2 arasındaki fark küçük ise $2\omega_1 - \omega_2$ ve $2\omega_2 - \omega_1$ frekanslarındaki bileşenler ω_1 ve ω_2 frekanslarının çok yakınlarında bulunur. Böylelikle alçak geçiren gibi devrelerin doğrusal olmayan davranışlarını daha doğru analiz etmemizi sağlayabilirler. Yüksek frekans devrelerine eş genlikli ve birbirine yakın frekanslı iki işaret uygulanarak üçüncü dereceden ürünlerinin temel frekans bileşeninin genliğine oranına bakılarak üçüncü dereceden intermodülasyon distorsiyon analizi yapılır. Bu analize iki tonlu test denilir (Razavi, 1998). Eğer yeterince küçük genlikli işaretler uygulanırsa, yüksek dereceli doğrusal olmayan terimler ihmal edilebilir ve kazanç da buna bağlı olarak sabit ve küçük kalır. (2.33), (2.34) ve (2.36)'daki eşitliklerden çıkıştaki temel frekans bileşeni A ya doğru orantılı artarken üçüncü dereceden intermodülasyon ürünleri A^3 ile doğru orantılı artmaktadır. Şekil 2.6'den görüleceği gibi logaritmik olarak üçüncü dereceden intermodülasyon ürünleri temel frekans bileşenine göre 3 kat daha hızlı bir şekilde artmaktadır. Bu iki doğrunun kesiştiği nokta üçüncü dereceden çakışma noktası olarak tanımlanmıştır. Bu noktanın giriş genliği ekseninde denk geldiği nokta IIP3, çıkış eksenindeki nokta OIP3 olarak belirtilir.

Giriş işaretinin $x(t) = A \cos \omega_1 t + A \cos \omega_2 t$ olduğunu düşünerek (2.23) için giriş çıkış davranışını (2.38) gibi çıkartabiliriz.

$$y(t) = \left(\alpha_1 + \frac{9}{4} \alpha_3 A^2 \right) A \cos \omega_1 t + \left(\alpha_1 + \frac{9}{4} \alpha_3 A^2 \right) A \cos \omega_2 t + \frac{3}{4} \alpha_3 A^3 \cos(2\omega_1 - \omega_2)t + \frac{3}{4} \alpha_3 A^3 \cos(2\omega_2 - \omega_1)t + \dots \quad (2.38)$$



Şekil 2.6 Üçüncü dereceden çakışma noktası

Eğer $\alpha_1 \gg 9\alpha_3 A^2 / 4$ ise üçüncü dereceden çakışma noktasında (2.39)'yi yazabiliriz.

$$|\alpha_1| A_{IP3} = \frac{3}{4} |\alpha_3| A_{IP3}^3 \quad (2.39)$$

Bu durumda IP3 (2.40)'deki gibi bulunabilir. Çıkış IP3 ise $\alpha_1 A_{IP3}$ olarak bulunur.

Aslında giriş seviyesi arttıkça $\alpha_1 \gg 9\alpha_3 A^2 / 4$ kabulümüz artık geçerli olmamaktadır ve kazanç düşmeye ve daha yüksek dereceden intermodülasyon ürünlerinin etkisi artmaya başlamaktadır. Birçok devre için IP3 giriş aralığının ötesinde kalmaktadır. Bu yüzden IP3 noktası, küçük genlikli işaretler için yapılan ölçümlerin logaritmik ekseninde doğrusal ekstrapolasyonu ile bulunmaktadır.

Devrenin 1dB bastırım noktası ile IP3 noktası arasındaki ilişki (2.28) ve (2.39)'den (2.40)'deki gibi bulunabilir.

$$\frac{A_{-1dB}}{A_{IP3}} = \frac{\sqrt{0.145}}{\sqrt{4/3}} \approx -9.6dB \quad (2.40)$$

2.3 Gürültü

Gürültü, sistemden beklenen cevap ile birlikte gözlenen, gerek sistemin içinden gerekse dışından gelen etkiler sonucu oluşmuş istenmeyen işaretlerdir.

Gürültü, işareti rastgele bir işaret olup, belirli bir zamanda aldığı genlik değeri belirsizdir. Ancak gürültü işareti istatistiksel değerler ile belirlenebilir. Frekans spektrumuna bakılarak veya fiziksel kaynaklandığı sebeplere göre sınıflandırılır. Elektronik sistemlerde gürültü temel üç sınıfta incelenir. Bunlar ısı gürültü (beyaz gürültü), kırpışma gürültüsü (alçak frekans gürültüsü) ve Schottky gürültüsüdür (Lee, 1998).

Gürültü, bir devrenin işleyebileceği veya algılayabileceği en küçük işaret seviyesini belirler (Razavi, 1998).

2.3.1 Isıl Gürültü

Isıl gürültü, beyaz ışık gibi tüm frekans spektrumunda bileşeni olmasından dolayı beyaz gürültü olarak adlandırılır. Isıl gürültü, bir iletkenin üzerindeki yüklü parçacıkların ısıl etki ile rastgele titreşimlerinden kaynaklanır (Lee, 1998).

$$P_{NA} = kT\Delta f \quad (2.41)$$

P_{NA} bir yüke aktarılabilir maksimum güç (2.41)'deki gibi tanımlanır. Burada $k=2.38 \times 10^{-23}$ (J/K), T mutlak sıcaklık (K), Δf gürültü bant-genişliğidir. 17°C veya 290K oda sıcaklığında, 1Hz gürültü bant-genişliğinde $P_{NA} = 4 \times 10^{-21}$ W bulunur. Gürültü gücü 1mW referans alınarak dBm cinsinden yazılacak olursa (2.42) elde edilir (Lee, 1998).

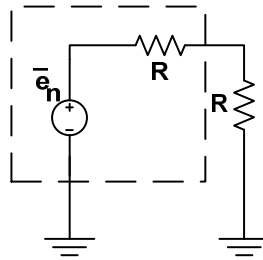
$$P_{dBm} = 10 \log\left(\frac{4 \cdot 10^{-21}}{10^{-3}}\right) = -174 \text{ dBm} \quad (2.42)$$

Bu gürültü gücü gürültü tabanı olarak tanımlanır. Bir başka deyişle oda sıcaklığındaki minimum erişilebilir gürültü seviyesidir. Pratik olarak bu seviyenin altındaki bir işaret algılanamaz.

Direncin, devreye yaydığı maksimum güç Şekil 2.7'deki gibi bir devre ile bulunabilir. Direncin yaydığı ısı gürültü $\bar{e}_n$ gibi bir gerilim kaynağı ile modellenir. Maksimum güç aktarımı teoreminden faydalanarak (2.43) eşitliği yazılırsa, (2.44) elde edilir (Lee, 1998).

$$P_{NA} = kT\Delta f = \frac{\bar{e}_n^2}{4R} \quad (2.43)$$

$$\bar{e}_n^2 = 4kTR\Delta f \quad (2.44)$$



Şekil 2.7 Direncin ısı gürültüsünün hesabı için kullanılan devre

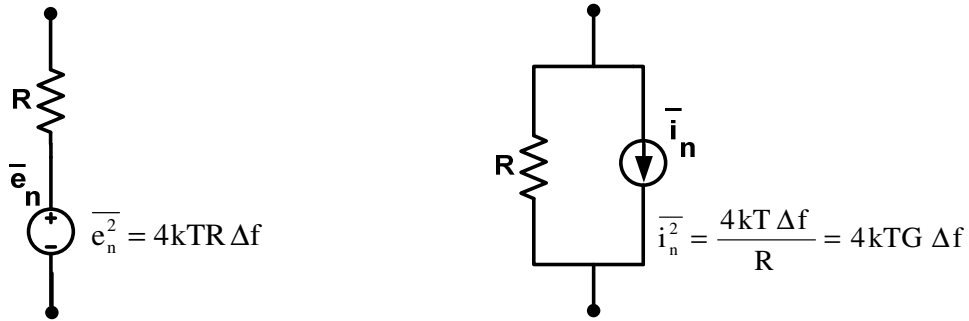
Bir direnç elemanı devreye bulunduğu sıcaklık, gürültü bant-genişliği ve kendi değeri ile orantılı bir güç yayar. Bu güç $\overline{e_n^2}$ beklenen değerinin karesi ile gösterilir.

Burada Δf gürültü bant-genişliği, bilinen 3dB bant-genişliği tanımından farklıdır ve (2.45)'de verilmiştir (Lee, 1998).

$$\Delta f \equiv \frac{1}{|H_{mak}|^2} \int_0^\infty |H(f)|^2 df \quad (2.45)$$

H_{mak} , süzgeç karakteristiğindeki gerilim transfer fonksiyonun maksimum değeridir ve -3dB bant-genişliği ise maksimum gücün yarıya düştüğü frekans esas alınarak bulunur. Tek kutuplu alçak geçiren süzgeç için gürültü bant-genişliği -3dB bant-genişliğinin 1.57 katıdır (Lee, 1998).

Gürültü gücü seri gerilim kaynağı ile modellenebileceği gibi Norton teoremi uyarınca dirence paralel bağlı akım kaynağı ile de modellenebilir.



Şekil 2.8 Direncin ısı gürültü modelleri

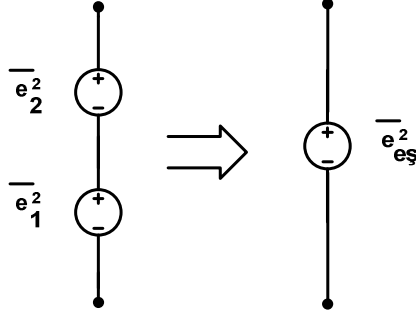
Bir elektronik sistemin analizi yapılırken devredeki gürültü kaynakları Şekil 2.8'deki gibi gürültüsüz dirençler ve bu dirençlerin gürültü güçlerine tekabül eden gürültü gerilimi veya akımı ile modellenir. Devredeki gürültü gerilimleri $\overline{e_1}$ ve $\overline{e_2}$ Şekil 2.9'da gösterildiği üzere (2.46) eşitliğindeki gibi toplanarak eşdeğer gürültü bulunabilir (Lee, 1998).

$$(\overline{e_1 + e_2})^2 = \overline{e_1^2} + \overline{e_2^2} + 2c\overline{e_1 e_2} \quad (2.46)$$

Burada c korelasyon katsayısıdır ve -1 ile 1 arasında değer alabilir. İki gürültü kaynağı arasında $c=0$ ise bu iki gürültü kaynağı bağımsızdır ve aralarında korelasyon yoktur denir.

Elektronik devrelerde ayrı dirençlerin gürültüleri arasında korelasyon yoktur. Bu durumda

dirençlerin gürültü güçleri direk olarak toplanabilir. Başka bir deyişle birbiri ile korelasyonu olmayan dirençlerden oluşan bir devrenin eşdeğer gürültü gücü, eşdeğer direnç hesaplanarak bulunabilir.



Şekil 2.9 Eşdeğer gürültü gerilimi hesabı için kullanılan devre

2.3.2 Schottky Gürültüsü

Elektronların parçacık davranışı sonucu ortaya çıkan bir gürültüdür. Yüklü parçacıkların gerilim bariyerinden tane tane ve rastgele çıkmaları sonucu oluşmaktadır. İletkenlerde gerilim bariyeri olmadığından tanımlı değildir. Yarı-iletken yapılar ve tüpler için tanımlıdır. Örneğin ileri kutuplu bir p-n diyotu için (2.47) gibi tanımlanır (Lee, 1998).

$$\overline{i_n^2} = 2qI_{DC}\Delta f \quad (2.47)$$

$\overline{i_n^2}$, gürültü akımının beklenen değeri, q elektron yükü (1.6×10^{-19}), I_{DC} akım (A), Δf gürültü bant-genişliğidir.

2.3.3 Kırpışma Gürültüsü

İletkenlerin yüzey gerilimlerindeki değişimlerden kaynaklandığı sanılmaktadır. Yarı-iletkenlerde ise kafes yapısındaki düzensizlikler yüzünden taşıyıcı yüklerin rastgele yakalanıp bırakılmasından kaynaklandığı düşünülmektedir. Alçak frekanslarda etkisi daha yüksek olduğu için kırmızı ya da pembe gürültü olarak da adlandırılmaktadır. Gürültü gücü (2.48)'deki gibi verilir (Lee, 1998).

$$\overline{N^2} = \frac{K}{f^n} \Delta f \quad (2.48)$$

K devre elemanına bağlı ampirik bir katsayıdır, n genelde 1'e yakın bir sayıdır. Frekans f , gürültü bant-genişliği Δf ile gösterilmiştir. Yüksek frekanslara çıkıldıkça etkisi azalır.

2.3.4 Gürültü Faktörü

Radyo alıcı-vericilerinde gelen zayıf işareti, en az seviyede gürültü gücünü katarak kuvvetlendirmek, işaretin diğer bloklar tarafından algılanması bakımından önemlidir. İşaretin gücünün gürültü gücüne göre ne kadar kuvvetli olduğunu anlamak için işaret-gürültü oranı (SNR) (2.49) tanımlanmıştır (Lee, 1998).

$$SNR = \frac{\text{işaret gücü}}{\text{toplam gürültü gücü}} \quad (2.49)$$

Özellikle yüksek frekanslı uygulamalarda, kuvvetlendirici çıkışında işaretin ne kadar gürültü katılarak kuvvetlendirildiğine ait bir ölçüt gerekmektedir. Bu ölçüt gürültü faktörü olarak (2.50) gibi tanımlanır (Lee, 1998).

$$F \equiv \frac{SNR_{giriş}}{SNR_{çıkış}} \quad (2.50)$$

$SNR_{giriş}$ devre girişindeki işaret-gürültü oranı, $SNR_{çıkış}$ ise devre çıkışındaki işaret-gürültü oranıdır. Devrenin kazancı G olarak tanımlanırsa, $S_{giriş}$ girişteki işaret gücü, $N_{giriş}$ girişteki gürültü gücü ve N_{ek} devrede eklenen gürültü gücü olmak üzere (2.51) bulunur (Lee, 1998).

$$F \equiv \frac{S_{giriş}}{N_{giriş}} \cdot \frac{GN_{giriş} + N_{ek}}{GS_{giriş}} = 1 + \frac{N_{ek}}{GN_{giriş}} \quad (2.51)$$

Bir başka şekilde (2.51) eşitliği (2.52)'deki gibi ifade edilebilir (Lee, 1998).

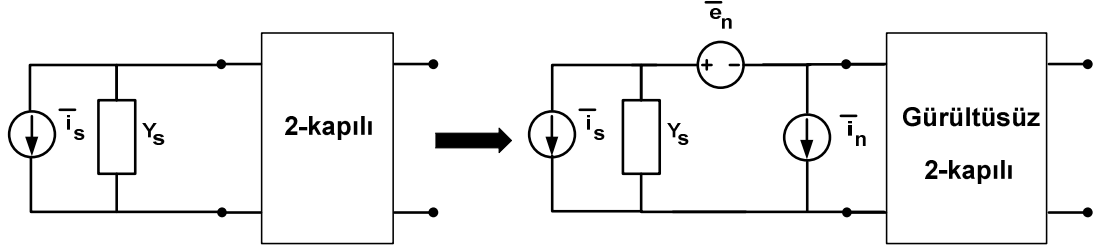
$$F \equiv \frac{\text{çıkış toplam gürültü gücü}}{\text{çıkıştaki girişten gelen gürültü gücü}} \quad (2.52)$$

2.3.5 İki-Kapılı Gürültü Teoremi

Şekil 2.10'daki iki-kapılı devre, içindeki gürültü kaynakları devre dışına çıkartılarak, gürültüsüz bir iki-kapılı olarak modellenabilir. Bu şekilde bir modelleme iki-kapılının gürültü faktörünün kolayca belirlenmesini sağlar. Devredeki gürültü kaynakları devrenin girişine, çıkışına veya bir kısmı girişine bir kısmı da çıkışına çıkartılarak modellenabilir. Yaygın kullanımı ve modellemede kolaylık olması açısından Şekil 2.10'da gürültü kaynakları devre girişine alınmıştır (Lee, 1998).

Gürültü kaynağı $\overline{e_n}$ iki-kapılının girişi kısa devre edildiğinde görülen eşdeğer gürültü bileşenini, $\overline{i_n}$ ise uçlar açık devre iken görülen eşdeğer gürültü bileşenini ifade eder. Bu

gürültü bileşenleri birbirleri ile koreledir. Bu şekilde modellemeye giriş eşdeğer gürültü modeli denir. Bu durumda devrenin girişindeki gürültü faktörü yazılacak olursa (2.53) elde edilir(Lee, 1998).



Şekil 2.10 Gürültü kaynakları devre dışına alınmış iki-kapılı

$$F = \frac{\overline{i_s^2} + \overline{|i_n + Y_s e_n|^2}}{\overline{i_s^2}} \quad (2.53)$$

Burada Y_s kaynak admittansı, $\overline{i_s^2}$ kaynak gürültü gücüdür.

$\overline{i_n}$ gürültü kaynağını, $\overline{e_n}$ ile korele ve korele olmayan sırasıyla $\overline{i_{nc}}$ ve $\overline{i_{nu}}$ diye iki gürültü kaynağı ile yazabiliriz. Y_c , $\overline{e_n}$ ve $\overline{i_{nc}}$ arasındaki korelasyon bağıntısını sağlayan admittans olarak belirlersek (2.54) ve (2.55) yazılabilir (Lee, 1998).

$$\overline{i_n} = \overline{i_{nc}} + \overline{i_{nu}} \quad (2.54)$$

$$\overline{i_{nc}} = Y_c \overline{e_n} \quad (2.55)$$

Bu durumda gürültü faktörü (2.56) ile ifade edilebilir (Lee, 1998).

$$F = \frac{\overline{i_s^2} + \overline{|i_u + (Y_c + Y_s)e_n|^2}}{\overline{i_s^2}} = 1 + \frac{\overline{i_u^2} + |Y_c + Y_s|^2 \overline{e_n^2}}{\overline{i_s^2}} \quad (2.56)$$

Gürültü kaynakları $\overline{i_u^2}$, $\overline{e_n^2}$ ve $\overline{i_s^2}$ e karşı düşen direnç değerleri (2.57-2.59)'de verilmiştir (Lee, 1998).

$$R_n = \frac{\overline{e_n^2}}{4kT\Delta f} \quad (2.57)$$

$$G_u = \frac{\overline{i_u^2}}{4kT\Delta f} \quad (2.58)$$

$$G_s = \frac{\overline{i_s^2}}{4kT\Delta f} \quad (2.59)$$

Bu durumda eşdeğer gürültü dirençleri (2.56)'da yerine konularak (2.60) elde edilir. Kaynak admittansı $Y_s=G_s+jB_s$, korelasyon admittansı $Y_c=G_c+jB_c$ şeklinde ifade edilerek (2.61) bulunur (Lee, 1998).

$$F = 1 + \frac{G_u + |Y_c + Y_s|^2 R_n}{G_s} \quad (2.60)$$

$$F = 1 + \frac{G_u + [(G_c + G_s)^2 + (B_c + B_s)^2] R_n}{G_s} \quad (2.61)$$

Bulunan gürültü faktörü eşitliğinde, gürültüyü minimum yapacak G_s ve B_s değerleri (2.62) ve (2.63) olarak bulunur (Lee, 1998).

$$B_s = -B_c = B_{opt} \quad (2.62)$$

$$G_s = \sqrt{\frac{G_u}{R_n} + G_c^2} = G_{opt} \quad (2.63)$$

Optimum B_{opt} ve G_{opt} değerleri yerine konularak elde edilebilecek minimum gürültü faktörü F_{min} (2.64) ile ifade edilir (Lee, 1998).

$$F_{min} = 1 + 2R_n \left[\sqrt{\frac{G_u}{R_n} + G_c^2} + G_c \right] \quad (2.64)$$

En genel halde ise gürültü faktörü (2.65) ile verilir (Lee, 1998).

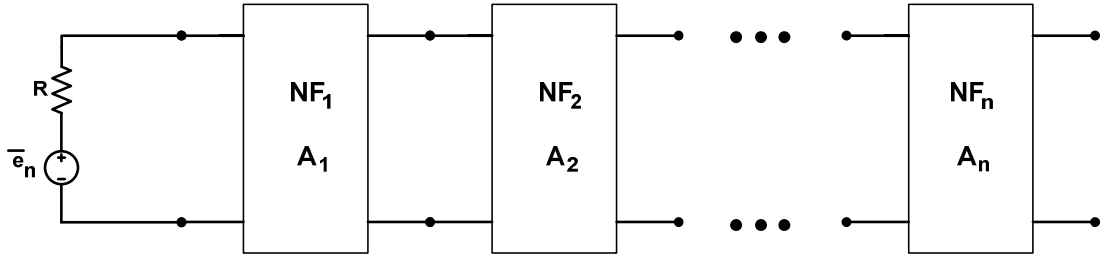
$$F = F_{min} + \frac{R_n}{G_s} [(G_s - G_{opt})^2 + (B_s - B_{opt})^2] \quad (2.65)$$

(2.65)'den görülebileceği gibi değişen kaynak admittansı için gürültü faktörü çember denklemi ile ifade edilmektedir. Buradan çıkacak başka bir sonuç, belirli bir kaynak admittansı için gürültüyü R_n gürültü direnci belirlemektedir. Gürültüyü düşürmek için R_n gürültü direnci küçük tutulmaya çalışılabilir.

2.3.6 Kaskad Yapılarda Gürültü Sayısı

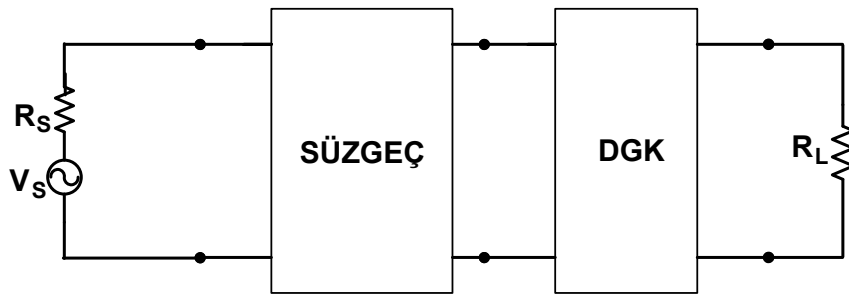
Elektronik sistemler genelde arka arkaya gelen blok devrelerden oluşmaktadır. Şekil 2.11’de kaskad bloklar gösterilmiştir. Bir alıcı-verici devresinde antenden giren işaret işlenmek üzere sayısal işaret işleyiciye giderken birçok kattan geçer. Bu durumda sistemin NF ’i, her katın NF ’i ve kazançları A ’lar cinsinden ifade edilebilir .

$$NF_{top} = 1 + (NF_1 - 1) + \frac{NF_2 - 1}{A_1} + \dots + \frac{NF_n - 1}{A_1 A_2 \dots A_{(n-1)}} \quad (2.66)$$



Şekil 2.11 Friis formülü çıkarımında kullanılan kaskad bloklar

Friis formülü (2.66)’dan görüleceği gibi sistemin NF ’inde baskın olan ilk kattır. Aslında bu sonuç DGK’nın tasarlanmasının ana sebebidir. İlk kat düşük gürültülü yapılırsa tüm sistemin gürültüsü düşecektir. İlk katın kazancı ne kadar büyükse, takip eden katların gürültü sayılarının sistem NF ’ine etkisi o derecede az olacaktır (Razavi, 1998).



Şekil 2.12 Girişinde süzgeç bulunan DGK

Pratikte alıcı-verici devrelerinde ilk kat süzgeçtir (Razavi, 1998). Farksal devrelerin kullanıldığı sistemlerde DGK’dan önce farksal girişi sağlamak için balun elemanı kullanılır. Süzgeçler ve balunlar kayıplı elemanlardır. Bu durumda toplam gürültü sayısı (2.67) olarak

verilir (Razavi, 1998).

$$NF_{top} = NF_{süzgec} + \frac{NF_{DGK} - 1}{L^{-1}} = L + (NF_{DGK} - 1)L = L.NF_{DGK} \quad (2.67)$$

Burada NF_{DGK} , DGK'nın gürültü sayısı; L ($L>1$) süzgecin kaybıdır. Süzgecin gürültü sayısı kaybına eşittir (Razavi, 1998). Bu durumda DGK'nın gürültü sayısı, önüne gelen katın kaybıyla çarpılarak belirlenmektedir. Tanım gereği süzgecin kaybı $L>1$ olduğundan sistemin toplam gürültü sayısı artar.

2.3.7 FET'lerde Gürültü

Elektronik sistemlerde kuvvetlendirici tasarımında günümüzde FET'ler yani alan etkili tranzistörler kullanılmaktadır. Düşük gürültü başarımı elde edebilmek için FET'lerdeki gürültü kaynakları ve birbirleri arasındaki ilişkiler ortaya çıkarılmalıdır.

Yüksek hacimli üretimleri, düşük maliyetleri, az güç tüketmeleri, ölçeklenebilirliği ve yaygın olmaları bakımından CMOS FET'ler kuvvetlendirici tasarımında en çok kullanılan FET'ler olmuşlardır. FET'ler üretildikleri teknoloji ve üretim aşamalarına göre sınıflandırılırlar. Başlıca kullanılan teknolojiler CMOS, SiGe, GaAs'dir.

FET'lerdeki gürültü kaynakları iç gürültü ve ara-bağlantı parazitik gürültü kaynakları olmak üzere iki grupta incelenebilir. İç gürültü kaynakları, tranzistörün kanal bölgesinden gelen gürültü kaynaklarıdır. Ara-bağlantı parazitik gürültü kaynakları ise tranzistörlerin taban, kaynak, savak ve geçitlerindeki ara-bağlantılardan kaynaklanan ısı gürültüleridir.

2.3.7.1 Parazitik Gürültüler

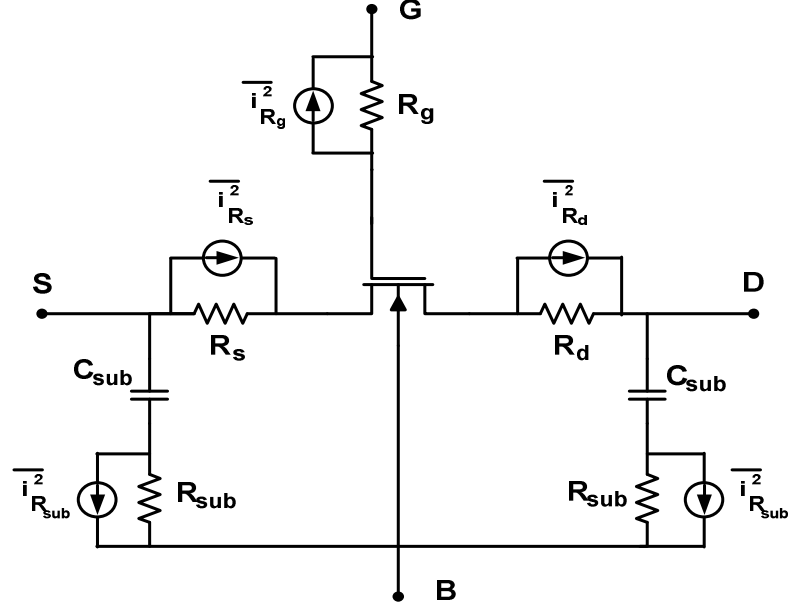
Şekil 2.13'deki tranzistörde ara-bağlantılardan kaynaklanan parazitik dirençler görülmektedir. Bu dirençler, devrenin serimi ile birebir bağlantılıdır. Bu parazitiklerden geçitteki R_g direnci gürültü başarımına etkisi en fazla olandır. R_d ve R_s yani kaynak ve savak parazitiklerinin etkisi daha azdır. R_{sub} taban dirençlerinin etkisi devrenin serimine göre gürültü başarımını kötü yönde etkileyebilir.

Düşük frekanslarda C_{sub} ihmal edilebilir. Bu durumda taban direncinin gürültüsü taban kontağının gerilimini modüle eder. Bu durum savak akımında bir gürültü endükler (Jindal, 2006).

$$\overline{i_{d,sub}^2} = 4kTR_{sub} g_{mb}^2 \Delta f \quad (2.68)$$

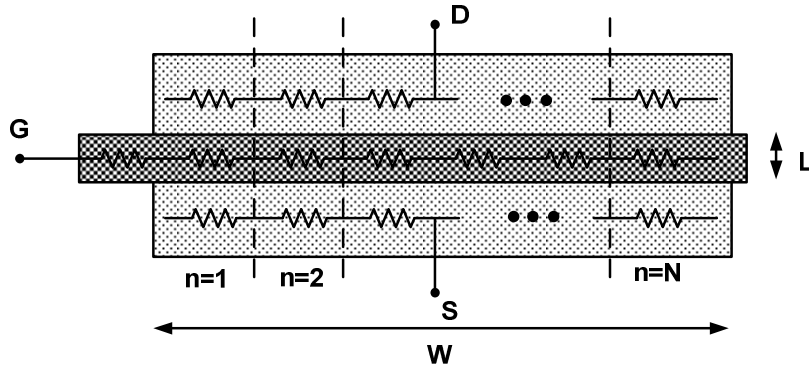
R_{sub} taban direnci, g_{mb} taban geçiş iletkenliğidir. Bu durumda tabandan gelen gürültüyü azaltmak için R_{sub} 'un değerinin azaltılması veya devrenin g_m geçiş iletkenliğinin bir başka deyişle FET alanının azaltılması gerekir. Yüksek frekanslarda taban gürültüsü (2.69) ile verilir (Jindal, 2006).

$$\overline{i_{d,sub}^2} = \frac{4kTR_{sub}g_{mb}^2}{1 + (\omega R_{sub}C_{sub})^2} \Delta f \quad (2.69)$$



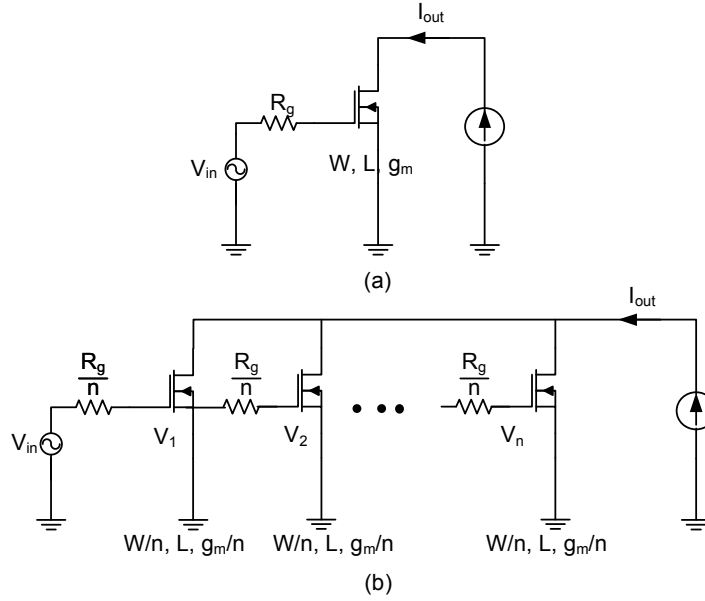
Şekil 2.13 MOSFET parazitik gürültüleri

R_{sub} ve C_{sub} 'un oluşturduğu kutup frekansının altındaki frekanslarda eşitlik (2.68)'ye eşit olmaktadır. Yüksek frekanslarda ise tabandan gelen gürültü önemini yitirmektedir.



Şekil 2.14 Transistor serimindeki parazitik dirençler

Serim aşamasında tranzistörün geçidi polisilikon tabaka üzerinde gerçekleşir. Şekil 2.14’de görüldüğü gibi geçit kontağı ile serimi yapılan tranzistörün geçidi arasında parazitik bir direnç oluşur. Bu direncin üreteceği gürültü gerilimi kanalda kuvvetlenerek savaktaki gürültü akıma katkıda bulunacaktır. Bu yüzden R_g geçit direncinin modellenmesi doğru bir gürültü analizi için önemlidir.



Şekil 2.15 Parazitik geçit dirençli tranzistör modeli (a) ayrık model; (b) dağılmış elamanlı model.

Bir tranzistör Şekil 2.15’deki gibi n tane tranzistörün paralel kombinasyonu olarak gösterilebilir (Razavi vd., 1994). Dağılmış elamanlarla modellediğimiz tranzistör için Şekil 2.16 (a)’daki gibi gürültü modeli yazılabilir. Tranzistörün gürültü modeli Şekil 2.16 (b)’deki gibi tek bir eşdeğer R_{eq} direnci ile ifade edilebilirse serimi yapılacak herhangi bir genişlikteki tranzistör kolaylıkla modellenebilir. Şekil 2.16 (a)’daki her tranzistörün savak akımlarını yazacak olursak (2.70)’dan (2.74)’e kadar olan eşitliklerden görülebileceği gibi toplam savak akımını yazabiliriz.

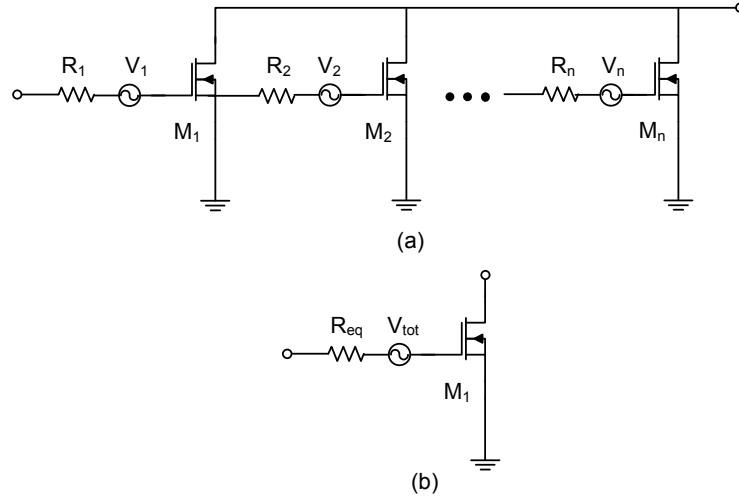
$$i_1 = g_{m1} v_1 \quad (2.70)$$

$$i_2 = g_{m2} (v_1 + v_2) \quad (2.71)$$

$$i_j = g_{mj} (v_1 + v_2 + \dots + v_j) \quad (2.72)$$

$$i_{out} = i_1 + i_2 + \dots + i_n \quad (2.73)$$

$$i_{out} = g_{m1}v_1 + g_{m2}(v_1 + v_2) + \dots + g_{mn}(v_1 + v_2 + \dots + v_n) \quad (2.74)$$



Şekil 2.16 Geçit direnci tarafından üretilen gürültünün hesabı için model: (a) dağılmış elemanlı model ; (b) eşdeğer model

Tranzistör geçitlerinde V_{GS} kutuplama gerilimi sabit olduğu kabul edilerek geçiş iletkenlikleri (2.75)'deki gibi yazılabilir (Razavi vd., 1994).

$$g_{m1} = g_{m2} = \dots = g_{mn} = \frac{g_m}{n} \quad (2.75)$$

Sonuç olarak toplam akım ve toplam gürültü akımı (2.76) ve (2.77) bulunur.

$$i_{out} = \frac{g_m}{n} [nv_1 + (n-1)v_2 + \dots + v_n] \quad (2.76)$$

$$\overline{i_{out}^2} = \frac{g_m^2}{n^2} [n^2 \overline{v_1^2} + (n-1)^2 \overline{v_2^2} + \dots + \overline{v_n^2}] \quad (2.77)$$

Her direncin gürültü gerilimi (2.78) kullanılarak (2.79) şeklinde yazılır.

$$R_1 = R_2 = \dots = R_n = R_g / n \quad (2.78)$$

$$\overline{v_1^2} = \overline{v_2^2} = \dots = \overline{v_n^2} = \frac{4kTBR_g}{n} \quad (2.79)$$

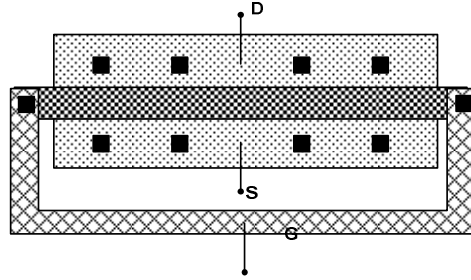
Son olarak toplam gürültü gerilimi aşağıdaki eşitlikler (2.80)'den (2.83)'e gözüktüğü gibi türetebiliriz. Sonuç olarak seri geçit direnci devreye değerinin 1/3'ü kadar gürültü katar.

$$\overline{i_{out}^2} = \frac{g_m^2}{n^2} \frac{4kTBR_g}{n} [n^2 + (n-1)^2 + \dots + 1] \quad (2.80)$$

$$\overline{i_{out}^2} = g_m^2 (4kTB) R_g \frac{n(n+1)(2n+1)}{6n^3} \quad (2.81)$$

$$\overline{i_{out}^2} = g_m^2 (4kTB) \frac{R_g}{3} \quad (2.82)$$

$$\overline{v_{tot}^2} = \frac{\overline{i_{out}^2}}{g_m^2} = (4kTB) \frac{R_g}{3} \quad (2.83)$$



Şekil 2.17 Geçidi her iki taraftan sürülen bir tranzistör serimi

Geçit direncini azaltmak için kullanılan tekniklerden biri Şekil 2.17'deki gibi geçidi her iki taraftan sürmektir. Eğer g_m değerleri $g_m/2n$ ile değiştirirsek, (2.75)'den (2.83)'e olan hesaplamalar sonucunda direncin 1/3 yerine 1/12 kadar azaldığını görürüz (Razavi vd., 1994). Sonuç olarak gürültü hesabı için geçit direnci (2.84)'da verilen denklem ile modellenir. Burada F geçit tek taraftan sürüldüğünde 1/3, her iki taraftan sürüldüğünde 1/12'dir. R_{sh} geçit malzemesi tabaka öz direnci, W ve L sırasıyla tranzistörün genişliği ve uzunluğudur.

$$R_g = F \cdot R_{sh} \frac{W}{L} \quad (2.84)$$

2.3.7.2 İç Gürültüler

Tranzistörün kanal bölgesinde meydana gelen bu gürültüler savak akımı gürültüsü ve geçit akımı gürültüsü olarak incelenmektedir.

2.3.7.2.1 Savak Akımı Gürültüsü

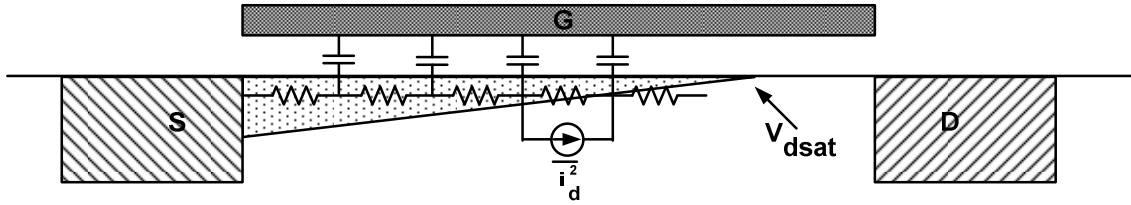
MOSFET'in savak ve kaynak bölgeleri arasında oluşan kanalın direncinin ısı gürültüsü (2.85) gibi tanımlanır (Lee, 1998).

$$\overline{i_d^2} = 4kT\gamma g_{d0}\Delta f \quad (2.85)$$

Savak kaynak iletkenliği V_{DS} 0V kutuplu iken, g_{d0} olarak gösterilmiştir. Savak gürültü katsayısı γ , uzun kanallı tranzistörlerde 2/3 değerini alır. Kısa kanallı tranzistörlerde $\gamma > 2/3$ olduğu bilinmektedir (Lee, 1994).

2.3.7.2.2 Geçit Gürültüsü

Kanaldaki yüklü parçacıkların ısı titreşimleri, kanal üzerinde uzanan geçit polisilikonunda gürültü gerilimi oluşmasına neden olur. Kanal direnci bölgesinin dağılmış elemanlarla modellenmiş hali Şekil 2.18'de görülmektedir. Her bir kanal direnci elemanının ısı gürültüsü geçit kapasitesi üzerinden geçit ucuna bağlanır.



Şekil 2.18 Dağılmış elemanlarla modellenen kanal bölgesi

Bu gürültünün (2.86) ve (2.87) eşitliğindeki gibi tanımlanacağı Van Der Ziel (1986) tarafından gösterilmiştir.

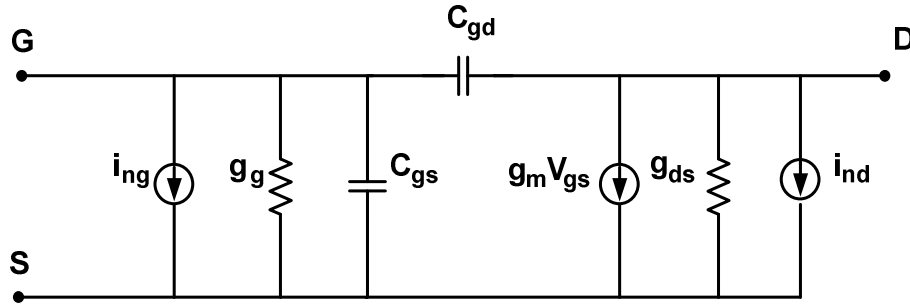
$$\overline{i_{ng}^2} = 4kT\delta g_g \Delta f \quad (2.86)$$

$$g_g = \frac{\omega^2 C_{gs}^2}{5g_{d0}} \quad (2.87)$$

Geçit gürültü katsayısı δ Van Der Ziel tarafından 4/3 olarak hesaplanmıştır. Geçit kaynak kapasitesi C_{gs} , $V_{ds}=0$ iken kanal iletkenliği g_{d0} olarak gösterilmiştir. Bu gürültünün de ortaya çıkış sebebi kanal direnci olduğundan savak akımı gürültüsü ile korelasyonu olacağı açıktır. Bu korelasyon sabiti (2.88)'de tanımlanmıştır (Van Der Ziel, 1986).

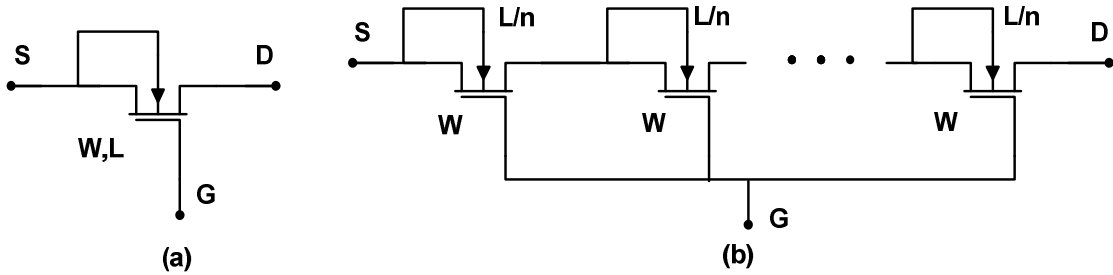
$$c = \frac{\overline{i_{ng} i_{nd}^*}}{\sqrt{i_{ng}^2} \sqrt{i_{nd}^2}} = j0.395 \quad (2.88)$$

Van Der Ziel'in bu matematiksel çıkarımı, ölçüm sonuçlarıyla doğrulanmıştır (Jin vd., 1998; Manku vd., 1999). Şekil 2.19'da MOSFET'in iç gürültü kaynakları gösterilerek küçük eşdeğer devresi verilmiştir. Burada g_g direnci yüksek frekanslarda geçidin dağılmış elemanlı karakteristiğini modeller. Dikkat edilmesi gereken nokta bu direnç, sadece gürültü analizinin doğru modellenmesi için değil aynı zamanda AC analizinin doğru sonuçlar vermesi için de önemlidir.



Şekil 2.19 MOSFET iç gürültü kaynakları ve küçük işaret devresi

Geçit gürültüsünün tanımına (2.86)'ten bakacak olursak, gürültü akımı frekansın karesi ile artmaktadır. Yüksek frekans uygulamalarında geçit gürültüsü, gürültü başarımını baskın bir şekilde etkiler. Bu etkiyi görmek için Şekil 2.20 (a) ve (b)'de geniş kanal uzunluklu bir tranzistör kanal boyu n parçaya bölünerek bir devre oluşturulmuştur.



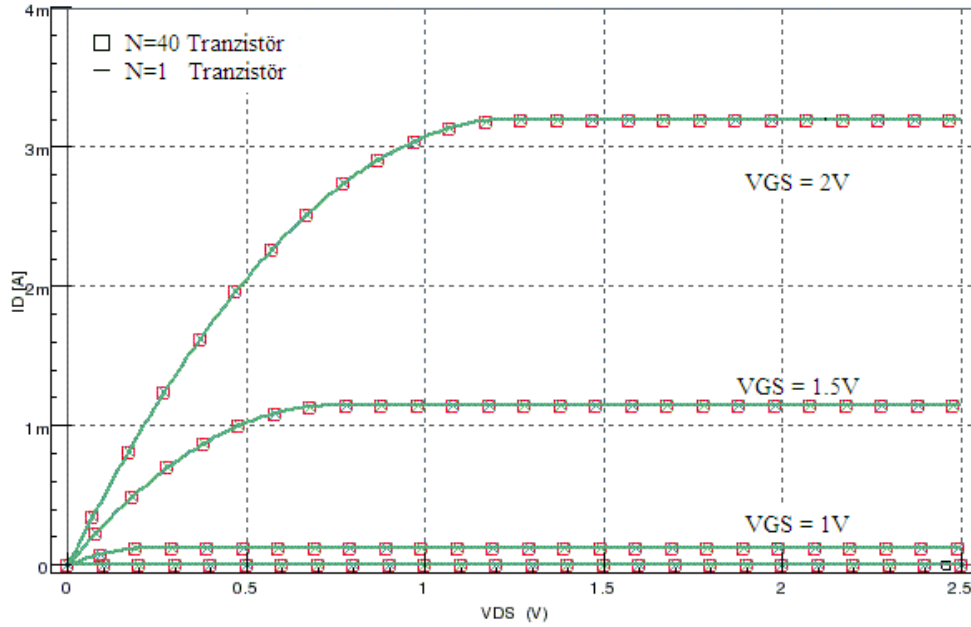
Şekil 2.20 (a) Genişliği W , boyu L olan MOSFET (b) Genişliği W olan n tane L/n kanal uzunluğuna sahip tranzistörle modelleme

Bu iki yapı aşağıda verilen SPICE MOSFET modeli kullanılarak simüle edilmiştir.

```
.MODEL N_MOS MOS( TOX=1e-8 VT0=0.7572683
+NSUB=4e16 CAPMOD=4 XQC=1 NLEV=3 LEVEL=1)
```

TOX, geçit oksit kalınlığı; VT0, sıfır kutuplu iken eşik gerilimi; NSUB, taban katkı yoğunluğunu belirtir. CAPMOD=4 ve XQC=1 parametreleri elektron yük korunumu metoduna göre kapasite hesaplamasını belirtir. NLEV=3 ise kanal gürültüsü direnç ve doyma bölgelerinde ayrı yöntemle hesaplanır. Şekil 2.18’de tranzistörün kaynak ucuna yakın bölgede kanalın daha kalın, savak ucuna doğru ise incelerek devam ettiği görülmektedir. Kuasi-statik modelleme Şekil 2.20 (a) ve (b)’deki her iki tranzistör yapısı için de Şekil 2.18’de gösterildiği gibi bir kanal bölgesinin oluşmasını sağlar. Böylelikle iki tranzistör yapısının birbirine eş olması sağlanır. SPICE modelindeki diğer parametreler varsayılan değerler olarak kabul edilmiştir.

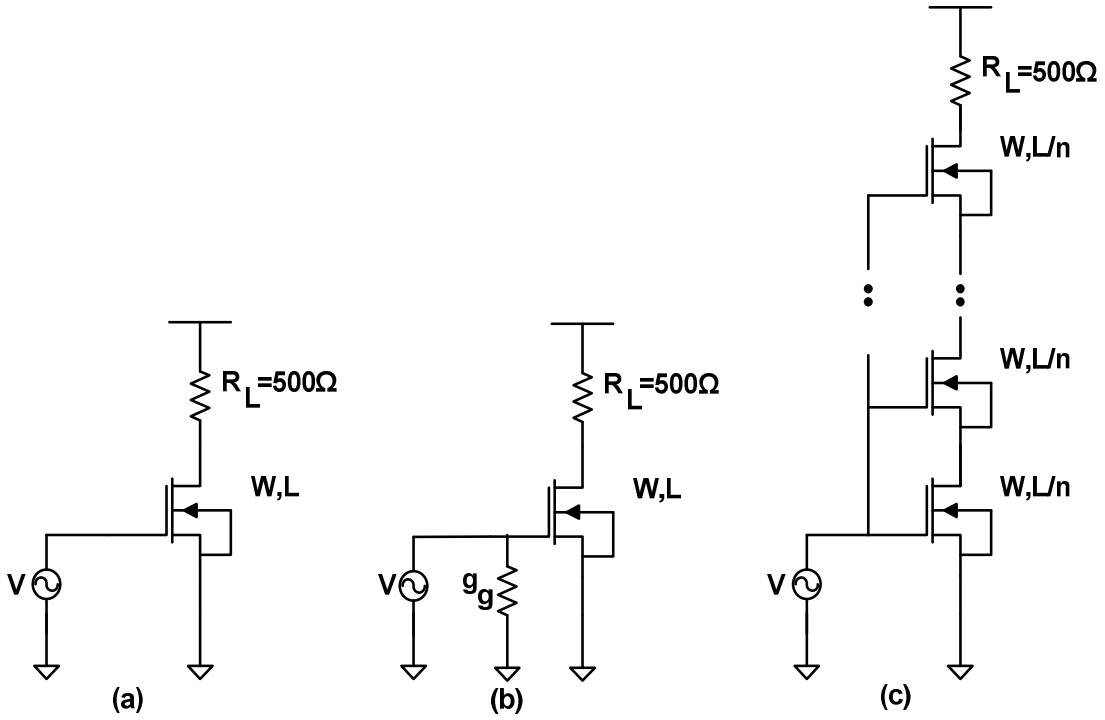
Gerçekte geçit kapasitesi Şekil 2.18’de gösterildiği gibi kanal boyunca dağılmıştır. Düşük frekanslar için çıkarılmış olan BSIM3 SPICE modellerinde geçit kapasitesi tek bir kapasite olarak geçit ile kaynak ucuna bağlanmıştır. Tranzistörün yüksek frekans davranışının doğru simüle edilebilmesi için Şekil 2.20 (b)’de kanal boyu n parçaya bölünmüş ve geçit kapasitesinin Şekil 2.18’deki gibi dağılmış olarak modellenmesi sağlanmıştır.



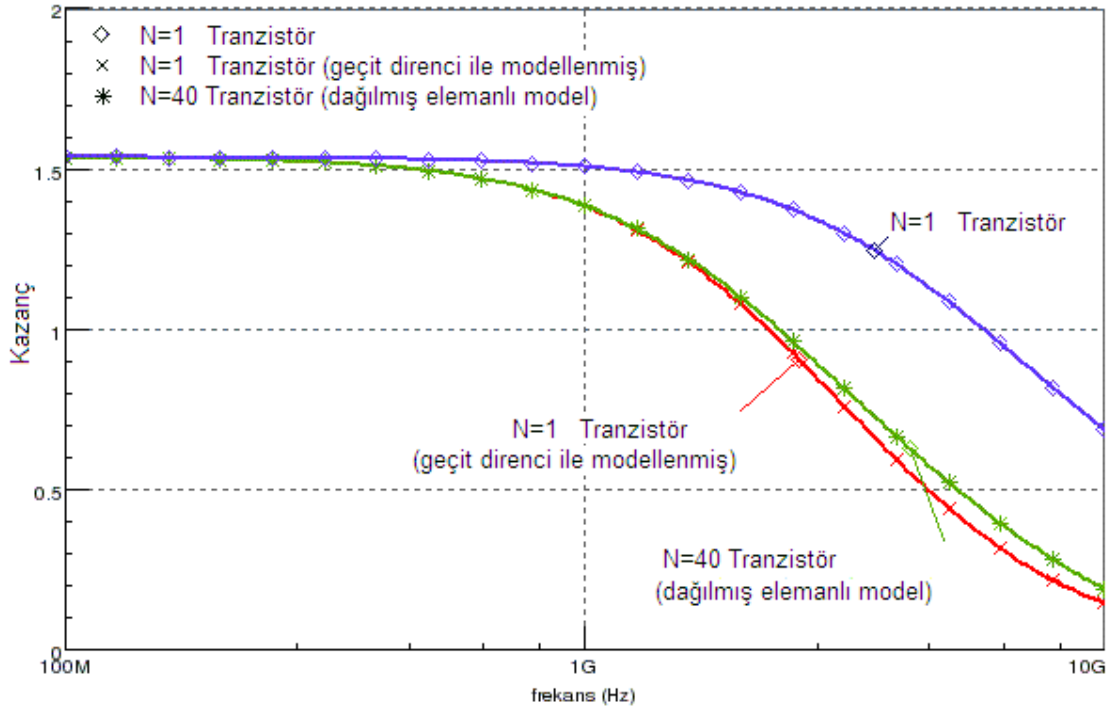
Şekil 2.21 Uzun kanallı tranzistör ($W=72\mu\text{m}$ $L=3.6\mu\text{m}$ $N=1$) ve dağılmış modellenli tranzistörlerin ($W=72\mu\text{m}$ $L=0.09\mu\text{m}$ $N=40$) doğru akım analizi

Yüksek frekanslarda tranzistörün gürültü davranışının, g_g eşdeğer direnci ile modellenebileceğini göstermek üzere genişliği $W=72\mu\text{m}$, kanal boyu $L=3.6\mu\text{m}$ olan uzun kanallı bir tranzistör Şekil 2.20'deki gibi geçitin yüksek frekanslarda $W=72\mu\text{m}$ ve $L=90\text{nm}$ olan 40 küçük tranzistör ile modellenmiştir. Bu tranzistörler için yukarıda verilen kuasi-statik SPICE modeller kullanılmıştır. Bu tranzistörlerin eş olduğu Şekil 2.21'de verilen doğru akım karakteristiğinden görülmektedir.

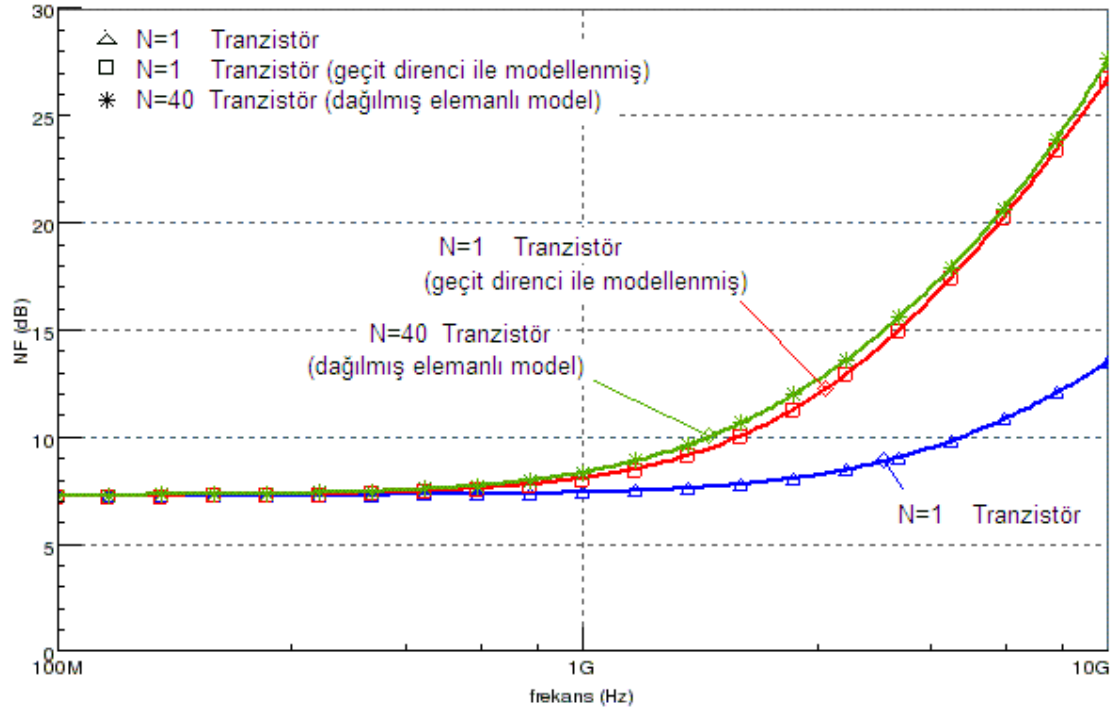
AC karakteristiklerin incelenmesi için Şekil 2.22'deki devreler kurulmuştur. Yük olarak 500Ω 'luk gürültüsüz dirençler bağlanmıştır. Şekil 2.23'deki grafikten görüldüğü gibi g_g direncinin modele katılması, dağılmış elemanla modellenen devreye çok yakın bir sonuç vermiştir. Şekil 2.22'deki devreler için gürültü analizi sonuçları Şekil 2.24'de verilmiştir. Grafikten geçit gürültüsünün g_g direnci ile modellenebileceği görülmektedir. Sadece savak akımı gürültüsünün modellenmesi gürültü analizi sonuçlarında 1 GHz için %13 hataya sebep olmaktadır.



Şekil 2.22 (a) Basit model (b) Geçitten kanala görülen direnç eklenmiş model (c) Kanal boyu n parçaya bölünmüş dağılmış tranzistörlü model



Şekil 2.23 Uzun kanallı tranzistör ($W=72\mu\text{m}$ $L=3.6\mu\text{m}$ $N=1$) ve dağılmış modellenmiş tranzistörlerin ($W=72\mu\text{m}$ $L=0.09\mu\text{m}$ $N=40$) küçük işaret analizi



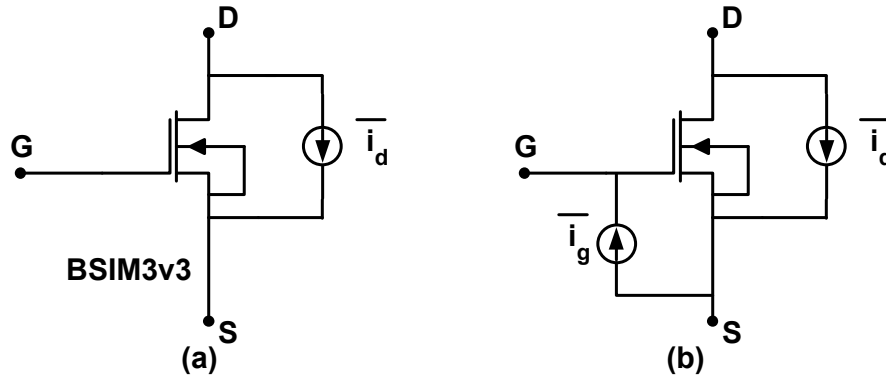
Şekil 2.24 Uzun kanallı tranzistör ($W=72\mu\text{m}$ $L=3.6\mu\text{m}$ $N=1$) ve dağılmış modellenmiş tranzistörlerin ($W=72\mu\text{m}$ $L=0.09\mu\text{m}$ $N=40$) gürültü analizi

2.3.7.3 MOSFET Modelleri

CMOS tranzistörler, yaygın olarak sayısal devrelerde kullanılmaktadır. İlerleyen CMOS teknolojisi tranzistörlerin çalışma frekansının daha da yükselmesine olanak sağlamıştır. Bu çalışmada kullanılan tranzistörler için kesim frekansı 4 mA savak akımı ve kaynak savak gerilimi 0.5V için yaklaşık olarak 120 GHz'dir. Böylelikle CMOS teknolojisi yüksek frekanslı uygulamalar için bir seçenek olmuştur. CMOS'un ucuz maliyeti, ölçeklenebilirliği, yaygınlığı bu teknolojiyi diğer SiGe, GaAs gibi teknolojileri ile rekabet edebilir hale getirmiştir. (Shaeffer ve Lee, 1997). CMOS'un SPICE modelleri, sayısal devreler düşünülerek yapıldığı için yüksek frekanslı devrelerde yetersiz kalmaktadır.

Günümüzde birçok SPICE MOSFET modelleri bulunmaktadır. Bunlardan en çok kullanılanı BSIM3 modelleridir. Yüksek frekans uygulamaları için BSIM RF modelleri geliştirilmiştir. Ayrıca EKV, Philips MOD9 gibi diğer başka modeller de MOSFET'in yüksek frekans davranışını modellemektedirler. Bu çalışmada BSIM3 modelleri kullanılmıştır.

BSIM modellerinin en son sürümü BSIM4'te yetersiz olan BSIM3v3 gürültü modelleri yenilenmiştir. Şekil 2.24'de geçit gürültüsünün özellikle yüksek frekanslarda MOSFET gürültü faktörüne etkili olduğu görülmektedir. Bu etki Şekil 2.25'de gösterilen $\sqrt{i_g^2}$ akım kaynağı gürültüsünün tanımlanmasıyla modellenmiştir (Liu, 2001).



Şekil 2.25 (a) BSIM3v3 MOSFET gürültü modeli (b) güncellenmiş model

Günümüzde BSIM3v3 modelleri taban olmak üzere geliştirilen yüksek frekans (YF) modeller yaygın olarak kullanılmaktadır.

2.4 Kararlılık ve İzolasyon

Doğrusal bir iki-kapılı herhangi pasif bir kaynak ve herhangi bir pasif yük ikilisi için osilasyona girmiyorsa bu iki-kapılı koşulsuz kararlıdır denir. Belirli kaynak ve yük empedansları için devrenin osilasyon yapmayacağı garanti ediliyorsa bu durumda iki-kapılı koşullu kararlı denilir. Tasarımcılar zorlayan durumlar olmadığı sürece koşulsuz kararlı devreleri tercih ederler.

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} > 1 \quad (2.89)$$

Kararlılık için (2.89) ile verilen Rollett katsayısına bakılır (Rollett, 1962). Bununla beraber (2.90)'dan (2.94)'e kadar olan durumlardan en az birisinin sağlanması koşulsuz kararlılık için yeterli ve gereklidir.

$$B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2 > 0 \quad (2.90)$$

$$B_2 = 1 - |S_{11}|^2 + |S_{22}|^2 - |\Delta|^2 > 0 \quad (2.91)$$

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| < 1 \quad (2.92)$$

$$1 - |S_{11}|^2 > |S_{12}S_{21}| \quad (2.93)$$

$$1 - |S_{22}|^2 > |S_{12}S_{21}| \quad (2.94)$$

Bu denklemlerde Δ s-parametreleri matrisinin determinantıdır. Koşulsuz kararlılık için Rollet kararlılık kriterine nazaran daha basit ve öz olan başka bir kriter (2.95) ile verilmiştir (Edwards vd., 1992).

$$\mu \equiv \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \Delta| + |S_{12}S_{21}|} \quad (2.95)$$

Koşulsuz kararlılık için yeter ve gerek şart $\mu > 1$ 'dir.

Bir devrenin çıkışından girişine geçen işaret seviyesi o devrenin izolasyonu hakkında bize bilgi verir. Genel olarak S_{21} parametresi iki-kapılının izolasyon bilgisini içerir. İzolasyonu iyi olan bir devrenin çıkışından girişine geri-beslenen işaret seviyesi çok az olduğu için kararlılık başarımının da iyi olması beklenir.

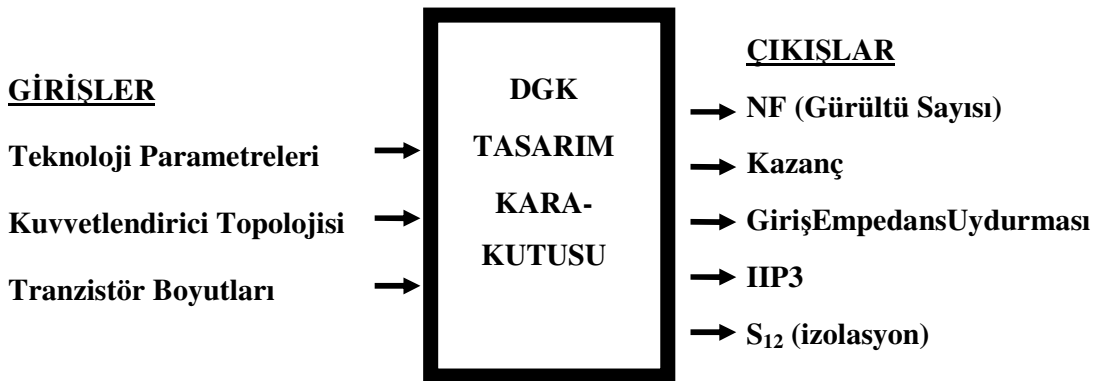
3. DÜŞÜK GÜRÜLTÜLÜ KUVVETLENDİRİCİ TASARIMI

İyi çalışan bir alıcı-verici tasarımında DGK devresinin belli şartları sağlaması gerekmektedir. Aşağıda Çizelge 3.1’de bir KKS alıcı için DGK devresinin şartnamesi verilmiştir.

Çizelge 3.1 DGK şartnamesi

Çalışma Frekansı	1.57542GHz
Kazanç (S_{21})	$\geq 15\text{dB}$
İzolasyon (S_{12})	$\leq 40\text{dB}$
Gürültü Sayısı (NF)	$\leq 1.5\text{dB}$
Giriş IP3(IIP3)	$\geq 0\text{dBm}$
Giriş Empedansı	50 Ohm
Giriş Yansıma Kayıpları	$\geq 10\text{dB}$
3-dB Bant-genişliği	20MHz

Bir DGK tasarımına başlamadan önce devrenin gerçekleştirileceği teknoloji, kuvvetlendirici topolojisi ve tranzistor boyutları istenen şartları sağlamak üzere belirlenmelidir. DGK tasarım problemi Şekil 3.1’de belirtilmiştir.



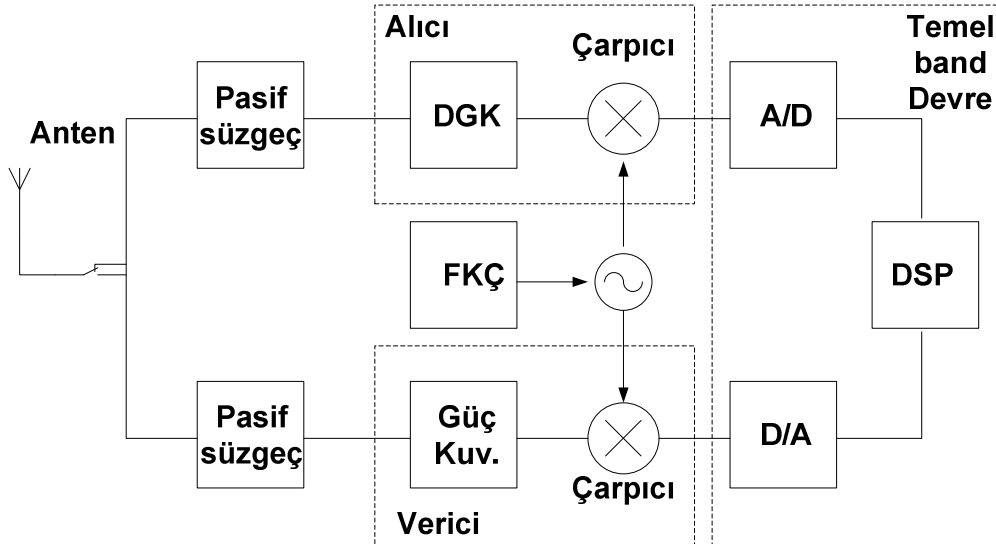
Şekil 3.1 DGK tasarım kara-kutusu

Bugüne kadar BiCMOS, GaAs, GaAs HBT, SiGe, SiGe HBT teknolojilerini kullanan RF giriş katı tasarımı araştırmaları yapılmıştır (Shaeffer ve Lee, 1999; Leenaerts vd., 2001). CMOS teknolojisinin yüksek hızlara ulaşabilen tranzistörlerin yapılmasına imkan verir hale gelmesi ile birlikte gigahertz üstü frekanslarda çalışan CMOS DGK tasarımlara yönelik çalışmalar yapılmaya başlandı (Karanicolas, 1996; Rofougaran vd., 1996; Rudell vd., 1997; Shaeffer ve Lee, 1997; Shahani vd., 1997; Gramegra vd., 2001; Yang vd., 2000; Tinella vd., 2001). Bu çalışmada CMOS 90nm teknolojisi seçilmiştir. CMOS teknolojisi ölçeklenebilirlik, maliyet ve haberleşme sistemlerinin tümleştirilmesi gibi bazı basit üstünlüklere sahiptir.

3.1 Devre Topolojisi Seçimi

Şekil 3.2’de tipik bir alıcı-verici blok şeması verilmiştir. Alıcı-verici devresindeki bloklar sağlıklı bir şekilde işaret alma ve verme kriterlerini sağlamalıdır. DGK bir alıcı-verici devresinin alıcı kısmında yer alır ve bu blokların içinde en önemli bloklardan birisidir. DGK devresinin başarımlı özellikleri içinde yer aldığı alıcı devresinden beklenen başarıma göre belirlenir. Alıcı devresi ile DGK’nın tasarım şartları arasında birebir bağlantılar vardır.

Bir alıcı alabildiği kadar küçük güçte işaretleri ve mümkün olduğunca yüksek güçte gelen işaretleri alabilmeli, işlenmek üzere bir sonraki devrelere aktarmalıdır. Bu işlemler sırasında kabul edilebilir bir işaret gürültü oranını korumalıdır.



Şekil 3.2 Tipik alıcı-verici devresi

Bahsedilen bu özelliklerin ne kadar sağlanıp ne kadar sağlanamadığını anlamak üzere bazı

ölçütler tanımlanmıştır. “Spurious-free” dinamik erim (SFDR) bir alıcı devresinin kalitesini belirler ve (3.1)’de olduğu gibi tanımlanır (Razavi, 1998). $P_{giriş,min}$ (2.50) eşitliğinden yola çıkılarak (3.2)’deki gibi yazılabilir.

$$SFDR(dB) \equiv P_{giriş,max} - P_{giriş,min} \quad (3.1)$$

$$F \equiv \frac{SNR_{giriş}}{SNR_{çıkış}} = \frac{P_{giriş,min} / P_{Rs}}{SNR_{çıkış}} \quad (3.2)$$

Giriş direncinin mümkün gürültü gücü (2.43)’den oda sıcaklığında -174dBm/Hz olarak bulunur. Bu durumda minimum işaret gücü, B alıcının bant-genişliği olmak üzere (3.3) ve (3.4) gibi ifade edilir. Burada $SNR_{çıkış}$ bir sonraki blok tarafından beklenen işaret-gürültü oranı, NF sistemin gürültü sayısıdır. Gürültü tabanı T , (3.4)’deki ilk üç terimin toplamı olarak tanımlanır. Bu seviyenin altında gelen bir işaret $SNR_{çıkış}$ terimini 0dB’nin altına çekeceği için, böyle bir işaret pratik olarak işlenemez veya alınamaz denir. Gürültü tabanı düşük yapılması için NF ’in düşük yapılması gerekir. Bant-genişliği B , uygulama için bilinen bir değerdir. Dar bantlı uygulamaların gürültü tabanı düşüktür. Buna karşılık iletim hızı yavaştır.

$$P_{giriş,min} = -174 \cdot B \cdot F \cdot SNR_{çıkış} \quad (3.3)$$

$$P_{giriş,min} = -174[dBm / Hz] + 10 \cdot \log(B) + NF[dB] + SNR_{çıkış} = T + SNR_{çıkış} \quad (3.4)$$

Girişten alınabilecek maksimum işaret gücü devreden beklenen doğrusallık başarımı ile ilgilidir. Artan işaret gücü devrenin doğrusal olmayan etkilerinin görülmeye başlamasına neden olur. Alıcı devresinde doğru ve güvenilir bir şekilde işlenebilecek maksimum işaret gücünü belirlemek için 3. dereceden intermodülasyon bileşenlerinin gücüne dayalı bir tanımlama yapılır. Gelen işaretin 3. dereceden intermodülasyon bileşenlerinin güç seviyesi, gürültü tabanına eşit olduğu seviye maksimum işaret gücü olarak tanımlanmıştır. Yani gelen işaretin 3. dereceden intermodülasyon bileşenleri devre çıkışında algılanamayacak seviyede olduğu sürece devre doğrusal çalışıyor farz edilir. Bu şartlar altında maksimum işaret seviyesi (3.5) gibi tanımlanır. Buradan SFDR (3.6) ve (3.7) olarak tanımlanır (Razavi, 1998).

$$P_{giriş,max} = \frac{2 \cdot P_{IP3} + T}{3} \quad (3.5)$$

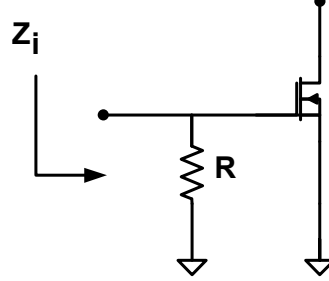
$$SFDR[dB] = \frac{2 \cdot P_{IP3} + T}{3} - (T + SNR_{min}) \quad (3.6)$$

$$SFDR[dB] = \frac{2 \cdot (P_{IP3} - T)}{3} - SNR_{\min} \quad (3.7)$$

Görüldüğü gibi bir alıcının başarımı, doğrusallığına P_{IP3} ile sonraki blokların işleyebileceği işaret seviyesine ve gürültü tabanına dolayısıyla devrenin gürültü sayısına bağlıdır. NF ne kadar küçük gerçekleşirse SFDR o kadar iyileşir.

Friis formülasyonuna göre (2.66) sistemin gürültüsünde baskın olan blok ilk bloktur ve bu yüzden ilk bloğun gürültüsü düşük yapılmaya çalışılır. Ayrıca ilk bloğun kazancı yüksek yapılırsa daha sonraki blokların sistem gürültüsüne katkısı azalır. Sistemin doğrusallık başarımında etkisi daha sonraki bloklara göre az olan DGK'nin belirlenen ölçülerde doğrusal davranması gerekmektedir. DGK'nin bir diğer dikkat edilmesi gereken özelliği ise izolasyonudur. DGK'nin çıkışından girişine işaretin geçmesi ve buradan antene ulaşması istenmeyen bir durumdur. Girişe geri beslenen işaret antenden gelen işaretin alınmasını engeller hatta antenden havaya yayınlanabilir. Ayrıca devrenin kararlılığının iyileşmesi için izolasyonun iyi olması etkilidir. DGK'de gürültü için NF, doğrusallık için IIP3 noktaları ölçüt iken izolasyon için devrenin S_{12} parametresine bakılır. DGK alıcı için ilk blok olması nedeni ile zaten antende çok düşük seviyelerde olan işaretin alınması için devreye maksimum işaret gücünü aktarmakla da görevlidir. Bunun için giriş empedans uydurması yapılmalıdır. Giriş empedansındaki uyumsuzluk antenden gelen gücün bir miktarının geri yansımaya ve işaret kazancının düşmesine neden olur. DGK katından önce ön seçim süzgeci kullanıldığı durumlarda ise süzgecin çıkışındaki empedans uyumsuzluğu süzgeç karakteristiğini olumsuz yönde etkiler ve süzgecin geçiş fonksiyonunu bozabilir. Piyasada kullanılan anten tasarımlarının karakteristik empedansı 50Ω 'dur. Dolayısıyla kullanılan süzgeçlerin büyük çoğunluğu da 50Ω 'a uydurulacak şekilde tasarlanmıştır. Anten ve süzgeç tasarımını da yaparak giriş empedansını büyütürken daha düşük gürültü faktörleri elde etmenin mümkün olduğu gösterilmiştir (Belostotski vd., 2007). Bu çalışmada alıcı devresinde kullanılacak antenin ve ön süzgecin piyasadan temin edilmesi öngörülmüştür ve 50Ω karakteristik empedanslı anten kullanılması düşünülmüştür. Bu durumda tasarımcı için ana hedef minimum gürültü faktörünü yeterince iyi bir giriş empedansı uydurması ile sağlayabilmektir. 2-kapılı gürültü devresinin MOSFET'lere uygulanmasından (2.62)'den görüldüğü gibi optimum gürültü empedansı endüktiftir. MOSFET'in giriş empedansı ise kapasitif karakterdedir. Bu durumda hem gürültü uydurması hem de empedans uydurması yapmak sorun teşkil etmektedir. Topoloji kararını belirleyen baş etmenlerden birisi budur. Genel olarak günümüzde radyo uygulamaları taşınabilir hale gelmiş ve dolayısıyla düşük güç tüketimi

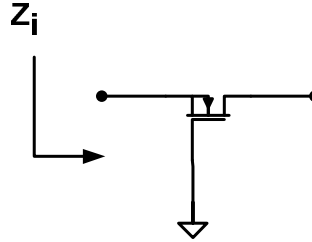
başka bir tasarım şartı olarak gelmiştir. İşte bu tasarım şartları ışığında DGK için uygun bir devre topolojisi seçilecektir. Bu şartlar içerisinde maksimum güç transferi ve düşük gürültü en önde gelmektedir.



Şekil 3.3 Direnç ile sonlandırma

$$NF = 4KT \frac{(R_s + R_i)}{R_s} = 3dB \quad (3.8)$$

En kaba yaklaşımla DGK girişi 50 Ω 'luk bir dirençle sonlandırılarak empedans uydurma sağlanabilir. Şekil 3.3'de direnç sonlandırmalı topoloji görülmektedir. Bu durumda gürültü sayısı basitçe (3.8)'deki gibi 3dB olarak hesaplanabilir. $R_s=R_i$ eşit seçilerek empedans uydurma yapılmıştır.

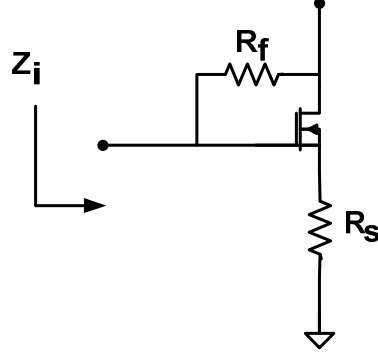


Şekil 3.4 $1/g_m$ sonlandırma

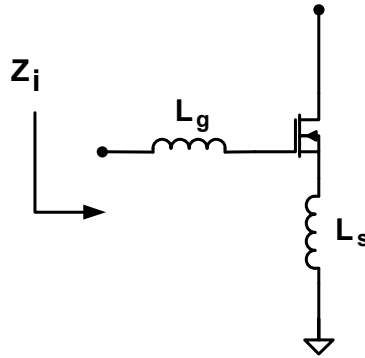
$$NF = 1 + \frac{4KT \frac{2}{3 \cdot g_m}}{4KTR_s} = 1 + \frac{2}{3} = 2.2dB \quad (3.9)$$

Şekil 3.4'de ise $1/g_m$ sonlandırma görülmektedir. Bu empedans uydurmada MOSFET ortak geçit topolojili olarak kullanılır. Uygun bir g_m değeri ile girişinden R_s değeri görülerek geniş bantta empedans uydurma sağlanır. Uzun kanallı bir tranzistör için NF kanal direnci yaklaşık

olarak g_m alınırsa (3.9) olarak bulunur. Kısa kanallı MOSFET'lerde savak akımı gürültü katsayısı 2/3 değerinin daha yukarısında olduğu için (>2) bulunan NF çok daha yüksek olacaktır (Lee, 1998).



Şekil 3.5 Direnç geri-besleme



Şekil 3.6 Endüktif dejenerasyon

Bir diğer teknik ise geri besleme direnci ile empedans uydurmadır. Şekil 3.5'de gösterilen bu yöntem geniş bantta empedans uydurma sağlar ayrıca geri besleme nedeni ile doğrusallıkta iyileşmeye neden olur. Geri beslemenin gürültü başarımına etkisi yoktur (Motchenbacher vd., 1993). Kullanılan geri besleme direncinin de gürültüye yaptığı katkı nedeniyle gürültü başarımı düşük olacaktır.

Son olarak literatürdeki tasarımlarda da çok olarak kullanılan ve artık benimsenmiş bir yöntem olan endüktif dejenerasyon Şekil 3.6'da ideal endüktörler kullanılarak gösterilmiştir. Kaynak ucuna takılan endüktans L_s ile devreye gürültü katılmadan devrenin girişinden görülen empedansta saf direnç bileşeni oluşturulabilir. Geçit ucuna takılan L_g endüktansı ile

dar bantta empedans uydurma yapılmaktadır. Devre girişinde görülecek empedans (3.10)'da görülmektedir. Aslında devreye takılan bobinler ideal olmayacakları için devreye direnç ve dolayısıyla ek gürültü getirirler. Bu yüzden bu bobinler yüksek kalite faktörlü yapılmak istenir. Genelde geçitte seri rezonansı sağlayan bobinin değeri daha büyüktür. Geçitteki bobinin gürültüsü DGK'de kuvvetlendirileceği için bu bobin kırmık dışında daha yüksek kalite faktörleri ile gerçekleştirilebilir. L_s 'nin değeri genelde küçük olduğu için kırmık içinde rahatça gerçekleştirilebilir. Ayrıca (3.11)'den görülebileceği gibi belirli kutuplama şartları altında ω_T sabittir ve artan tranzistör genişliği ile C_{gs} kapasitesi artar ve girişi rezonansa getirmek için gerekli L_g makul değerlere erişmesi sağlanabilir.

$$Z_{in} = s(L_s + L_g) + \frac{1}{sC_{gs}} + \frac{g_m L_s}{C_{gs}} \quad (3.10)$$

$$Z_{in} = s(L_s + L_g) + \frac{1}{sC_{gs}} + \omega_T L_s \quad (3.11)$$

Kaynak dejenerasyonlu kuvvetlendiricinin kazancı incelenecek olursa, giriş ve çıkışın Q 'larına bağlı olarak sabit kaldığı görülmektedir. Girişte kaynak iç direnci R_s^* empedansına uydurmanın yapıldığı düşünülerek (3.12)'de girişin Q değeri verilmiştir. Başka bir deyişle giriş geriliminden geçit kaynak gerilimi v_{gs} 'ye kazanç verilmiştir. Bu durumda çıkış akımı (3.13) ve (3.14)'den elde edilir. Efektif kuvvetlendirici kazancı (3.15)'de bulunan $G_{m,eff}$ ve yük empedansı ile ifade edilir. Yük empedansı ise genellikle bir endüktanstır ve değeri endüktörün kalite faktörüne bağlıdır. Kuvvetlendiricinin kazancı ise (3.16) ile ifade edilebilir.

$$Q_s = \frac{1}{2\omega_o C_{gs} R_s} \quad (3.12)$$

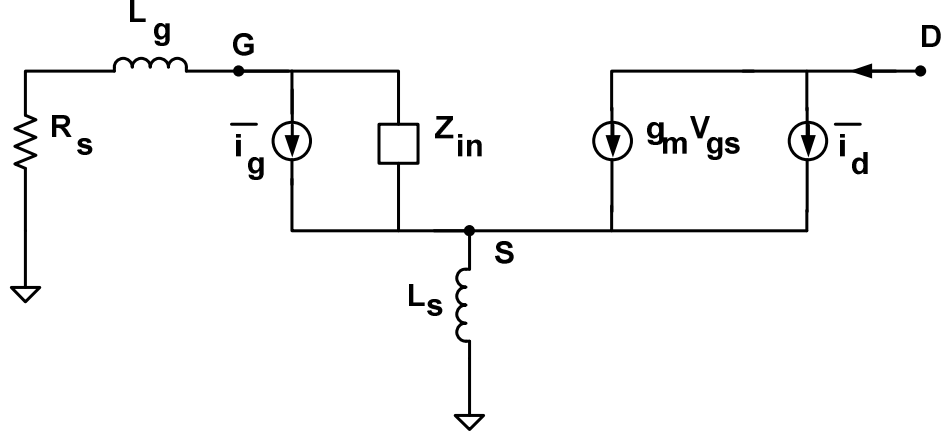
$$v_{gs} = Q_s v_s \quad (3.13)$$

$$i_d = g_m v_{gs} = g_m Q_s v_s \quad (3.14)$$

$$G_{m,eff} = g_m Q_s = \frac{g_m}{C_{gs}} \cdot \frac{1}{2\omega_o R_s} = \frac{\omega_T}{2\omega_o R_s} \quad (3.15)$$

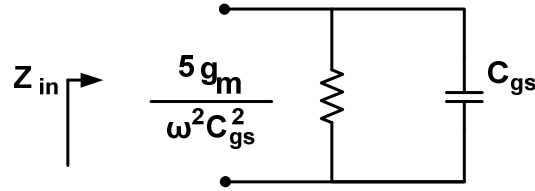
$$K = -G_{m,eff} \cdot R_L \quad (3.16)$$

* Burada kullanılan giriş kaynak direnci genellikle anten direncidir. R_s direnci, tranzistörün kaynak direnci ile karıştırılmamalıdır.



Şekil 3.7 Endüktans dejenerasyonlu devre gürültü eşdeğer modeli

Şekil 3.7’de endüktans dejenerasyonlu devre topolojisi için basit gürültü eşdeğer modeli verilmiştir. L_g ve L_s endüktörleri ideal kabul edilmiş, tranzistörün geçit elektrotundan herhangi bir direnç gelmediği kabul edilmiştir. Z_{in} empedansı Şekil 3.8’de gösterildiği gibi geçit kaynak kapasitesi ve geçitten kanala görülen direnç ile modellenmiştir. $\omega \ll \omega_T$ için $Z_{in} = 1/sC_{gs}$ bulunur.



Şekil 3.8 Geçitten kanala görülen eşdeğer giriş empedansı

Endüktans dejenerasyonlu devrenin gürültü sayısı NF (3.17) ve (3.18) gibi devrenin çıkış akımı esas alınarak yazılabilir.

$$NF = 1 + \frac{\overline{(i_{out,g} + i_{out,d})^2}}{\overline{i_{out,Rs}^2}} = 1 + \frac{\overline{(i_{out,g} + i_{out,d})(i_{out,g}^* + i_{out,d}^*)}}{\overline{i_{out,Rs}^2}} \quad (3.17)$$

$$NF = 1 + \frac{\overline{i_{out,g}^2}}{\overline{i_{out,Rs}^2}} + \frac{\overline{i_{out,d}^2}}{\overline{i_{out,Rs}^2}} + \frac{2 \operatorname{Re}\{\overline{i_{out,g} i_{out,d}^*}\}}{\overline{i_{out,Rs}^2}} \quad (3.18)$$

Burada $\overline{i_{out,g}^2}, \overline{i_{out,d}^2}, \overline{i_{out,Rs}^2}$ çıkış akım gürültüsü spektral yoğunluğunun sırasıyla geçitten, kanaldan ve antenden kaynaklanan gürültü bileşenleridir.

Yapılan analizler sonucu $\sqrt{\overline{i_{out,g}^2}}, \sqrt{\overline{i_{out,d}^2}}, \sqrt{\overline{i_{out,Rs}^2}}$ değerleri (3.19), (3.20), (3.21)'deki gibi bulunur.

$$\sqrt{\overline{i_{out,g}^2}} = g_m Z_{in} \frac{(R_s + sL_g + sL_s)}{(R_s + sL_s + sL_g + Z_{in} + sL_s g_m Z_{in})} \sqrt{\overline{i_g^2}} \quad (3.19)$$

$$\sqrt{\overline{i_{out,d}^2}} = \frac{(R_s + sL_g + sL_s + Z_{in})}{(R_s + sL_s + sL_g + Z_{in} + sL_s g_m Z_{in})} \sqrt{\overline{i_d^2}} \quad (3.20)$$

$$\sqrt{\overline{i_{out,Rs}^2}} = g_m \frac{Z_{in}}{(R_s + sL_s + sL_g + Z_{in} + sL_s g_m Z_{in})} \sqrt{\overline{v_s^2}} \quad (3.21)$$

$\overline{i_g^2}, \overline{i_d^2}$ tranzistörün geçit ve kanal gürültü kaynakları (2.85) ve (2.86) eşitliklerinden elde edilen güç spektral yoğunluklarıdır. Girişteki anten gürültüsü $\overline{v_s^2}$, $4kTR_s$ [W/Hz] cinsinden ifade edilmektedir.

Şekil 3.7'deki devrede gösterilen gürültü akım kaynaklarının yönü esas alınarak korelasyon katsayısı $c=j0.395$ olarak (3.22)'deki gibi tanımlanmıştır (Van der Ziel, 1958).

$$c = \frac{\overline{i_g i_d^*}}{\sqrt{\overline{i_g^2}} \sqrt{\overline{i_d^2}}} = j0.395 \quad (3.22)$$

NF denklemi (3.18)'de korelatif terim $\sqrt{\overline{i_g^2}}$ ve $\sqrt{\overline{i_d^2}}$ güç spektral yoğunlukları ve (3.22) denklemi yerine konularak (3.23) elde edilir.

$$\frac{2 \operatorname{Re}\{\overline{i_{out,g} i_{out,d}^*}\}}{\overline{i_{out,Rs}^2}} = 2|c| g_m R_s \sqrt{\frac{\delta \gamma}{5}} \left(\frac{\omega}{\omega_T} \right)^2 \quad (3.23)$$

Gürültü sayısı (3.18)'deki diğer terimler yerine konularak (3.24) yazılabilir (Shaeffer,1999).

$$NF = 1 + \left[\frac{\delta}{5} (1 + Q_L^2) + \gamma + 2|c| \sqrt{\frac{\delta \gamma}{5}} \right] g_m R_s \left(\frac{\omega}{\omega_T} \right)^2 \quad (3.24)$$

Burada δ geçit gürültü katsayısı uzun kanallı MOSFET'ler için 4/3 tür. Kısa kanallı

tranzistörler için 2-4 arası alınabilir (Lee, 1998). Savak akım gürültü katsayısı γ uzun kanallı tranzistörlerde doyma bölgesinde 2/3 tür. Kısa kanallı tranzistörler için 1-2 arası alınmaktadır (Lee, 1998). Tranzistör girişinde kalite faktörü Q_L ise rezonans frekansında (3.25) gibi tanımlanabilir.

$$Q_L = \frac{\omega(L_g + L_s)}{R_s} = \frac{1}{\omega C_{gs} R_s} \quad (3.25)$$

Giriş kalite faktörü eşitliğinin pay ve paydası g_m ile çarpılırsa (3.26) elde edilir.

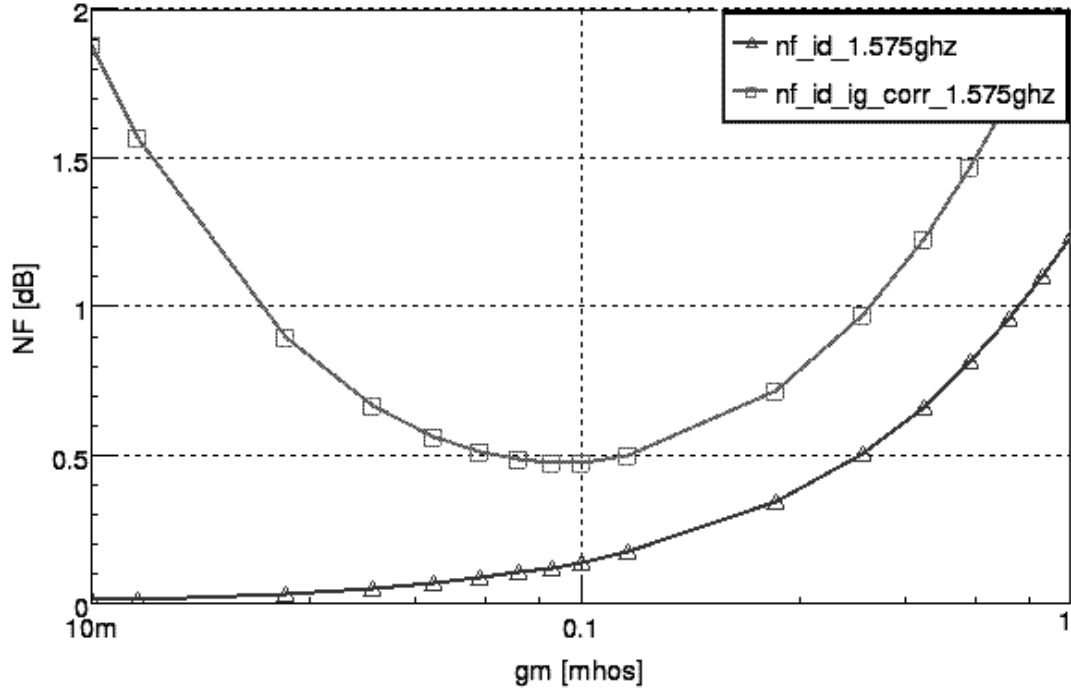
$$Q_L = \frac{\omega_T}{\omega} \frac{1}{g_m R_s} \quad (3.26)$$

Gürültü sayısı NF , sadece teknolojiye ait sabit parametreler $\delta, \gamma, g_m, \omega_T$ ve çalışma frekansı ω ile (3.27) gibi ifade edilebilir.

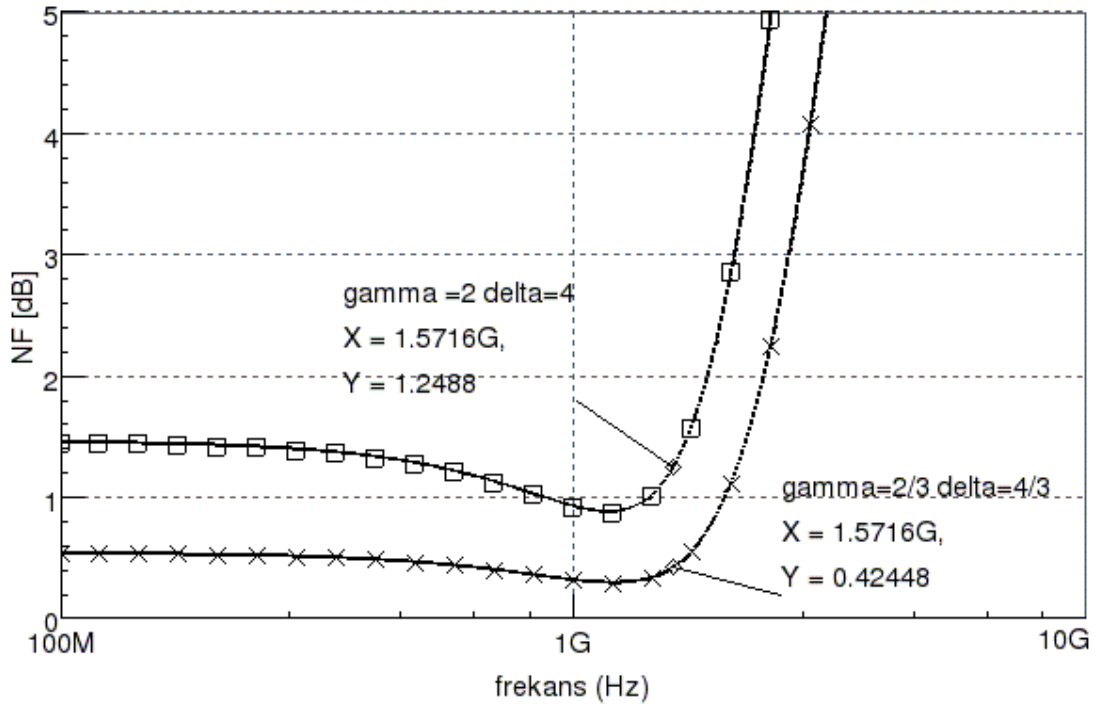
$$NF = 1 + \left[\frac{\delta}{5} + \gamma + 2 \left| c \right| \sqrt{\frac{\delta \gamma}{5}} \right] g_m R_s \left(\frac{\omega}{\omega_T} \right)^2 + \frac{\delta}{5 g_m R_s} \quad (3.27)$$

NF , (3.27)'den görüldüğü gibi $g_m=0$ ve $g_m=\infty$ için ∞ değerini alır. Belirli bir g_m değeri için gürültü sayısı minimum değerini alır. Buradan gürültü sayısını minimum yapan bir tranzistör genişliği bulunabileceği anlaşılır. Şekil 3.9'da sadece kanal gürültüsünün modellendiği durumda g_m arttıkça gürültü sayısı da artmaktadır. Minimum gürültü g_m sıfıra giderken yani güç sıfıra giderken bulunur. Bu sonuç deneysel verilerden uzaktır ve yapılan modellemenin yeterli olmadığını göstermektedir. Geçit gürültüsünün modele katılması halinde gm 0.1mhos için bir minimum noktası görülmektedir. Sadece kanal direncinin modellendiği durum ile geçit gürültüsünün modellemeye katıldığı durumda, NF 'in g_m 'e göre değişimleri Şekil 3.9'da verilmiştir. Simülasyonda (3.27) denklemi kullanılarak γ, δ katsayıları uzun kanallı tranzistörler için sırasıyla 2/3 ve 4/ 3 olarak alınmıştır.

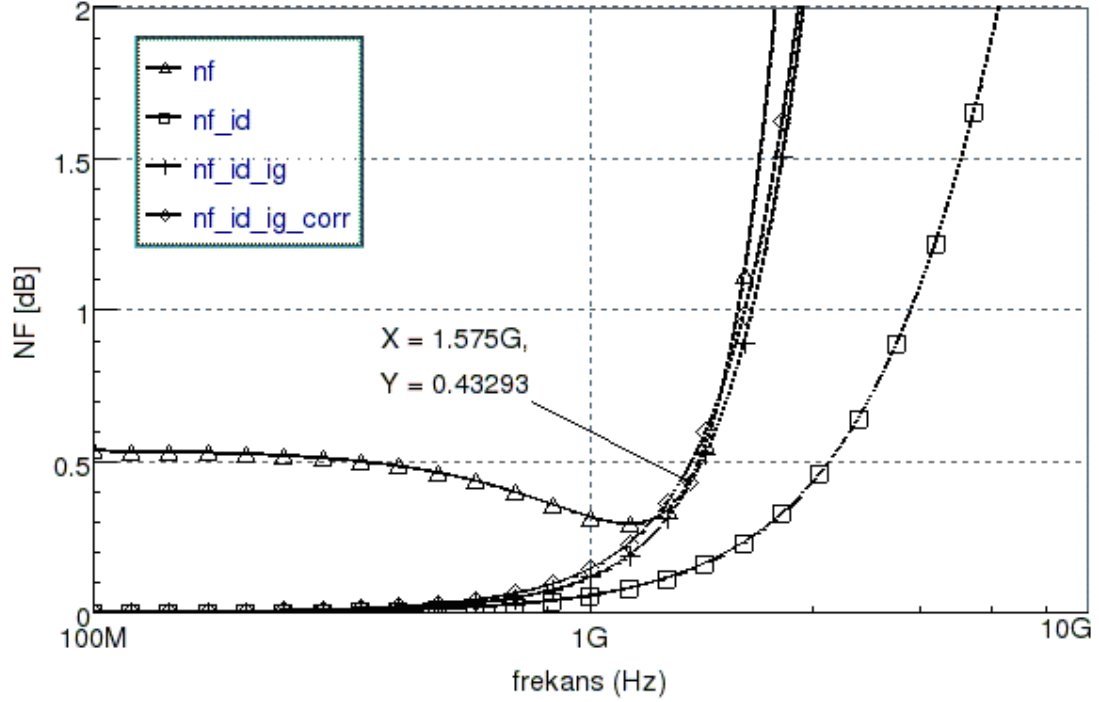
Gürültü sayısı (3.27)'den teknolojiye bağlı olarak uzun ve kısa kanallı tranzistörlerde farklı değerler alan δ ve γ parametrelerine bağlıdır. Şekil 3.10'da kısa kanallı bir tranzistörde δ ve γ katsayılarının 3 katına çıktığı düşünülerek $\delta=4$ ve $\gamma=2$ için NF simülasyonu yapılmıştır. Böyle bir kısa kanallı tranzistör için gürültü hesabında yapılan hata görülmektedir. 1.575GHz için yapılacak hata 1dB olarak bulunmaktadır. Bu hata δ ve γ 'nin daha büyük değerleri için artacaktır.



Şekil 3.9 Gürültü sayısının ortak kaynaklı DGK topolojisi için kanal gürültüsü modellenerek ve geçit gürültüsü modele dâhil edilerek, geçiş iletkenliği ile değişimi



Şekil 3.10 Kısa kanallı tranzistör için δ ve γ gürültü katsayılarının NF 'e etkisi

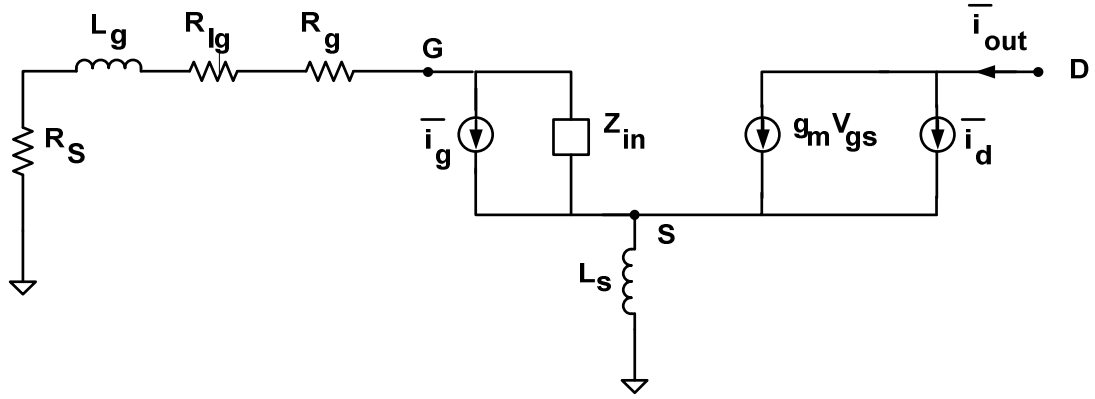


Şekil 3.11 Gürültü modellerinin karşılaştırılması

Şekil 3.11’de gürültü modellerinin karşılaştırılması yapılmaktadır. Şekil 3.11’de verilen devrenin dağılmış tranzistör modeli ile gürültü sayısı NF eğrisi ile gösterilmiştir. Diğer NF_id, NF_id_ig ve NF_id_ig_kor eğrileri (3.18)’den (3.27)’e türetilen gürültü sayısı formüllerinden faydalanılarak çizdirilmiştir. Kaynak dejenerasyonlu devre için sadece kanal gürültüsünün modellendiği durum NF_id, geçit gürültüsünün de modele dahil edildiği durum NF_id_ig ve aralarındaki korelasyonun da modellendiği durum NF_id_ig_kor ile gösterilmiştir. NF_id (3.18)’de çıkarılan gürültü sayısı formülünde sadece $\overline{i_{out,d}^2}$ ’li terim için hesaplanarak çizdirilmiştir. NF_id_ig eğrisi $\overline{i_{out,g}^2}$ terimi de hesaba dahil edilerek, son olarak NF_id_ig_kor eğrisi korelasyon terimi hesaba dahil edilerek çizdirilmiştir. Şekil 3.11’deki devrenin $g_m=100\text{mS}$, ω_T ’nin de çalışma frekansımız $2\pi \times 1.575\text{GHz}$ ’den çok büyük kabul edilebileceği $2\pi \times 15.75\text{GHz}$ kabul edilerek gürültü analizi yapılmıştır. Kaynak dejenerasyonlu devrenin girişi 1.575GHz ’de rezonansa gelecek ve 50 Ohm giriş empedansını sağlayacak şekilde sağlanmıştır. Şekil 3.11’de 1.575GHz ’de NF ve NF_id_ig eğrilerinin çakıştığı görülür. Gürültü sayısı formülü, çalışma frekansında giriş empedans uyumlaştırılması yapılarak türetilmiştir. Bu yüzden Şekil 3.11’de eğriler bütün frekanslar için örtüşmemektedir.

Şekil 3.7’de verilen devrede geçit elektrotu direnci R_g ve geçit endüktörü iç dirençleri R_{lg} de

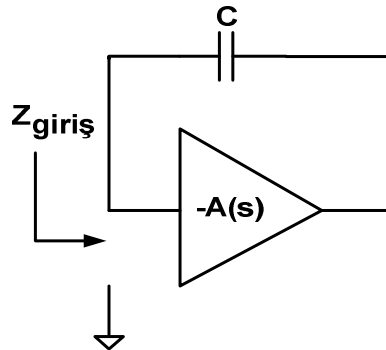
gürültü sayısı hesabına dahil edilirse NF (3.28) gibi yazılabilir. Şekil 3.12’de gürültü hesabı için kullanılan devre verilmiştir.



Şekil 3.12 Geçit endüktansının öz direnci ve geçit elektrodunun direncinin gürültü modeline dahil edilmesi ile oluşan endüktans dejenerasyonlu gürültü modeli

$$NF = 1 + \frac{R_{lg}}{R_s} + \frac{R_g}{R_s} + \left[\frac{\delta}{5} + \gamma + 2|c| \sqrt{\frac{\delta\gamma}{5}} \right] g_m R_s \left(\frac{\omega}{\omega_T} \right)^2 + \frac{\delta}{5g_m R_s} \quad (3.28)$$

Tasarımlarda L_g endüktörünün değeri 1.575GHz için 10-15nH arasında bulunmaktadır. Örneğin $L_g=10$ nH için $Q=10$ olacak şekilde endüktörün gerçekleştirildiği düşünülürse $R_{lg} \approx 10$ bulunur. Bu direncin devrenin NF 'ine katkısı $10 \times \log(1+10/50)=0.8$ dB olarak bulunur. İç direncin çok daha küçük olması için endüktör kırmık dışında yüksek kalitede gerçekleştirilerek NF 'de iyileşme sağlanabilir.



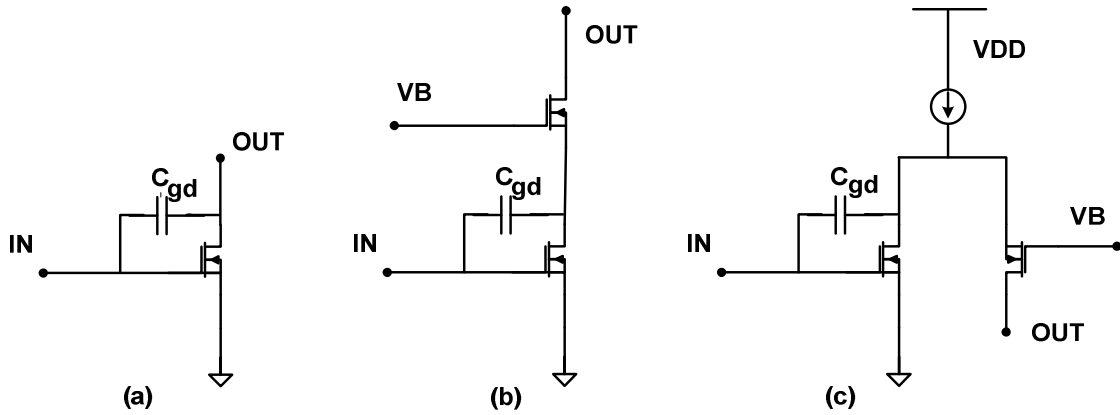
Şekil 3.13 Miller Kapasitesi

Bir kuvvetlendiricinin çalışabileceği frekans en genelde o devrede kullanılan MOSFET'lerin

kesim frekansı ile sınırlıdır. MOSFET'in geri besleme kapasitesi C_{gd} , Miller etkisi ile giriş kazanç ile çarpılarak gelir ve devrenin çıkabileceği en yüksek frekansı belirleyen baskın kutbu oluşturur. Şekil 3.13'de ve (3.29)'da Miller kapasitesi ve girişte oluşturacağı empedans verilmiştir.

$$Z_{in} = \frac{1}{sC[1 + A(s)]} \quad (3.29)$$

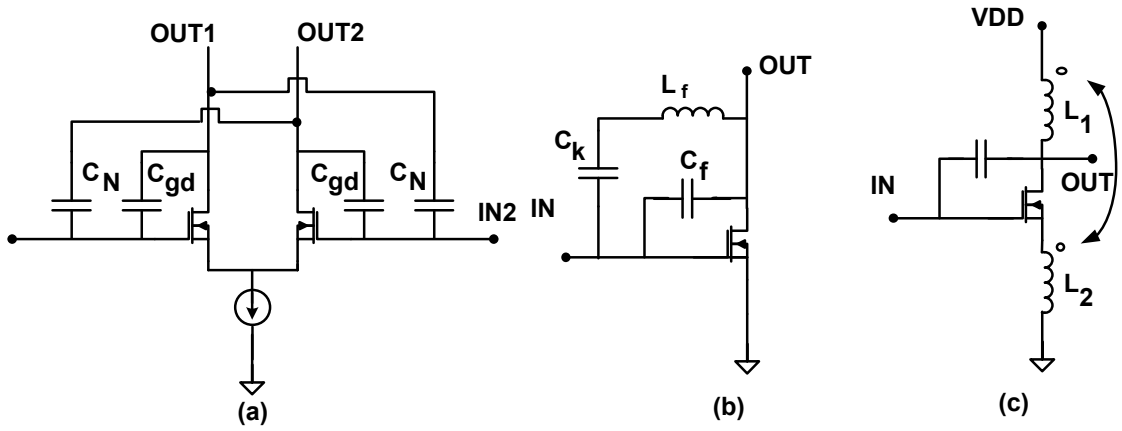
Miller etkisinden kurtulmak yüksek frekanslı devreler için önemlidir. Bu amaçla kullanılan bazı topolojik yöntemlerden bahsedelim. En çok kullanılan yöntem kaskod yapısıdır. Kaskod yapıda kuvvetlendiricide yük olarak ortak geçitli bir MOSFET kullanılır. Giriş katında kazanç daha küçük tutularak Miller etkisinin azaltılması amaçlanır. Asıl kuvvetlendirme kaskod katta yapılır. Kaskod yapılar devrede ihtiyaç duyulan besleme gerilimini artırır bununla beraber devrenin çıkışından girişine görülen direnç arttığı için izolasyonun iyileşmesini sağlar. Şekil 3.14'de normal ve katlanmış kaskod yapıların uygulanışı görülmektedir.



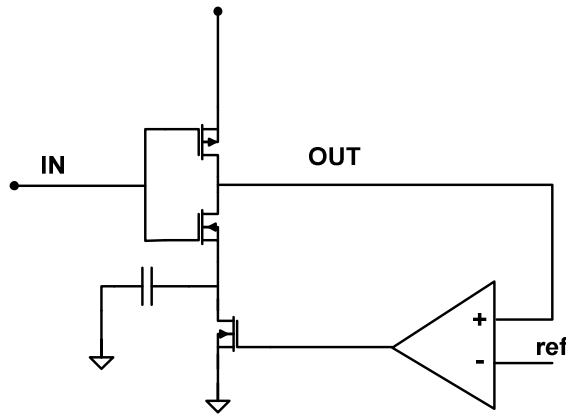
Şekil 3.14 a- C_{gd} kapasitesi ve MOSFET b- Kaskod Kuvvetlendirici c- Katlanmış Kaskod Kuvvetlendirici

Şekil 3.15'de diğer literatürde yer almış yöntemleri göstermektedir. Şekil 3.15 (a)'da farksal nötürleştirme yönteminde farksal çıkışlardan C_{gd} 'ye eşit C_N kapasiteleri ile pozitif geri besleme yaparak C_{gd} 'den akan akımlar sıfırlanmaya çalışılmaktadır. Gerek farksal devreden kaynaklanan gerekse C_N kapasitelerinin birebir eş olmamaları doğru bir nötürleştirmenin yapılmasını engeller. Ayrıca pozitif geri besleme devrenin kararlılığını bozabilir. Şekil 3.15 (b)'de ise paralel bağlanan endüktans ile C_{gd} kapasitesinin etkisi azaltılmaya çalışılmıştır. Pratikte C_{gd} kapasitesi düşük olduğundan gerekli endüktans değeri çok yüksek olmaktadır ve

kırmık içerisinde gerçekleşmesi mümkün değildir. Şekil 3.15 (c)'de transformatör geri beslemeli kuvvetlendirici gösterilmiştir. Bu uygulamada yükte ve kaynakta bulunan endüktanslar arasındaki karşılıklı endüktans yardımı ile negatif geri besleme yapılarak C_{gd} kapasitesi kompanse edilir. Geri beslemeden dolayı doğrusallık artar. Ayrıca besleme gerilimi de düşüktür. Diğer geri besleme yöntemlerinden daha az gürültü sağlar (Cassan vd., 2003). Yük ve kaynaktaki endüktanslar simetrik yığın transformatör olarak yapılırsa DGK kırmıkta daha az alan kaplar fakat kırmık içinde tasarlanan transformatörlerin arasındaki çevirme oranı net olarak simülasyonu yapılamadığından pek tercih edilmez.



Şekil 3.15 a- Farksal nötürleştirme b- Rezonans geri besleme c- transformatör geri besleme

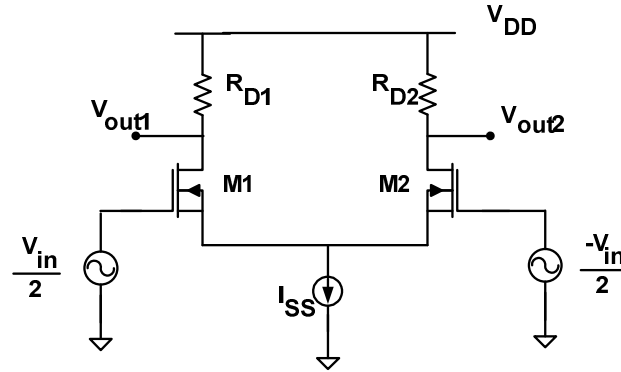


Şekil 3.16 Akımı tekrar kullanma yöntemi

Düşük güç tüketimi için düşük beslemeli yapılar tercih edilebilir. Bunlardan birisi Şekil 3.15 (c)'de verilen devredir. Bir tane MOSFET kullanılarak besleme geriliminin düşük olması

sağlanmıştır. Katlanmış kaskod yapı başka bir alternatif olarak görülebilir. Şekil 3.16'da ise akımı tekrar kullanma yöntemi kullanılmıştır. Belirli bir I_D akımı için elde edilen g_m iki katına çıkarmak için aynı n tipi MOSFET p tipi olarak Şekil 3.16'da olduğu gibi bir evirici yapısı oluşturacak şekilde yapılır. Bu sayede aynı akım harcanarak 2 kat daha fazla g_m elde edilebilir (Karanicolas, 1996). Bu yapıda doğrusallık daha iyileşmiştir fakat devre izolasyonu kötüdür ve izolasyonun iyileşmesi için şekildeki yapıdan iki kat kullanılmıştır.

DGK'larda devre topolojileri farksal yapılar olarak seçilmektedir. Farksal yapılarda çıkış gerilim dinamik mesafesi iki katına çıkmaktadır. Çünkü işaretin yarısı giriş farksal tranzistörlerinden birisine diğer yarısı öteki tranzistöre uygulanmaktadır. Şekil 3.17'de farksal devreler tek simetrik oldukları için ikinci dereceden harmoniklerin çıkışta birbirini götürmesine neden olur ve doğrusallık başarımı artar. Ayrıca ortak işaret çıkışta yok edildiği için, tabandan gelen veya devrenin diğer kısımlarından gelen gürültülerin katkısı az olur. Farksal yapılarda serim çok önemlidir. Çünkü kırmık içindeki parametre değişimleri ve serimdeki asimetri devrenin farksal davranışını etkilemektedir.



Şekil 3.17 Farksal devre yapısı

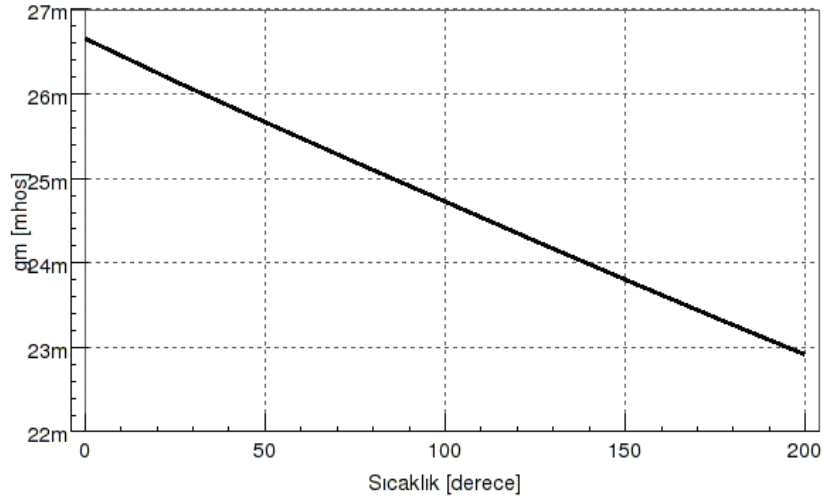
3.2 Sıcaklığın Gürültü Sayısına Etkisi

Gürültü eşitlikleri çıkartılırken devrenin tamamının aynı sıcaklıkta bulunduğu düşünülür. Aslında bu varsayım doğru değildir. Yüksek frekans uygulamalarında kuvvetlendiricimizin giriş direncini oluşturan anten kırmık dışında genelde baskı devre üzerinde veya hariçten anten takılarak gerçekleştirir. Bu durumda anten devrenin bulunduğu ortamın sıcaklığında bulunurken kuvvetlendirici kırmık üzerinde harcanan gücün ortaya çıkardığı daha yüksek sıcaklıklara erişir. Tranzistör kanallarında harcanan güç çok küçük bir hacime sıkıştığı için burada sıcaklığın anormal bir şekilde artmasına neden olabilir.

T_s antendeki sıcaklık, T_k kırmık içindeki sıcaklık olarak alınırsa ortak kaynaklı endüktans dejenerasyonlu devre için yazılmış olan (3.28) gürültü eşitliği (3.30)'deki gibi yazılabilir. Burada direnç değerlerinin sıcaklık değişiminden etkilenmediği, ayrıca gürültü katsayıları δ_k , γ_k , geçiş iletkenliği $g_{m,k}$, kesim frekansı $\omega_{T,k}$ 'nın T_k sıcaklığındaki değerleri ve T_k etrafındaki küçük sıcaklık değişimleri için sabit kaldığı kabul edilmiştir.

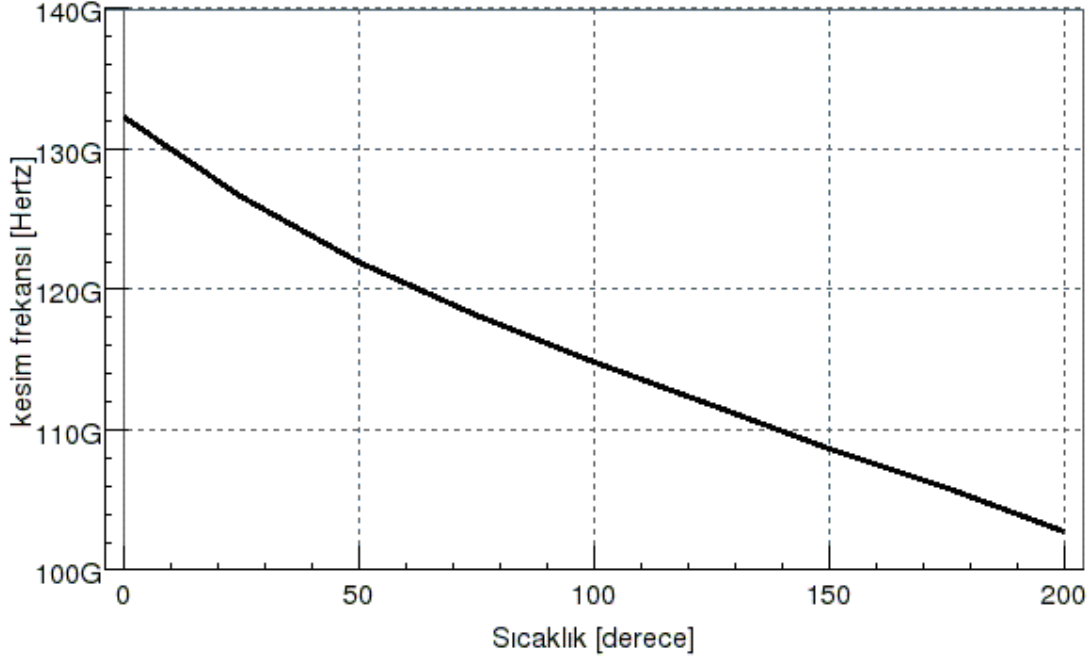
$$NF = 1 + \left(\frac{T_k}{T_s} \right) \left[\frac{R_l}{R_s} + \frac{R_g}{R_s} + \left[\frac{\delta_k}{5} + \gamma_k + 2 \left| c \sqrt{\frac{\delta_k \gamma_k}{5}} \right| \cdot g_{m,k} R_s \left(\frac{\omega}{\omega_{T,k}} \right)^2 + \frac{\delta_k}{5} \frac{1}{g_{m,k} R_s} \right] \right] \quad (3.30)$$

Görüldüğü gibi sıcaklık farkı gürültünün artmasına neden olmaktadır. Antenin oda sıcaklığında (25 C°) olduğunu varsayarsak, kırmık içindeki sıcaklığın bunun iki katına çıkması, oda sıcaklığında 1.76 dB bulunan NF 'in 3dB ye çıkmasına neden olur.



Şekil 3.18 Geçiş iletkenliği g_m sıcaklık ile değişimi

Ayrıca devredeki diğer elemanların da gürültüye sıcaklık artışı sebebiyle yaptığı katkı incelenmelidir. Devredeki dirençlerin gürültüye katkısı sıcaklık ile artar fakat bu artış tranzistörlerin getireceği katkıya nazaran daha az olmaktadır. Tranzistörlerin γ ve δ gibi gürültü katsayılarının sıcaklıkla değişimi net olarak bilinmemektedir. Şekil 3.18'de ve Şekil 3.19'da tranzistörün g_m ve ω_T parametrelerinin sıcaklık ile değişimleri grafiksel olarak verilmiştir. Bu değişim esas olarak kanaldaki mobilitenin, artan sıcaklık ile düşmesinden kaynaklanmaktadır. Bununla birlikte tranzistör eşik gerilimindeki değişimler, kutuplamalardaki değişimler de etkili olmaktadır.



Şekil 3.19 Kesim frekansının sıcaklık ile değişimi

Tranzistör parametreleri g_m ve ω_T 'nin sıcaklıkla olan yüzde değişimi devredeki gürültüyü artıracaktır.

Bu aşamada devrenin çalışma sıcaklığının bulunması önem kazanmaktadır. Devrenin ısınmasının sebebi devrede sarf edilen gücün ısı olarak açığa çıkmasıdır. Isı, termodinamik prensiplerine göre devre içine doğru yayılır. Bu açığa çıkan ısı sıcaklığın artmasına dolayısıyla ortamın elektriksel özelliklerinin değişmesine neden olur. Devrelerin paketlenmesi, soğutulması ve doğru olarak simülasyonunun yapılmasında bu sıcaklığın belirlenmesi önemlidir. Devrede sıcaklık dağılımı (3.31)'de verilen ısı transferi denklemi ile elde edilir (Yang vd., 2006). Burada T zaman bağlı sıcaklık, ρ maddenin yoğunluğu, C_p ısı sığası, κ ısıl iletkenlik ve g birim zamanda üretilen ısı enerjisidir. Konum vektörü $\vec{r}$ ile zaman t ile gösterilmiştir.

$$\rho C_p \frac{\partial T(\vec{r}, t)}{\partial t} = \nabla \cdot [\kappa(\vec{r}, t) \nabla T(\vec{r}, t)] + g(\vec{r}, t) \quad (3.31)$$

Birim hacim için düşünülürse eşitliğin solunda kalan terim, $\frac{dE}{dt} = \int \rho C_p \frac{\partial T}{\partial t} dV$ sıcaklık artışına neden olan depo edilen ısı enerjisi değişimi, sağdaki ilk terim hacmin bütün

yüzeylerinden iletilen ısı $Q = \int \kappa \nabla T \cdot d\vec{A} = \int \nabla \cdot [\kappa \nabla T] dV$, ve son terim ise bu hacimde üretilen ısı $Q_p = \int g dV$ 'dir (Yang vd., 2006).

Isıl olaylar ve elektriksel olaylar benzer diferansiyel denklemler ile ifade edildiğinden aralarında Çizelge 3.2'deki gibi bir ilişki kurulabilir. Dolayısıyla bir maddenin ısı devresi kurulabilir. Bu şekilde modelleme, ısı olayının daha iyi anlanmasında yardımcı olur.

Çizelge 3.2 Isıl ve elektriksel benzeşim

V [V] Gerilim	T [°C] Sıcaklık
I [A] Akım	Q [W] Isı akımı
σ [1/Ω.m] Elektriksel İletkenlik	κ [W/°C.m] Isıl İletkenlik
R [Ω] Direnç	R [°C/W] Isıl Direnç
C [F] Kapasite	C [J/°C] Isıl Kapasite

Isı genel olarak iletim, ısıtım ve yayılım olmak üzere üç çeşit yolla yayılır. Bununla ilgili olarak ısıtımın yayılım şekline göre ısı direnç hesaplaması Çizelge 3.3'de verilmiştir. Isı madde içinde bu yolların herhangi bir kombinasyonu ile yayılır.

İletim yayılımında, ısı yüksek sıcaklıklı ortamdan düşük sıcaklıklı ortama moleküler etkileşim ile yayılır. Elektronların diffüzyonu bu tip ısı yayılımına örnektir. İletim genelde katılarda özellikle metallerde meydana gelir. Isıl direnç formülü, elektriksel direnç formülü ile aynı yapıdadır. Isıl iletkenlik κ [W/°C.m], kesit alanı A ve ısıtımın bu kesitte aldığı yol L ile belirtilir.

Isı akışkan bir ortam vasıtası ile yayılıyorsa buna taşınım denir. Isınan parçacıkların daha soğuk noktalara ilerlemesi ile meydana gelir. Bu tip yayılım akışkan maddelerde yanı sıvı ve gazlarda olur. Bir yüzeyde ısınan havanın genişlerken yükselmesi ve yerini daha soğuk havaya bırakması ve bunun tekrarlanması ile oluşan ısı yayılımı taşınım örnektir. Doğal taşınım ve zorlanmış taşınım olmak üzere iki tip taşınım vardır. Zorlanmış taşınım, yapay yollarla

örneğin pervaneler, pompalar kullanılarak taşınım döngüsü oluşturularak ısı yayılımı sağlanmasıdır. Isıl direnç formülündeki h_T [$W/^\circ C.m^2$] ısı iletim katsayısı maddenin özelliği değildir. Maddenin geometrisi, akışkanın özellikleri, hızı, sıcaklığı; zorlanmış taşınım için vantilasyon değerleri gibi ortamın özelliklerine bağlıdır. Tamamen deneysel yöntemlerle bulunur. Durağan hava doğal taşınım için ısı iletim katsayısı 3-12 [W/m^2K] olarak verilmektedir (Lau vd., 1998).

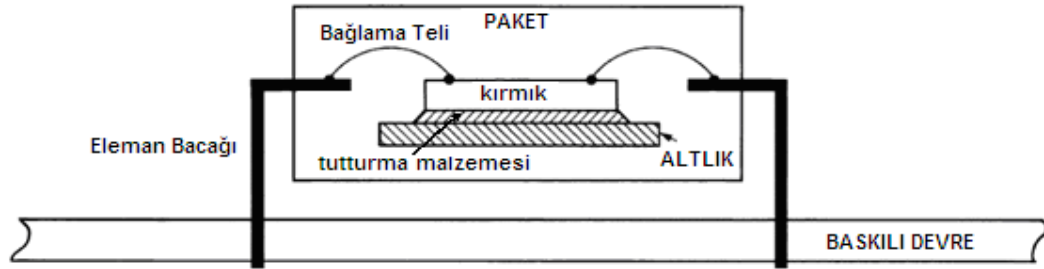
Çizelge 3.3 Isıl transfer modelleri ve ısı direnç formülleri

Isı yayılım yöntemi	Isıl Direnç
İletim	$\frac{L}{\kappa A}$
Taşınım	$\frac{1}{h_T A}$
İşınım	$\frac{1}{h_I A}, \quad h_I = \epsilon \sigma A (T_a + T_o)(T_a^2 + T_o^2)$

İşınım yolu ile ısı iletimi her ortamda olur. Maddeler yayınma kuvveti ϵ ile doğru orantılı elektromanyetik yayınım yaparlar. Bir madde sıcaklığına, bulunduğu ortamın sıcaklığına, rengine gibi özelliklere bağlı olarak değişik dalga-boylarında işınım yapar. İşınım için ısı iletim katsayısı h_I [$W/^\circ C.m^2$], yayınım kuvveti ϵ , Stefan-Boltzman katsayısı σ ($5.67e-8 \text{ Js}^{-1}m^2T^{-4}$), işınım yüzeyi A , yüzey sıcaklığı T_a , dış ortam sıcaklığı T_o değerleri ile tespit edilebilir.

Tümleşik devreler üretildikten sonra çeşitli donanımlarda kullanılmak üzere paketlenirler. Şekil 3.20’de genel olarak paketlenmiş bir tümleşik devre gözükmektedir. Kırmık bir metal altlık üzerine tutturularak paket içine yerleştirilmiştir. Bağlama telleri ile devrenin giriş çıkışları paket bacaklarına bağlanmıştır. Paket bacakları ile elektronik eleman baskı devreye yerleştirilir. Tabanı metal altlığa tutturmak için genel olarak bir çeşit yapıştırıcı olan epoksi maddesi kullanılmaktadır. Epoksi maddesinin ısı direncinin yüksek olması nedeni ile artık terk edilen bir uygulama olmuş; onun yerine taban preformlar (SnAu, InAu gibi ötektik alaşımlar) altlığa lehimlenerek tutturulmaktadır. Altlık istenilen soğutma şartlarına bağlı

olarak çeşitli alimünyum ve bakır alaşımları olarak seçilmektedir. Bağlama telleri ise genel olarak altın iletkenler olarak kullanılır. Paket malzemesi ise maliyeti ve yaygınlığı nedeniyle plastiktir. Bu malzemelere ait ısı iletkenlikleri Çizelge 3.4’de verilmiştir (Harper, 1997).



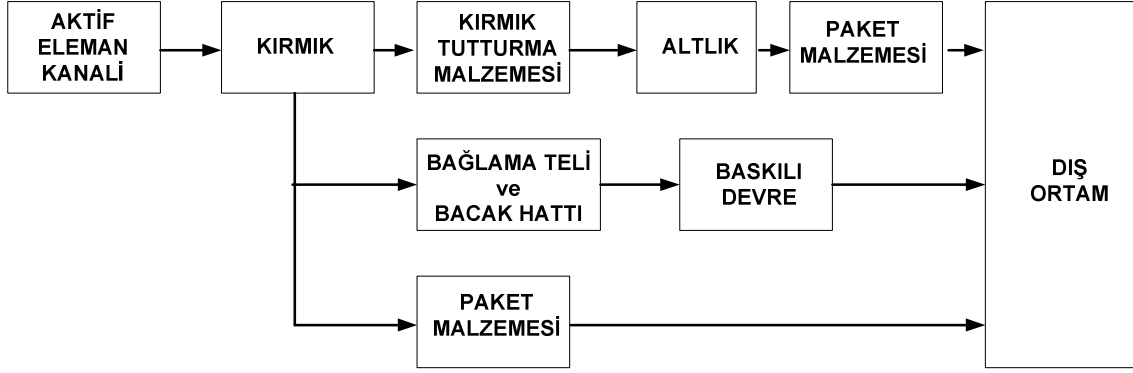
Şekil 3.20 Paketlenmiş tümleşik devre kesiti

Çizelge 3.4 Elektronik sistemlerin ısı modellemesinde kullanılan bazı maddelerin 27°C de ısı iletkenlikleri

Madde	Isıl İletken [W/°C.m]	Madde	Isıl İletken [W/°C.m]
Epoksi (iletken)	0.35-0.87	Alimünyum1100H18	218
Epoksi (dielektrik)	0.23	Silikon	118
Politetrafloritelen	0.24	Bakır	395
Hava	0.026	Mika	0.71

Kırmaık üzerindeki devreden yayılan gücün izlediği yol Şekil 3.21’de belirtilmiştir. Güç ara-bağlantı hatlarından SiO₂ ye ve oradan ısınım ile kırmaığın üst yüzeyinden paket içine yayılabilir. Bunun dışında devredeki ara-bağlantılar, bağlantı telleri ve paket bacaklarından geçerek baskı devre üzerine yayılabilir. Ancak devredeki güç daha çok tabandan, devre altlığına doğru yayılır (Bielefeld vd., 1995). Bu yayılım paket üreticileri (3.32)’de belirtildiği şekilde formülize edilmiştir. T_K [°C] tranzistör kanal bölgesindeki sıcaklık, T_o [°C] dış ortamın sıcaklığı, P_D [W] devrede harcanan toplam güç, θ_{KA} [°C/W] paketin dış ortamdan tranzistör kanal bölgesine kadar olan ısı iletkenliği. Örnek olarak $\theta_{KA}= 62.5$ °C/W olan bir pakette devredeki tranzistörlerin en fazla 150°C de çalışması isteniyorsa, bu devrenin oda sıcaklığı 25°C de 2W güç tüketmesi gerekmektedir. Isının Ohm kanununu temsil eden

(3.32)'den yararlanarak; devredeki ısınn etrafa tek boyutlu bir şekilde yayıldığını düşünürsek, bir başka deyişle paket ve kırmık yanal yüzeylerinin ısı geçirmez kabul edersek, devrenin sıcaklığını yaklaşık olarak tahmin edebiliriz. Daha detaylı analizler için ısı transferi farksal denklemlerini 3-boyutlu ortam için çözmeliyiz (Wang vd., 2004).

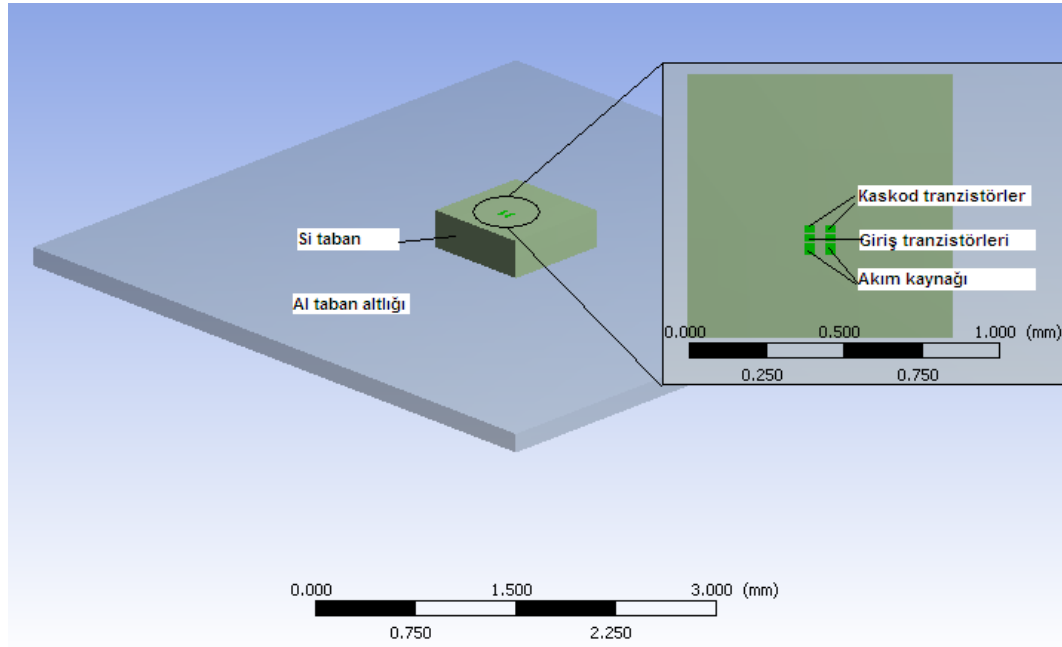


Şekil 3.21 Devredeki ısınn yayılım akışı

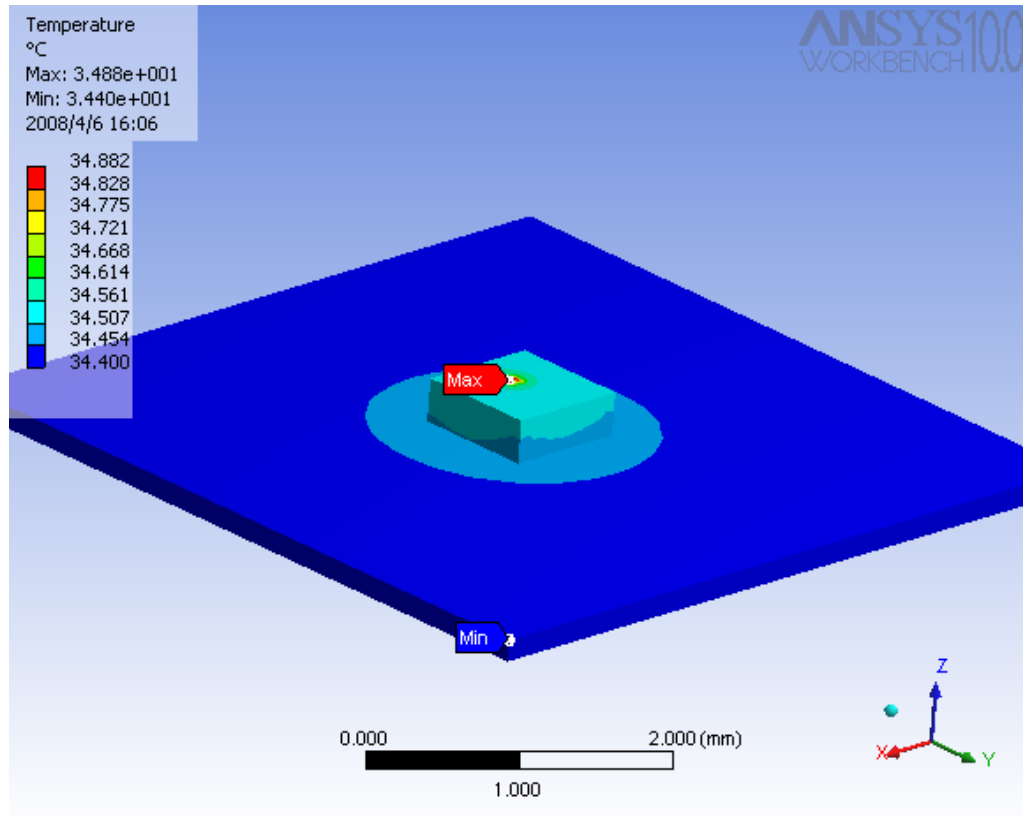
$$T_K = T_o + P_D \cdot \theta_{KA} \quad (3.32)$$

Elektronik sistemlerde ısı transferini modellemeyi zorlaştıran diğer bir unsur artan sıcaklıkla devrenin elektriksel özelliklerinin değişmesi ve dolayısıyla sıcaklığın artmasının nedeni olan güç tüketiminin değişmesidir. CMOS devreden atılan ısınn gücün devreye verilen güce eşit olduğu sıcaklıkta sistem ısınn dengeye gelecektir. Devrelerin hem elektriksel hem ısınn modellemesinin beraber yapılması ve beraber simülasyonu yapılabilmesi için çeşitli araştırmalar yapılmıştır (Lee vd., 1993; Wolbert vd.,1994; Veijola vd., 1995, 1997; Yang vd., 2006).

Devrenin konulacağı paket ANSYS programı yardımı ile modellenerek devrenin çıkabileceği sıcaklık belirlenmiştir. DGK devresi 850um x 850um Si tabanda gerçekleştirildiğinde, taban altlığı olarak 5mm x 5mm Alimünyum alaşım kullanıldığında elde edilen geometri ve Si taban üzerinde devre bloklarının yerleri Şekil 3.22'de verilmiştir.

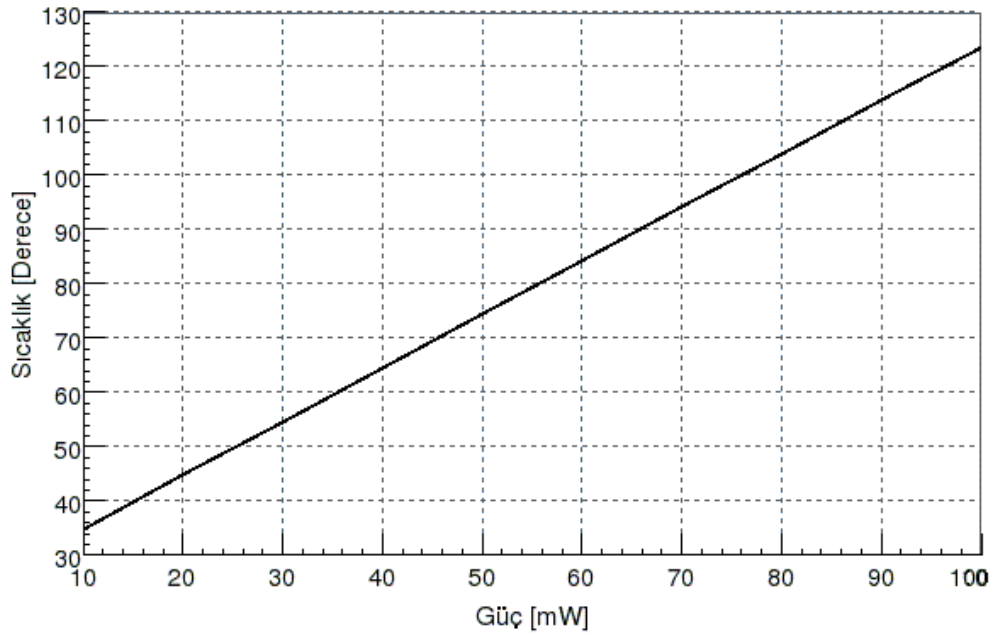


Şekil 3.22 DGK 3-boyutlu model



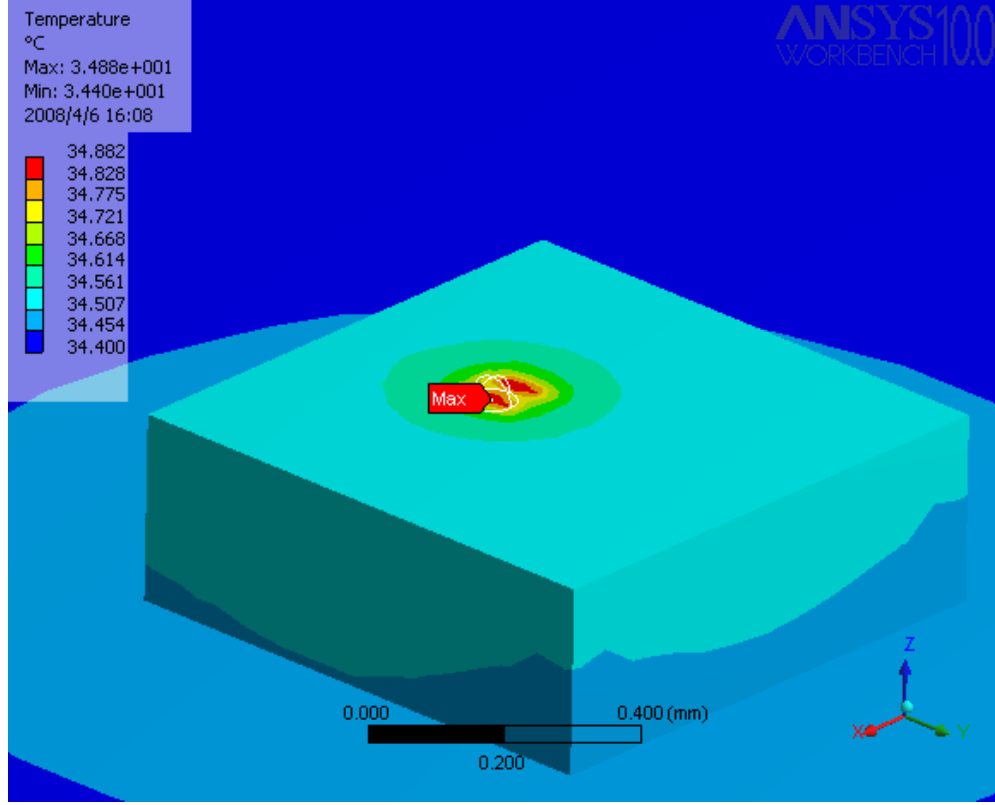
Şekil 3.23 DGK sonlu-eleman ısı simülasyon sonucu ($T_{dış\ ortam}=25^{\circ}C$)

Si taban yanal alanları ve Al altlığın içinde kalan alanlar durağan hava taşınımı ile soğuduğu, Alimünyum altlığın alt yüzeyinin oda sıcaklığında (25°C) taşınım ile soğuduğu ve devrenin 10mW güç tükettiği düşünülerek yapılan sonlu-eleman modelleme simülasyon sonuçları Şekil 3.23 ve Şekil 3.25’de verilmiştir. Simülasyon sonuçlarında 10mW gücün kırmığı ısıtmak için çok fazla olmadığı görülmektedir. Sadece DGK’dan oluşan tümleşik devremizde kırmık içindeki en yüksek sıcaklık yaklaşık 34°C bulunmuştur. Şekil 3.24’de ise artan güç ile kırmık içerisindeki sıcaklık görülmektedir. Artan güç ile devredeki sıcaklık doğrusal olarak değişmektedir. Bu doğrusallık artan ısının taban yanal alanlarından ve altlık yüzeyinden daha çok yayılması ile bozulacaktır.



Şekil 3.24 Artan güç ile kırmık içerisindeki sıcaklık değişimi

Alıcı devrelerinde DGK bir alt blok olarak yer alır. Bu durumda devre içinde yer bloklar birbirlerinin ısı etkilerine de maruz kalırlar. Bu durumda tüm sistemin birlikte ısı analizi yapılmalıdır. Böyle bir durumun olduğu Derek Shaeffer'in (1999) küresel konumlandırma sistemi alıcı devresinin ısı analiz sonuçları yapılmış ve EK1’de verilmiştir.



Şekil 3.25 Ayrıntılı DGK sonlu-eleman ısı simülasyonu sonucu ($T_{dış ortam}=25^{\circ}\text{C}$)

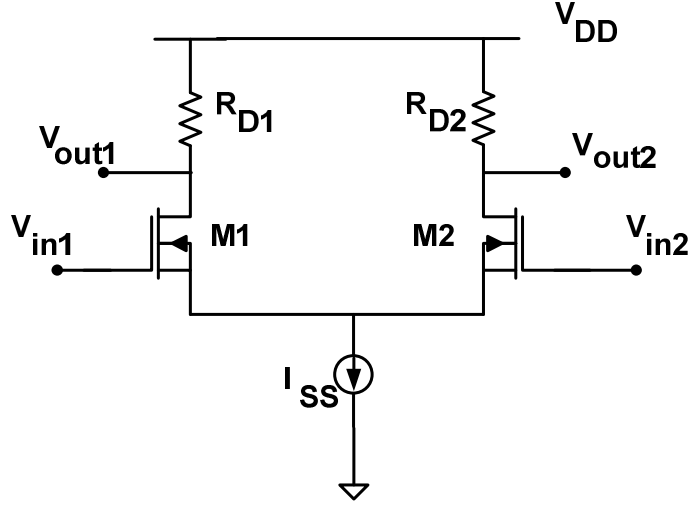
3.3 Doğrusallık için Tranzistör Genişliği Belirlenmesi

DGK tasarımlarında doğrusallık analizi için genellikle izlenen yol devrenin tasarımından sonra bölüm 2.2.3’de bahsedilen 1dB bastırım noktası ve bölüm 2.2.6’da bahsedilen üçüncü dereceden çakışma noktası değerlerinin simülasyonlarla bulunmasıdır. Devre istenen şartları sağlamaz ise, devrenin gücü, tranzistörlerin boyutları ile oynayarak tekrardan simülasyona gidilir. Bu bölümde tasarım bitmeden istenen doğrusallık şartlarını sağlamayı garanti eden uzun kanallı bir tranzistör için boyutların belirlenmesi anlatılmaktadır.

Tasarımda kullanılan farksal yapı Şekil 3.26’da gösterilmiştir. Bu yapı için büyük işaret davranışı uzun kanallı tranzistörler için geçerli akım gerilim denklemleri kullanılarak (3.33) eşitliği elde edilir (Razavi, 2001). Burada I_{D1} ve I_{D2} farksal yapının her kolundaki akımı ifade eder ve $I_{D1}-I_{D2}$ farksal çıkış akımıdır. V_{giris} devrenin girişinden uygulanan farksal gerilimdir.

$$I_{D1} - I_{D2} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} V_{giris} \sqrt{4(V_{GS} - V_{TH})^2 - V_{giris}^2} \quad (3.33)$$

$V_{giris} \ll V_{GS} - V_{TH}$ için eşitlik yaklaşık olarak (3.34) gibi yazılabilir.



Şekil 3.26 Farksal kuvvetlendirici yapısı

$$I_{D1} - I_{D2} \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} V_{giris} (V_{GS} - V_{TH}) \left[1 - \frac{V_{giris}^2}{8(V_{GS} - V_{TH})^2} \right] \quad (3.34)$$

$$= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \left[V_m \cos \omega t - \frac{V_m^3 \cos^3 \omega t}{8(V_{GS} - V_{TH})^2} \right] \quad (3.35)$$

Girişe $V_m \cos \omega t$ küçük işareti uygulanırsa (3.35) ve $\cos^3 \omega t = [3 \cos \omega t + \cos(3\omega t)]/4$ şeklinde açılarak (3.36) elde edilir.

$$I_{D1} - I_{D2} = g_m \left[V_m - \frac{3V_m^3}{32(V_{GS} - V_{TH})^2} \right] \cos \omega t - g_m \frac{V_m^3 \cos(3\omega t)}{32(V_{GS} - V_{TH})^2} \quad (3.36)$$

1dB bastırım noktası için (2.28)'de verilen tanımdan yola çıkılarak (3.37) eşitliği bulunur (Razavi, 1998). Burada A_{1dB} 1dB bastırım olduğunda girişten uygulanan işaretin genliği, α_1 ilk harmonik katsayısı, α_3 üçüncü dereceden harmonik katsayısıdır.

$$A_{1dB} = \sqrt{0.145 \left| \frac{\alpha_1}{\alpha_3} \right|} = \sqrt{0.145 \left| \frac{g_m}{g_m/8(V_{GS} - V_{TH})^2} \right|} \quad (3.37)$$

Farksal yapı için harmonik katsayıları $\alpha_1 = g_m$, $\alpha_3 = g_m/8(V_{GS} - V_{TH})^2$ bulunur. Buradan A_{1dB} genliği (3.38) gibi ifade edilir. Şekil 3.26'daki devre için kuyruk akımı denklemi (3.39) yazılırsa ve (3.38)'in yardımı ile seçilecek tranzistör genişliğinin istenen doğrusallık şartlarını

sağlaması için (3.40) gibi seçilmesi gerektiği görülebilir. Bastırma oranını sağlayan devre, şartname gereği *IIP3* noktasını da sağlar.

$$A_{1dB} = 1.077 |V_{GS} - V_{TH}| \quad (3.38)$$

$$I_{SS} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (3.39)$$

$$W \leq 1.16 \frac{I_{SS} L}{\mu_n C_{ox} A_{1dB}^2} \quad (3.40)$$

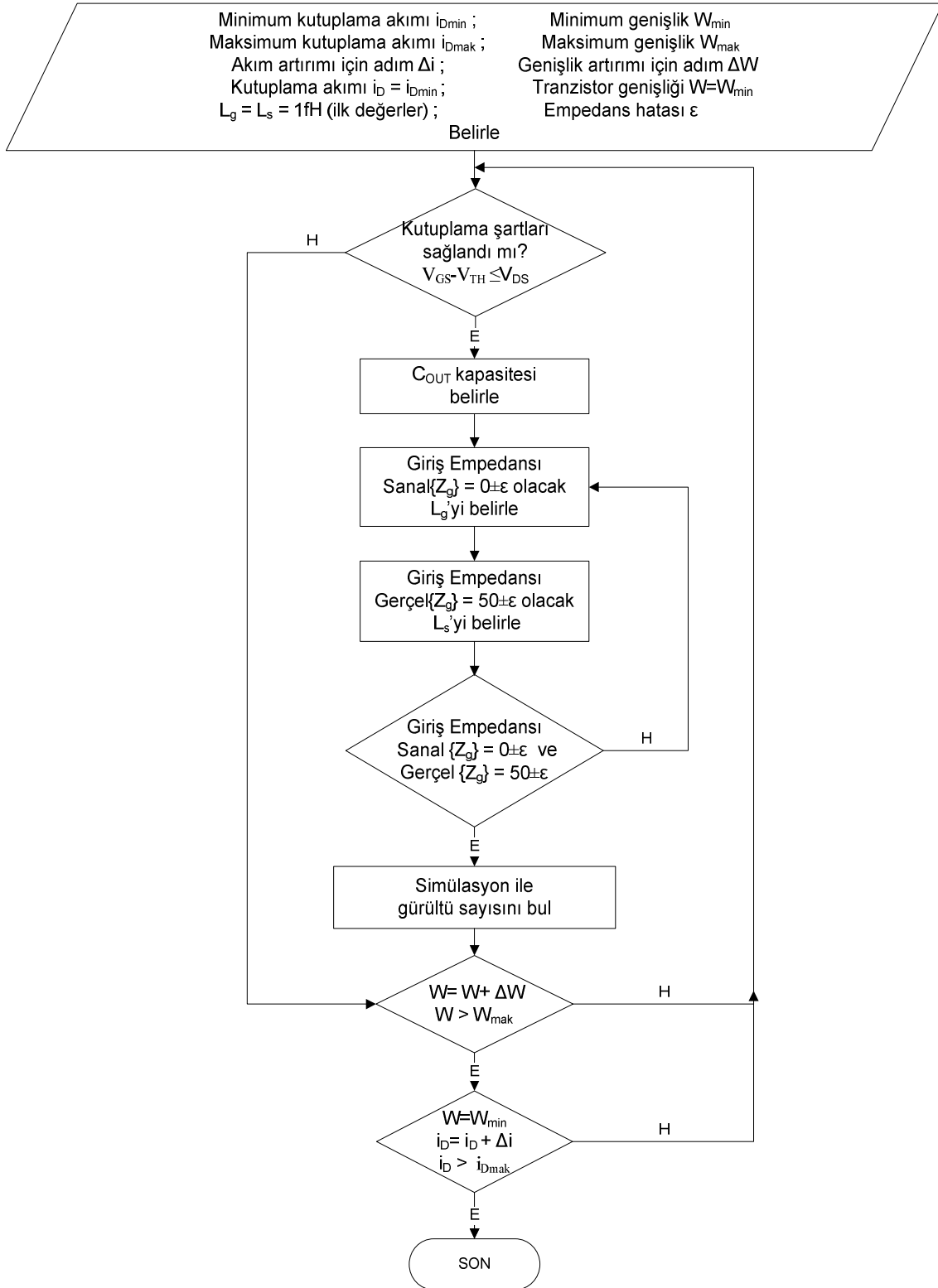
Tasarım şartnamesinde *IIP3* noktası 0 dBm verilmiştir. Buradan 1dB bastırım noktası (2.40)'dan yaklaşık -10dBm bulunur. Devrenin girişi 50Ω'a uydurulduğu düşünülerek EK4'de verilen dBm-gerilim dönüşüm tablosundan bastırım noktasında işaret genliğinin 0.1V olduğu bulunabilir. Kuyruk akımı 15mA, teknolojiyen gelen parametreler $\mu_n C_{ox} = 90 \mu A/V^2$ ve kabaca fikir vermesi açısından (3.40) kısa kanala uygulanarak $L=90nm$ alınırsa tranzistör genişliğinin <1500um olması gerektiği bulunmaktadır.

3.4 Optimizasyon Yöntemi

DKG tasarımında kullanılan devre topolojileri önceki bölümlerde verildi. Tasarımımızda kaynak dejenerasyonlu ortak kaynak topolojisi seçilmiştir. Bu topoloji ile daha düşük gürültü alınabilmekle beraber, devreye ek gürültü getirmeden giriş empedans uyumlaştırması yapma imkanı vardır. Miller kapasitesi etkisini azaltmak, çıkıştan girişe işaret akmasını engellemek için kaskod yapı kullanılmıştır. Devre farksal tasarlanarak, daha doğrusal ve teknoloji üretiminden kaynaklanan parametre değişimlerinden daha az etkilenmesi düşünülmektedir.

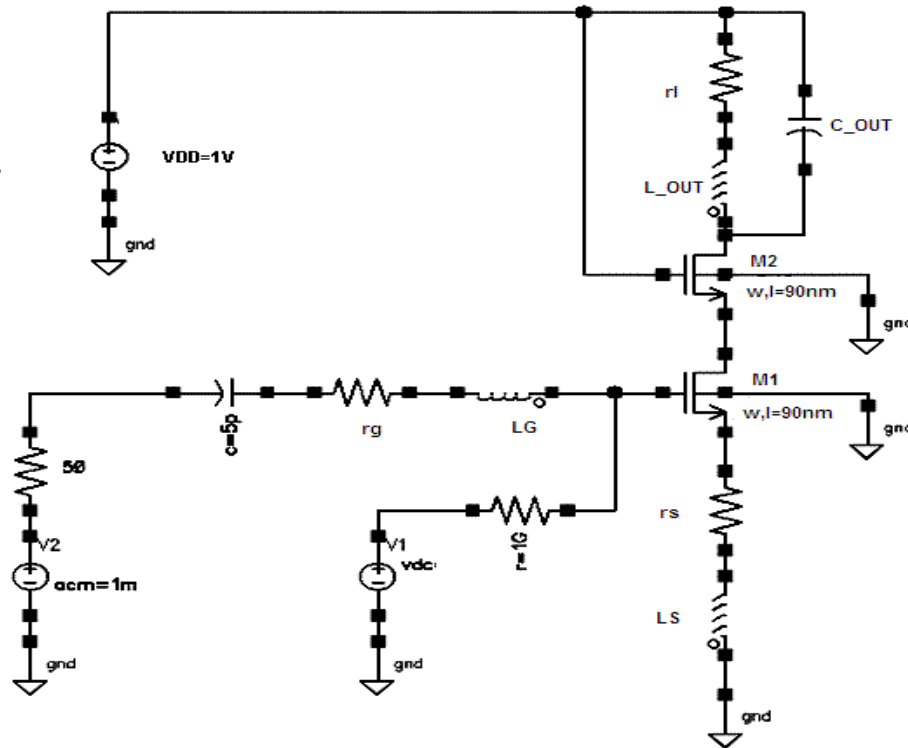
Tasarım kara-kutusunda belirlenmesi gerekli olan tranzistör boyutları kalmıştır. Bu boyutları belirlerken sıcaklık ve doğrusallıktan gelen kısıtlamalar göz önüne alınarak devre elemanları boyutları belirlenecektir. Gürültü denklemlerinde kesim frekansının gürültü sayısı ile ters karesel orantılı olduğu (3.28)'den görülmektedir. Bu durumda tranzistör kanal uzunluğu L 'nin mümkün olduğu kadar küçük seçilmesi devrenin gürültü başarımını artırmaktadır. Tranzistörün geçit genişliği W , bize optimum başarımı sağlayacak şekilde seçilmelidir.

Tranzistörün genişliğinin belirlenmesi için empedans uyumlaştırma ve gürültü denklemlerinden elde edilen W değerini kullanmak bize yaklaşık bir sonuç verir. Bu formüller düşük seviyeli modeller ile çıkarılmıştır. Yüksek frekans modellerin parametreleri düşük seviyeli eşitlikler ile birebir uyum göstermemektedir.



Şekil 3.27 Transistör genişliği ve kutuplama akımına göre gürültü sayısını bulmak için kullanılan optimizasyon algoritması

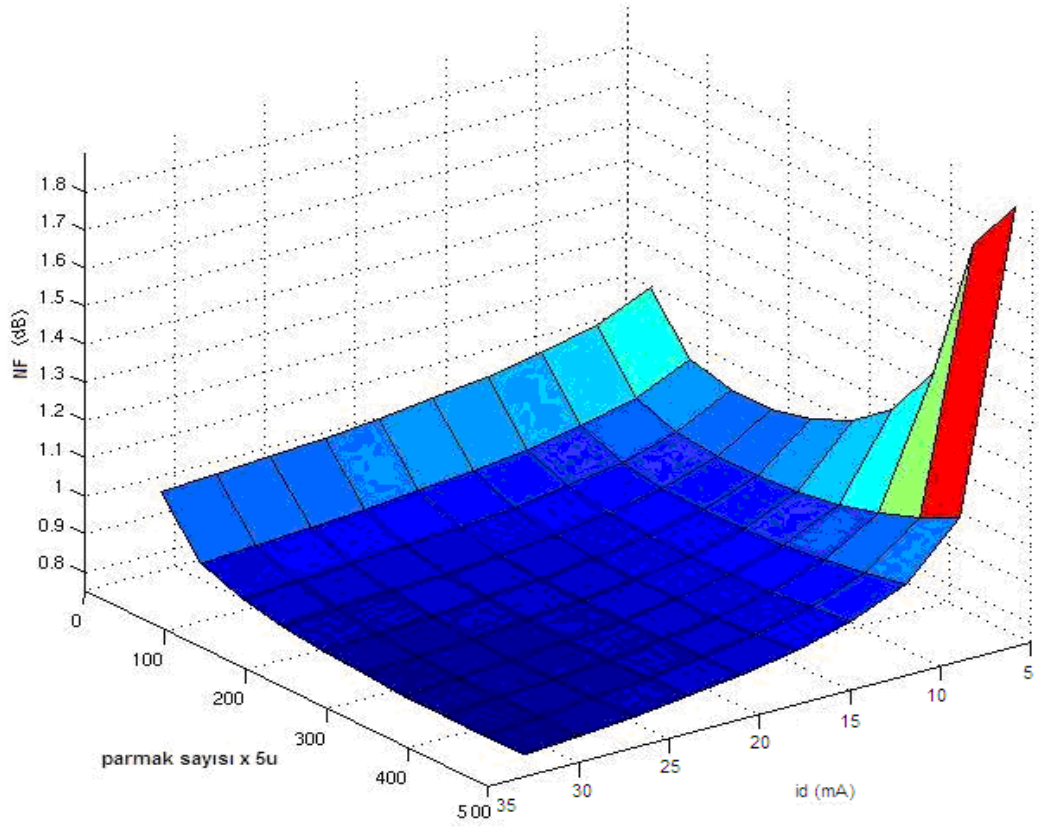
İstenilen kutuplama akımında en iyi başarıımı veren W 'yi bulmak için Şekil 3.27'de verilen yöntem izlenmiştir. En iyi gürültü başarıımını elde etmek için tranzistörlerin kanal boyları minimum uzunluk 90nm seçilmiştir. Önce Şekil 3.28'deki tekil kuvvetlendirici yapısı için optimum W bulunmuş daha sonra farksal yapıya geçilmiştir. Yük endüktansı yeterli Q değerini ($Q=10$) veren ve istenilen band-genişliğini sağlayan 2.5nH seçilerek, değişen kutuplamalar ve tranzistör boyutları için yük kapasitesi çalışma frekansında rezonansa gelecek şekilde ayarlanmaktadır. Şekil 3.27'de verilen algoritma ile verilen kutuplama akım aralığı ve tranzistör genişliği aralığı belirlenen adımlarla taranmış ve tranzistörün akım bölgesinde çalışması için gerekli kutuplama şartları her kutuplama akımı ve tranzistör genişliği ikilisi için sağlanarak empedans uyumlaştırma yapılmıştır.



Şekil 3.28 Optimizasyonda kullanılan tekil yapılı DGK devresi

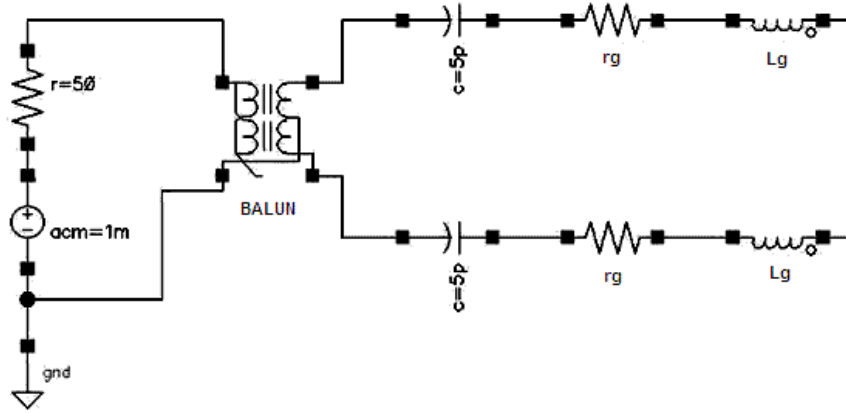
Empedans uyumlaştırma (3.11) eşitliğinde verildiği gibi giriş empedansı Z_g 'nin sanal kısmı, kaynak endüktörü L_s ve geçit endüktörü L_g ile 0 yapılırken; gerçel kısım L_s ile belirlenir. Endüktörler kayıplı oldukları düşünülerek kalite faktörleri $Q=10$ olacak şekilde iç dirençler ile modellenmiştir. Bu durumda empedans uyumlaştırmayı sağlamak için Şekil 3.27'de verilen optimizasyon algoritmasındaki gibi bir iterasyon izlenir. Devrede L_g ve L_s 'nin ilk değerleri femtohenry mertebesinde çok küçük değerler alınmaktadır. İlk olarak giriş empedansının

sanal kısmı çalışma frekansında sıfır yapılmak üzere L_g endüktörünün değeri ayarlanmaktadır. Daha sonra giriş empedansının gerçel kısmını 50Ω yapan L_s endüktör değeri bulunur. Bulunan L_s değeri, L_g endüktörünün iç direncinin de empedans uydurmada gerçel terim getirmesi ve kesim frekansı ω_T 'nin yüksek olması sebebiyle küçük olmaktadır. Buna rağmen L_s 'nin giriş empedansının sanal kısmını etkileyebileceği düşünülerek, giriş empedansının istenilen ε hata ile sağlanması için L_g ve L_s endüktörleri için aynı iterasyon aşaması izlenir. Empedans uydurma sağlandıktan sonra simülasyon ile gürültü sayısı belirlenir. Verilen tranzistör genişliği ve kutuplama akımı aralıkları için algoritma tekrarlanır.

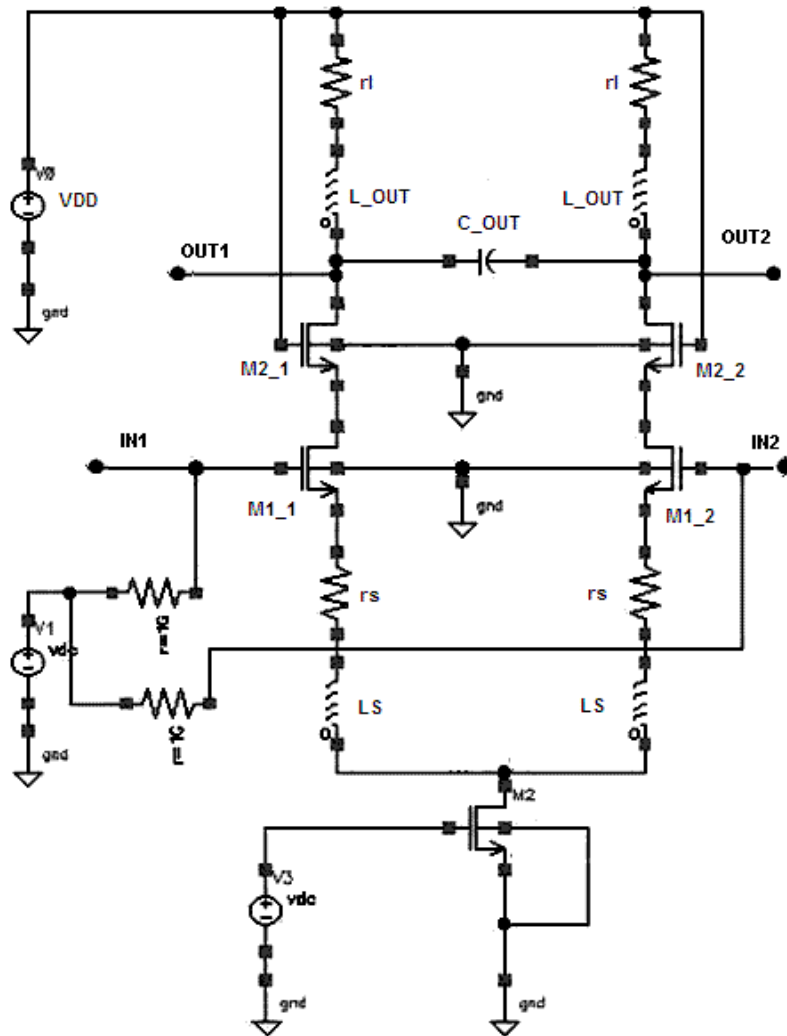


Şekil 3.29 Taranan kutuplama akımı ve tranzistör genişliğine karşı düşen gürültü sayısı

Optimizasyon yöntemi uygulandığında Şekil 3.29'daki 3-boyutlu gürültü sayısı grafiği elde edilmiştir. Bu grafik yardımı ile istenilen güç tüketimini sağlayacak ve istenilen NF 'i verecek tranzistör genişliği seçilebilir. Ayrıca Şekil 3.29'dan 25mA kutuplama akımı ve $W=1200\mu m$ için gürültü sayısının en küçük değerini almaktadır. Şekil 3.29'da 20mA ve 200 parmak sayısı üzerinde gürültü sayısının duyarlılığının az olduğu görülmektedir. Bu değerlerin üzerinde yapılacak seçimin gürültü sayısına etkisi az olmaktadır.



Şekil 3.30 DGK giriş katı devresi



Şekil 3.31 Farksal DGK devresi

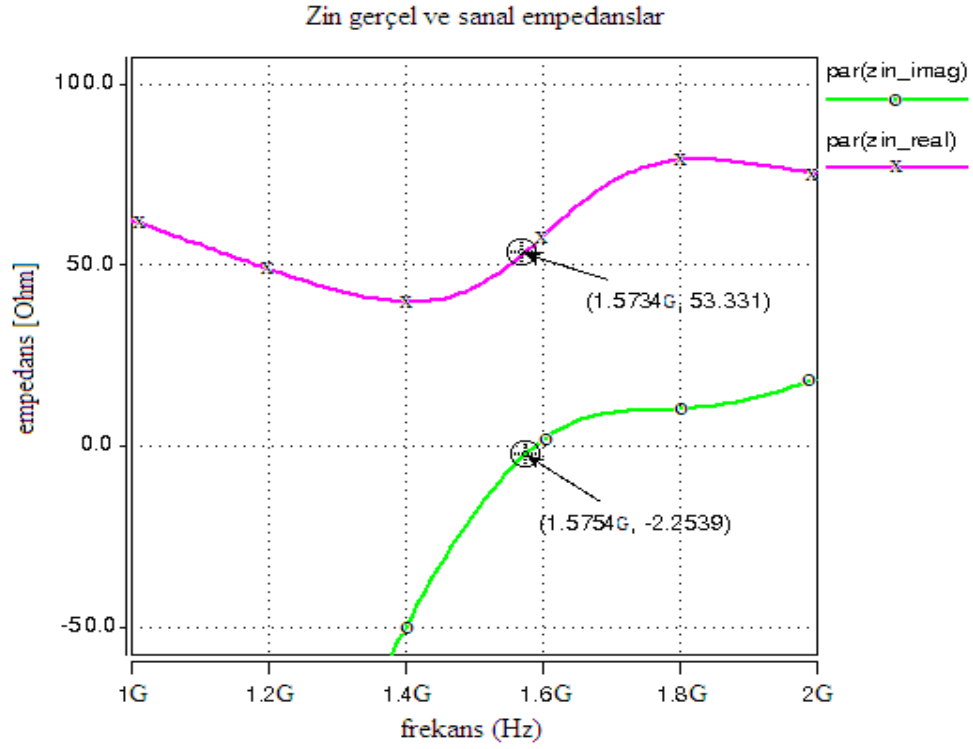
İstenilen güç değeri için devre şartnamesinden istenilen gürültüyü veren akım ve tranzistör genişliği seçildikten sonra DGK farksal olarak gerçekleştirilir. Şekil 3.30'da farksal devrenin giriş katı görülmektedir. Antenden gelen işaret bir balun yardımı ile Şekil 3.31'de verilen farksal devrenin girişlerine uygulanır.

3.5 Devre Başarım Ölçütleri

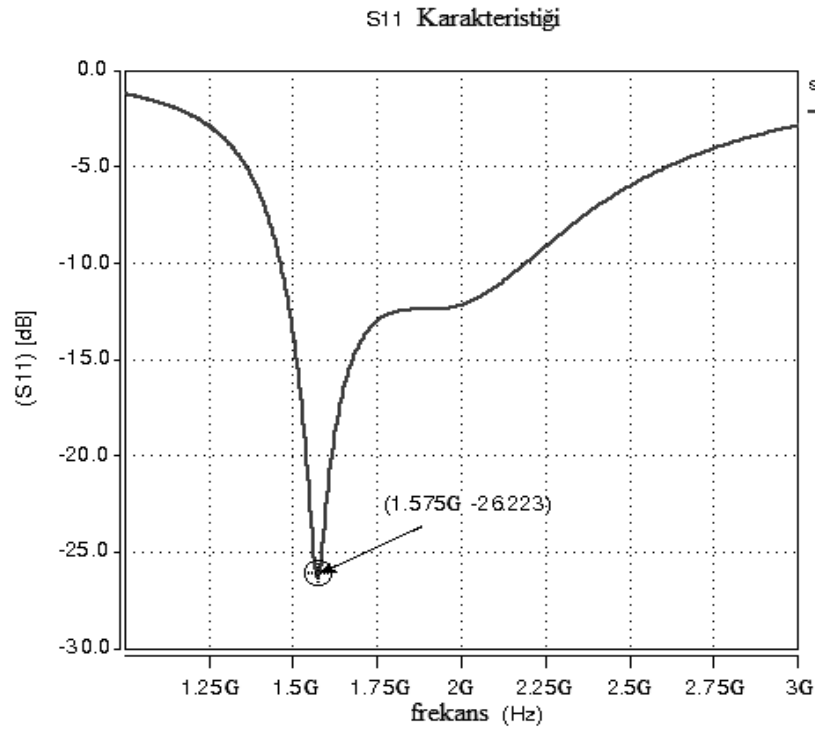
Tasarım 1V besleme gerilim kaynağından 13mA çekmektedir ve devre 13mW güç tüketmektedir. Giriş empedans uydurması S_{11} -25dB değerini sağlamaktadır ve bu durumda kazanç 25dB elde edilmiştir. İzolasyon -43dB olarak bulunmuştur. Şekil 3.36'da görüldüğü gibi simülasyon sonucunda gürültü sayısının (NF) 1dB'den az olduğu görülmektedir.

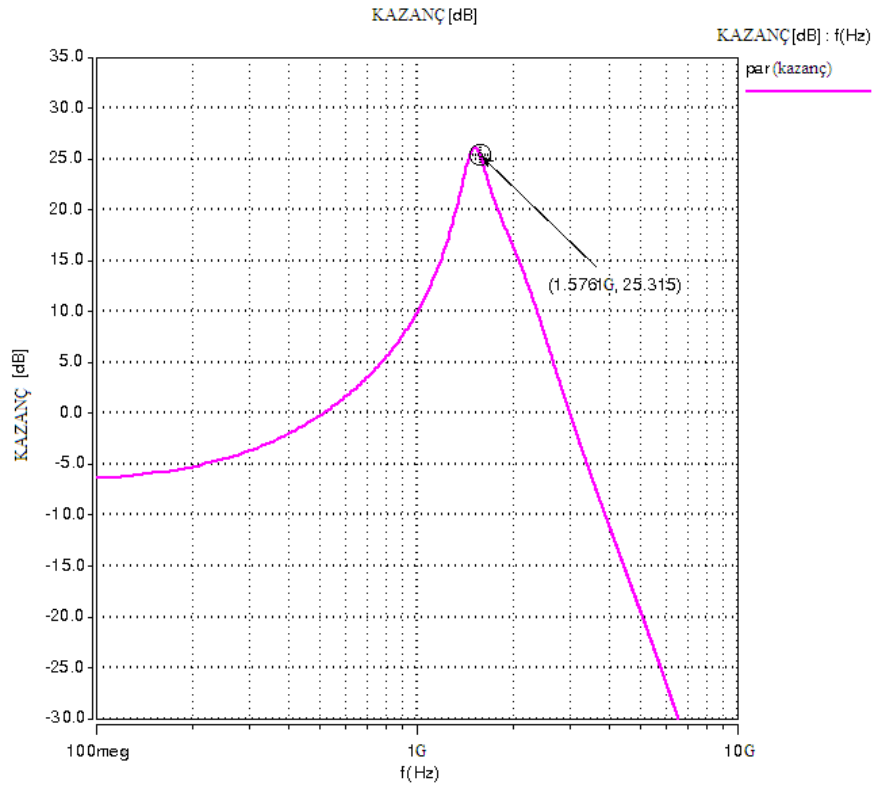
İzolasyonun iyileşmesi için kaskod tranzistörün boyu iki katına çıkarılarak çıkış direnci artırılmıştır. Giriş tranzistörünün kazancı düşmüş dolayısıyla Miller etkisi ile girişe kazanç ile çarpılarak gelen kapasitenin değeri düşmüştür. Tranzistörün giriş kapasitesinde daha az bir oynama olduğu için empedans uydurma devresinin üretimden gelebilecek hatalara karşı daha az duyarlı olması sağlanmıştır. Optimizasyon sonucu giriş tranzistörünün genişliği daha küçük bulunmuştur. Dolayısıyla istenen giriş empedansının reel kısmı kaynağa takılan 0.45nH'lik endüktans ile sağlanabildi. Giriş empedansının sanal kısmının 0 olması devreye dışarıdan bağlanacak 13nH'lik endüktans ve tranzistörün giriş kapasitesinin seri rezonansı ile sağlanmaktadır. Simülasyonlarda bu endüktansın kalite faktörü $Q=35$ olarak kabul edilmiştir. Devre şeması Şekil 4.47'de görülebilir. Tasarlanan devre de giriş tranzistörleri 3.2mm x 90nm kaskod tranzistörleri ise 1mm x 160nm olarak bulundu.

Şekil 3.32'de devrenin girişinde ölçülen empedansın gerçel ve sanal kısımları gösterilmiştir. Çalışma frekansı 1.575GHz'de devre 50 Ohm'a uydurulmuş olduğu görülmektedir. Şekil 3.33'de S_{11} parametresi grafiği devrenin giriş empedans uyumunun çalışma frekansında -25dB olduğu görülmektedir. Şekil 3.34'de kazanç eğrisi verilmiştir. 3dB bant-genişliğinin uygulama bant-genişliği 20MHz'i kaplamaktadır. Şekil 3.35'de devrenin çıkışından girişine olan izolasyonu veren S_{12} grafiği verilmiştir. Son olarak Şekil 3.36'da devrenin çalışma frekansını içeren geniş bir bantta 1dB'nin altında gürültü sayısı verdiği gözlenmektedir. Şekil 3.37'de devrenin 1dB bastırım noktası ve üçüncü dereceden intermodülasyon çıkışma noktası verilmiştir.

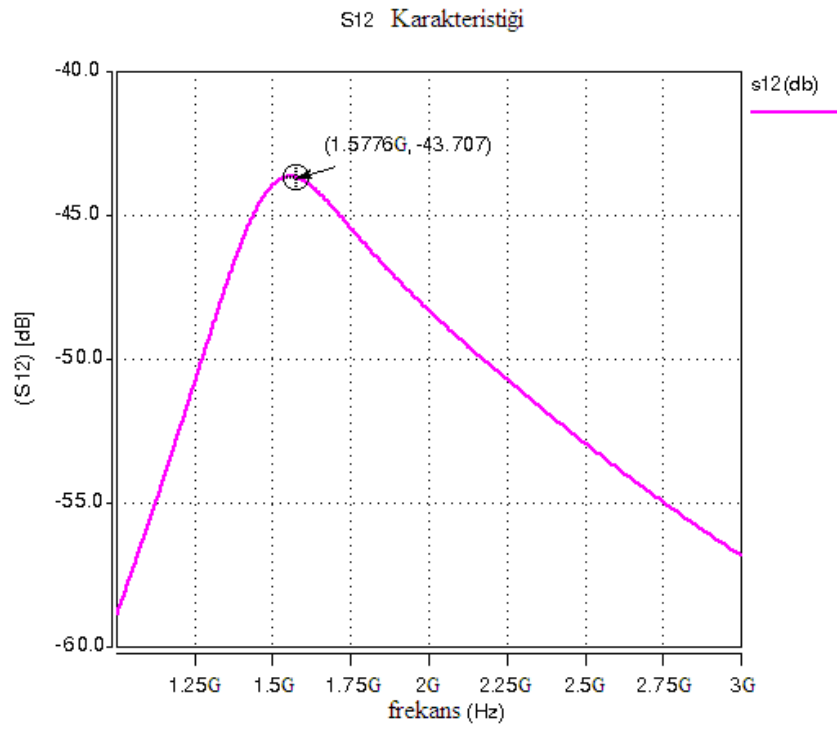


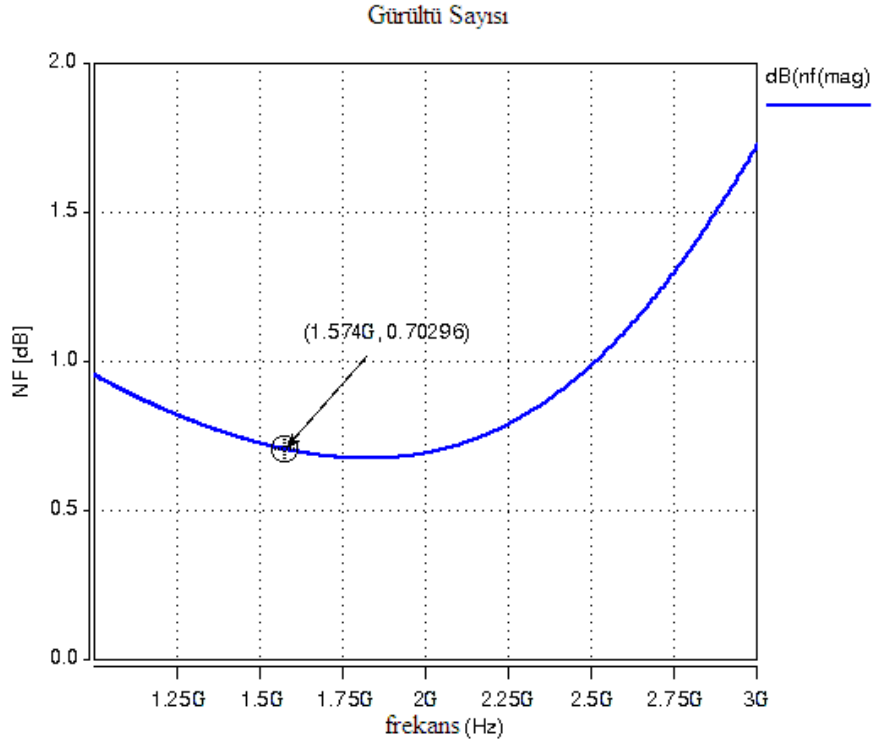
Şekil 3.32 Gerçel ve sanal giriş empedansları

Şekil 3.33 S_{11} Karakteristiği

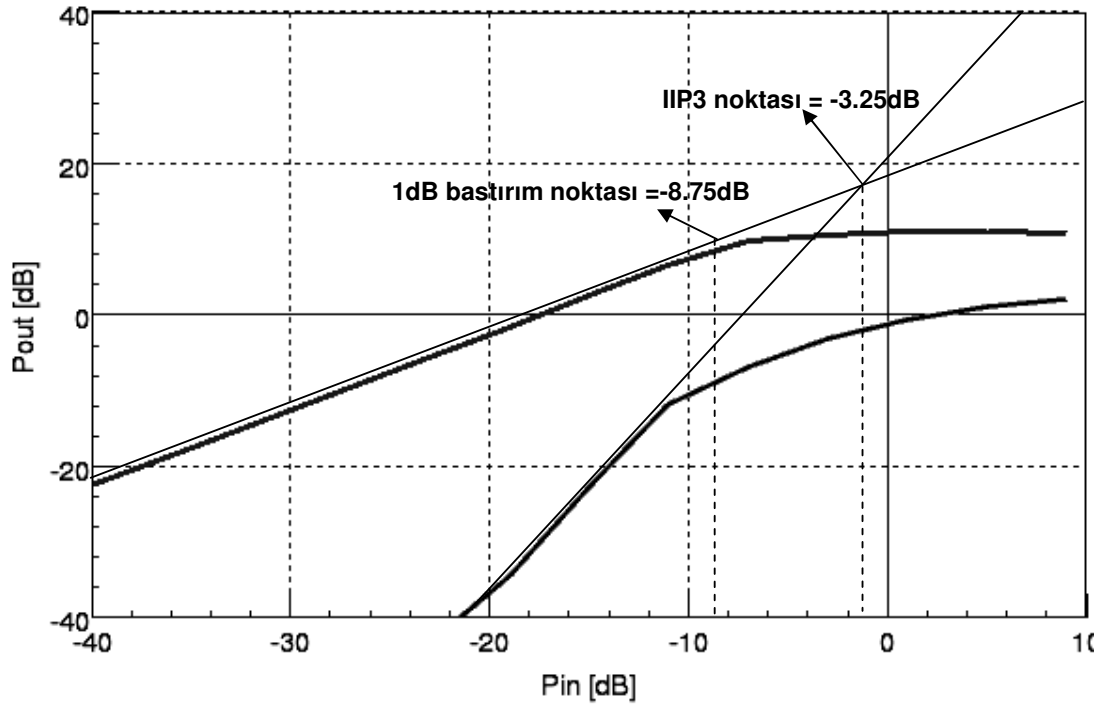


Şekil 3.34 DGK'nın kazancı

Şekil 3.35 S_{12} Karakteristiği



Şekil 3.36 Gürültü Sayısı



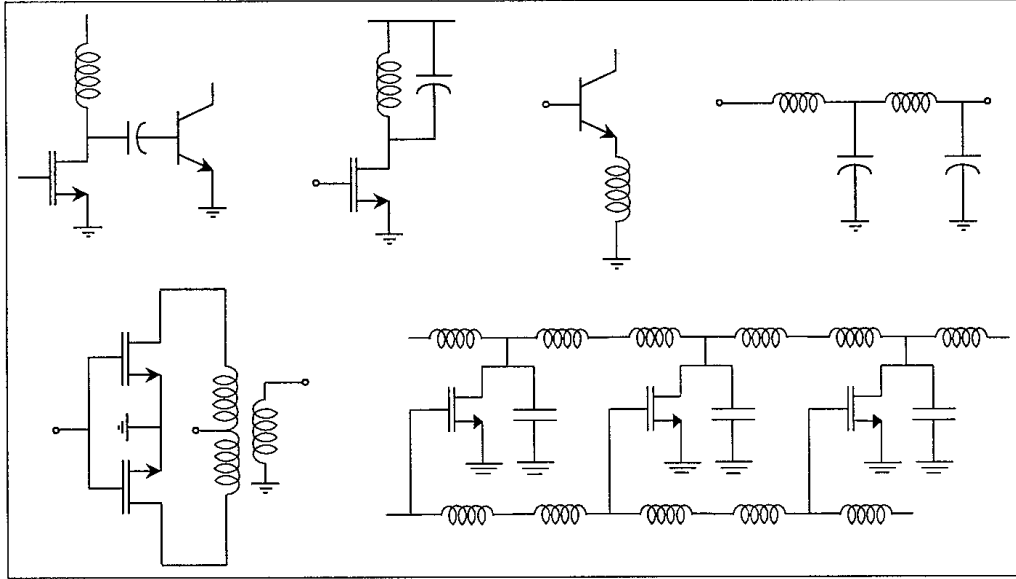
Şekil 3.37 1dB bastırım noktası ve 3. dereceden intermodülasyon çakışma noktası

4. DÜŞÜK GÜRÜLTÜLÜ KUVVETLENDİRİCİ DEVRE SERİMİ

Bu bölümde DGK'de kullanılan tümleşik endüktansların ve tranzistörlerin serimleri anlatılmıştır. Tümleşik endüktörlerin kalite faktörü hesabı verilerek kalite faktörünü yükselten serim tekniklerinden bahsedilmiştir. Düşük gürültü elde etmek için kullanılan tranzistör serim teknikleri ve üretim parametrelerindeki değişimlere karşı daha az duyarlı serim teknikleri anlatılmıştır.

4.1 Endüktanslar

Endüktansların haberleşme devrelerinde kullanımı çok geniştir. Devre başarımına etkileri çok fazladır. Şekil 4.1'de bazı devre teknikleri ve blokları verilmiştir.



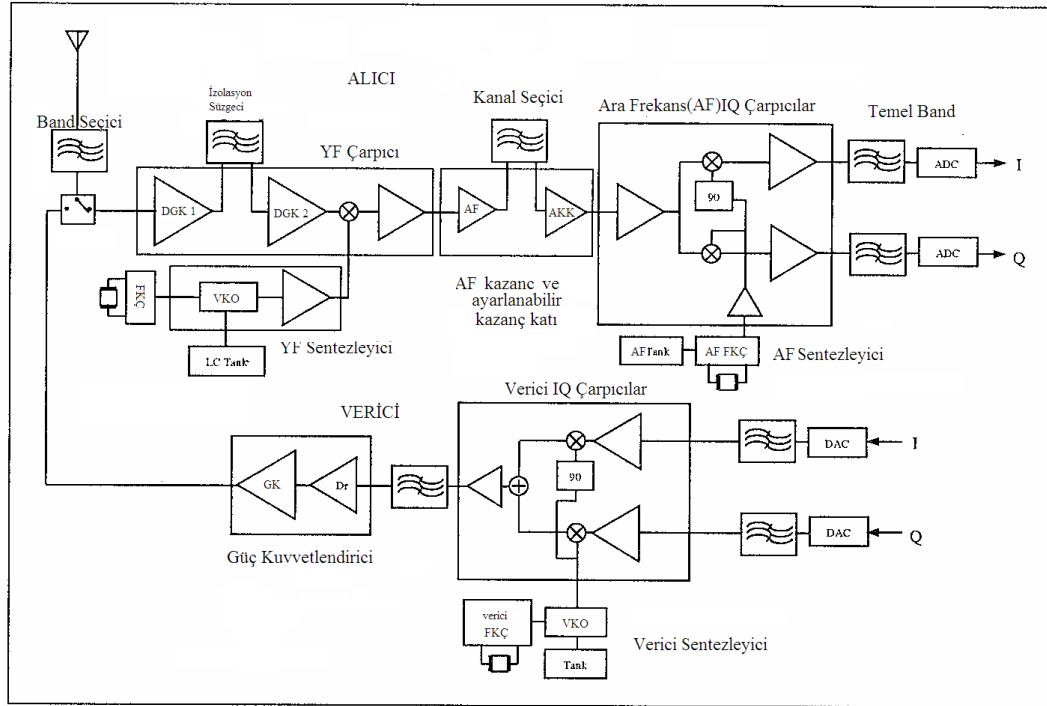
Şekil 4.1 Endüktans uygulamaları: Empedans uydurma, rezonans devreleri, endüktif kaynak dejenerasyonu, süzgeçler, farksal devre sürme, dağılmış kuvvetlendiriciler

Taşınabilir telsiz haberleşme cihazlara olan artan talep, üretici firmaların piyasaya daha ucuz ve tümleşik çözümler sunmasına neden olmuştur. Tasarımcılar artan rekabet sebebiyle maliyeti düşük ve daha iyi sonuçlar veren devrelere yönelmişlerdir.

Günümüze kadar olan çalışmalarda endüktanslar aktif elemanlar ile gerçekleştirilmekteydi. Tümleşik endüktanslar kırmık içinde çok geniş alan kapladığı için maliyetleri artırıyordu. Çalışma frekansları düşük, istenilen endüktans değerleri yüksekti. Büyük değerli ve yüksek kalite faktörlü bir endüktansı kırmık içinde gerçeklemek imkansızdı. Bu yüzden ihtiyaç

duyulan endüktanslar kırmık dışarısında gerekleniyordu. Birden fazla endüktansın olması baskılı devrede kullanılan alanı artırıyordu. Bu büyük ve hantal tasarımlara sebep oluyordu.

Günümüzde istenilen endüktans değeri artan alışma frekansları ile düşmüştür. Örneğın, 100MHz VCO tank devresi için 100nH endüktans kullanılırken, bu devreyi 10GHz’de tasarlamak için 1nH endüktans gerekmektedir (Niknejad vd., 2000). Devrenin paketinden gelen parazitik endüktansın kabaca 1nH olduėu düşünölürse, bu endüktansı kırmık dışında gerekleyemeyeğemiz anlaşılr. Bu durumda tasarımcının bu endüktansı kırmık içinde yapması gerekmektedir. Endüktansın değeri küçük olduėundan bu endüktans kabul edilebilir Q değeriinde ve ok büyük alanlar kaplamadan yapılabilir. Ayrıca Si teknolojisinin gemişe göre daha ucuz olması tasarımcıları tümleşik endüktanslara yöneltmiştir. Şekil 4.2 ve 4.3’de geleneksel bir radyo alıcı-vericisi ile tümleşik bir radyo görölmektedir.

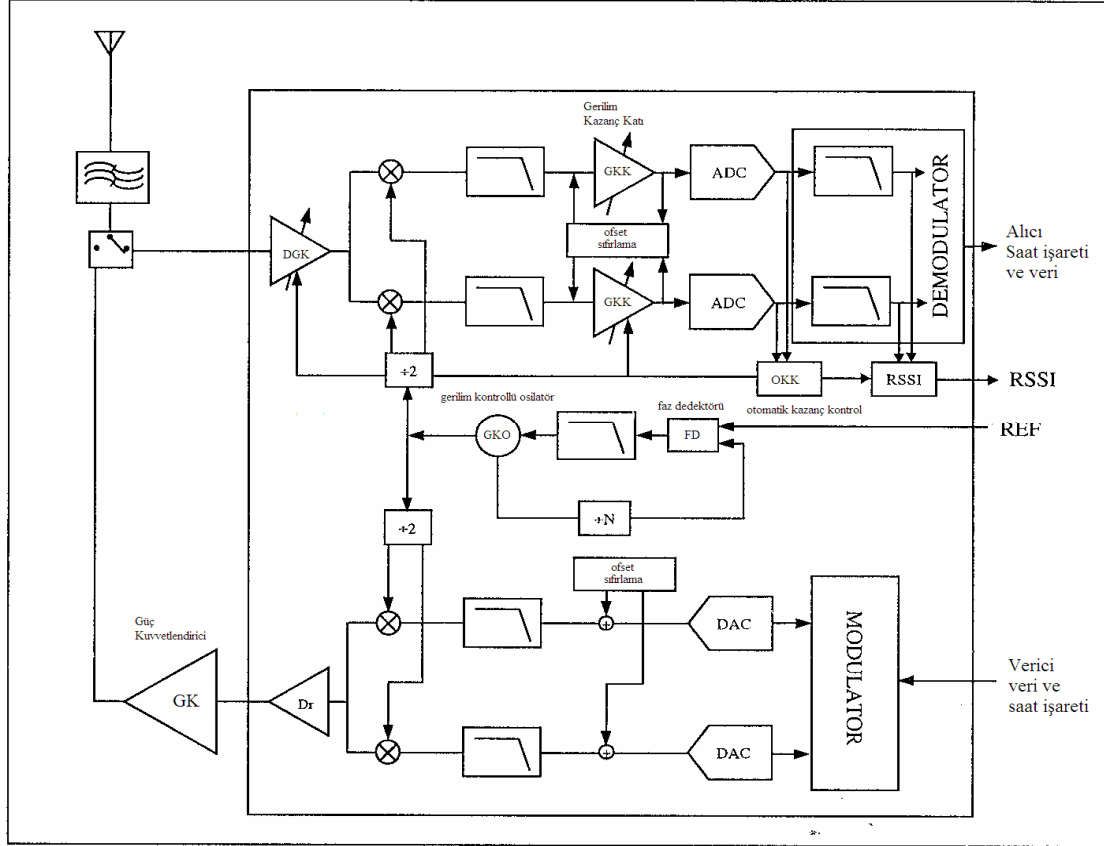


Şekil 4.2 Geleneksel bir radyo alıcı-vericisi

Endüktansları pasif olarak gereklemenin, aktif endüktanslar kullanmaya göre bazı avantajları vardır. Pasif endüktanslar kullanılırsa, tasarımcı daha fazla gerilim salınmasına ve dinamik mesafeye sahip olabilir. Aktif endüktanslar kullanmak devreye ek gürültüler katar. Bu yüzden DGK devrelerinde tümleşik endüktansların önemi daha da artar. Pasif elemanlar kararlı

olduklarından devrenin kararlılık problemlerini azaltırlar.

Si üzerinde gerçekleştirilen ilk tümleşik endüktanslar Nguyen ve Meyer (1990;1992a;1992b) tarafından gerçekleştirilmiştir. Bu yayınlardaki endüktansların kalite faktörleri 4 civarındadır. Daha sonraki çalışmalar daha iyi Q değerlerinin elde edilebileceğini göstermektedir (Greenhouse, 1974; Mohan, 1990; Ashby vd., 1994; Zhou vd., 1998, Yue vd., 1998).



Şekil 4.3 Tümleşik radyo alıcı-verici devresi

4.1.1 Tümleşik Endüktör

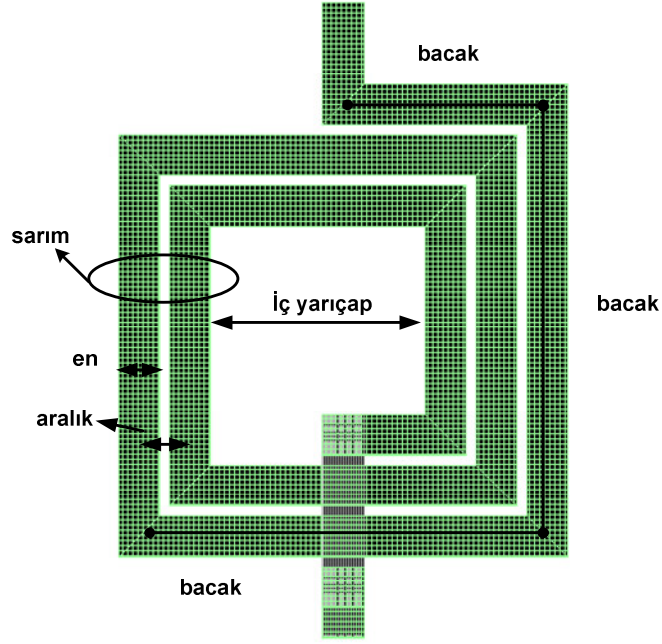
Şekil 4.4’de verilen endüktans için efektif endüktans değeri (4.1) ile verilmiştir.

$$L_{ef} = \sum_{i=1}^N L_i + \sum_{i=1}^N \sum_{j=1}^N M_{i,j} \quad (4.1)$$

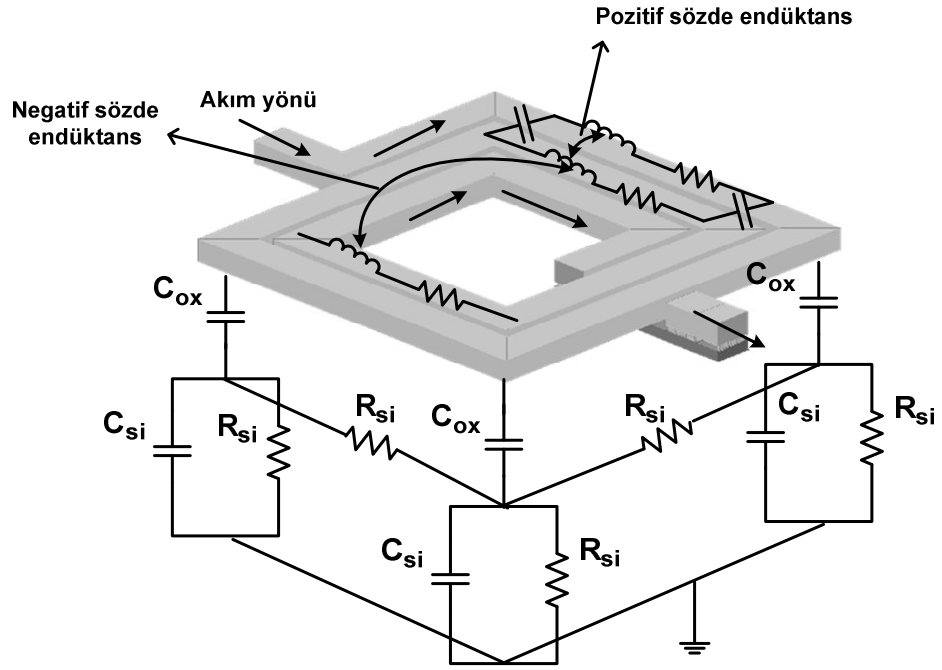
$$M_{i,j} = K_{i,j} \sqrt{L_i L_j} \quad (4.2)$$

Efektif endüktans her bir bacağın öz endüktansları ve birbirleri arasındaki karşılıklı

endüktanslardan oluşur.



Şekil 4.4 Tümleşik endüktans serimi

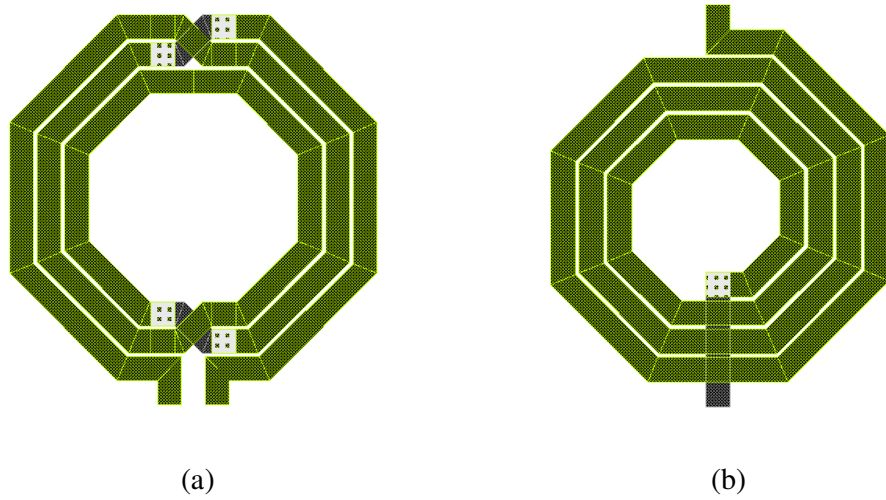


Şekil 4.5 Tümleşik endüktans modeli

Şekil 4.5’de tümleşik endüktörün devre elemanları ile modellemesi verilmiştir. Aynı yönde akım akan bacaklar pozitif karşılıklı endüktans, zıt yöndeki akımlar negatif karşılıklı endüktans oluştururlar. Tasarımcılar zıt yönde akım akan bacakları birbirinden uzak tutarak negatif karşılıklı endüktansların etkisi azaltmaya çalışırlar. Pozitif karşılıklı endüktansların değerinin artması tasarımcıya yüksek kalite faktörlü endüktans yapımında avantaj sağlar çünkü karşılıklı endüktanslar parazitik direnç getirmezler. Parazitik dirençler endüktansın kalite faktörünün düşmesine neden olurlar.

Yan yana gelen bacaklar arasında kapasite oluşur. Bu yanal alan kapasiteleri devrenin öz rezonans frekansına etki eder. Modelde her bacak tabana bir kapasite ile bağlıdır. Taban ayrıca direnç ve kapasite elemanları ile modellenmiştir. Tabanın bu şekilde modellenmesi taban kayıplarının modellenenebilmesi içindir. Tabanda endüktans tanımlayarak Eddy akımlarının etkisi simülasyon sonuçlarında görülebilir (Long vd., 1997; Burghartz vd., 1998).

Tasarımcılar değişik ihtiyaçlara göre birçok endüktör tasarımı ortaya koymuşlardır. Simetrik endüktörler farksal uygulamalarda en çok kullanılan endüktörlerdir. Simetrik endüktörler endüktif, dirençsel ve kapasitif açıdan simetriktir ve devredeki doğrusallığı artırır. Şekil 4.6’da simetrik endüktör görülmektedir.



Şekil 4.6 (a) simetrik sekizgen endüktör (b) normal sekizgen endüktör

4.1.2 Endüktans Ölçütleri

Maxwell denklemleri (4.3-4.9)’den akım akan bir iletkenin etrafında, iletkeni çevreleyen bir manyetik alan oluştuğunu biliyoruz (Sadiku, 2001). Burada B [weber/m²] manyetik akı

yoğunluğu, D [C/m^2] elektrik akı yoğunluğu veya deplasman vektörü, H [A/m] manyetik alan, E [V/m] elektrik alan, J [A/m^2] akım yoğunluğu, ϵ [F/m] dielektrik sabiti, μ_o [H/m] ortamın manyetik geçirgenliği, ρ_v [C/m^3] yük yoğunluğu, σ [$1/\Omega.m$] iletkenlik, ω [$2\pi/s$] açısal frekanstır. Bir iletkenin yakınında manyetik alanda meydana gelen değişim bu iletkende bir bu değişimi karşılayacak yönde bir akım oluşur.

$$\nabla \bullet B = 0 \quad (4.3)$$

$$\nabla \bullet D = \rho_v \quad (4.4)$$

$$\nabla \times H = j\omega D + J \quad (4.5)$$

$$\nabla \times E = -j\omega B \quad (4.6)$$

$$D = \epsilon E \quad (4.7)$$

$$B = \mu_o H \quad (4.8)$$

$$J = \sigma E \quad (4.9)$$

Endüktanslar bir devredeki manyetik enerjiyi depolayan elamanlardır. Endüktans değeri bir endüktörün ne kadar çok enerji depolayabileceğini gösterir. Sabit μ_0 geçirgenlikli bir ortamda bir sarımda endüklenen manyetik akı ψ , bu sarımdan akan akım ile orantılıdır. Bu orantı sabiti endüktans L 'dir. Bu L değeri öz endüktans olarak adlandırılır. Karşılıklı endüktans M_{ij} , başka bir sarımda akan akım I_j tarafından endüklenen manyetik akı Ψ_i ile olan bağıntıyı verir(4.10).

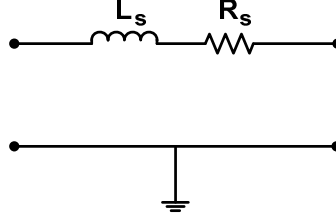
$$M_{ij} = \frac{\Psi_i}{I_j} \quad (4.10)$$

4.1.2.1 Kalite Faktörü

Gerçekte endüktanslar ideal bir manyetik enerji depoları değildirler. Enerjinin bir kısmı endüktörde ısı olarak dışarı verilir. Gerçek hayatta ideal endüktörler yapılamaz. Bu durumda elimizdeki endüktörün ne kadar ideal bir endüktöre benzediğini bilme ihtiyacı ortaya çıkar. Üretilen bir endüktörün ideallliğini anlamamıza yarayan tanıma endüktörün kalite faktörü denir ve Q ile gösterilir. Kalite faktörünün birçok tanımı vardır. Bunlardan en fazla kullanılanı (4.11)'de verildiği gibi kalite faktörünü, bir çevrimde depolanan manyetik enerjinin ısı olarak tüketilen enerjiye oranı olarak tanımlar (Niknejad vd., 1998). İdeal bir endüktörde harcanan enerji sıfır olduğu için kalite faktörü sonsuzdur.

$$Q = 2\pi \frac{E_{\text{depolanan}}}{E_{\text{harcanan}}} \quad (4.11)$$

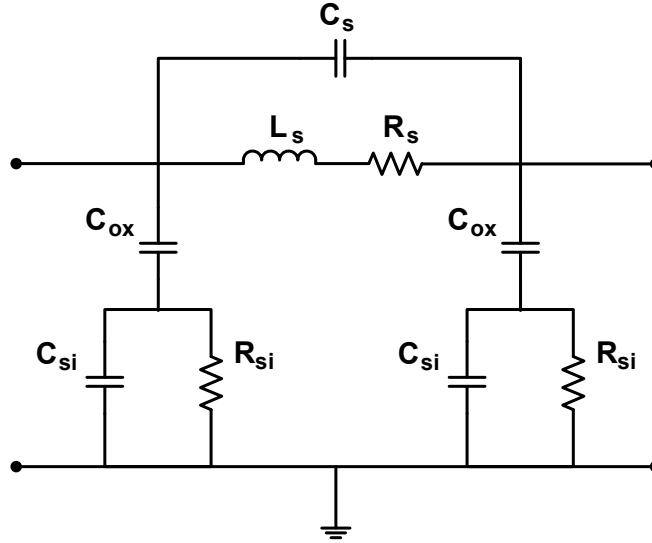
Şekil 4.7’de verilen bir endüktör için (4.12)’de verilen tanım doğrudur. Yüksek frekanslarda kalite faktörünü (4.12)’den hesaplamak yanlış sonuçlara sebep olur (Kenneth, 1998).



Şekil 4.7 İç direnci modellenmiş endüktör

$$Q = -\frac{\text{Im}(y_{11})}{\text{Re}(y_{11})} \quad (4.12)$$

Tümleşik endüktörler yüksek frekanslarda Şekil 4.8’deki gibi endüktör bacakları arasındaki yanal alanların kapasiteleri ve tabana olan kapasiteler ile modellenebilir. Bu durumda $\text{Im}(y_{11})$ manyetik ve elektrik enerjiler arasındaki farka karşılık düşer. Öz rezonans frekansında manyetik ve elektrik enerjiler arasındaki fark sıfır olduğu için kalite faktörü sıfır oluyormuş gibi gözükür. Fakat biliyoruz ki bu frekansta hala depolanan manyetik enerji vardır.



Şekil 4.8 Genel endüktör modeli

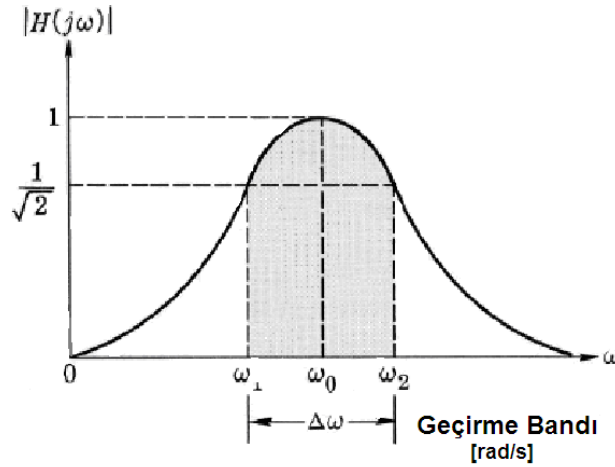
4.1.2.2 Kalite Faktörünün Bant-genişliği Tanımı

Parazitik kapasitelerin düşük frekanslardaki etkileri ihmal edilebileceği için, (4.12)'de verilen kalite faktörü tanımı düşük frekanslarda kullanılabilir. Yüksek frekanslarda ise (4.13)'deki gibi başka bir kalite faktörü tanımı kullanılabilir.

$$Q = \frac{\omega_o}{\omega_{3dB}} \quad (4.13)$$

Burada ω_o rezonans frekansını, ω_{3dB} karakteristiğin 3dB band-genişliğidir.

Şekil 4.9'dan görüldüğü gibi rezonans frekansında kalite faktörü daima sıfırdan büyüktür. Daha yüksek kalite faktörü daha dar bantlı karakteristiğe neden olur.



Şekil 4.9 3-dB Bant-genişliği tanımı

4.1.2.3 Kalite Faktörüne Alternatif Yaklaşım

Bu çalışmada, yüksek frekanslarda kalite faktörünün doğru olarak belirlenmesini, bant-genişliği tanımına göre daha az hesaplama yaparak bulmaya çalıştık. Bunun için endüktördeki kayıp etkileri net olarak ortaya konmuştur.

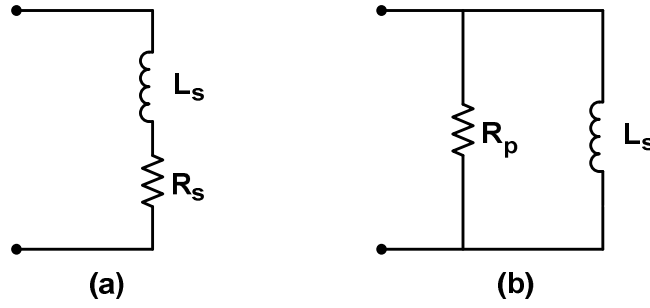
Endüktördeki kayıplar, endüktörün seri direncinden kaynaklanan kayıp ve tabandan kaynaklanan kayıplar olmak üzere ikiye ayrılabilir. Buradan yola çıkarak kalite faktörü iki bileşene ayrılabilir. Seri dirençten kaynaklanan kayıplar Q_s , tabandan kaynaklanan kayıplar Q_p olarak kalite faktörünün bileşenlerini oluşturur.

Şekil 4.10 (a)'daki devreden Q_s (4.14) gibi yazılabilir. Şekil 4.10 (b)'de ise endüktörün

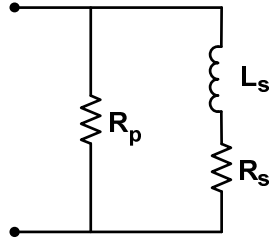
paralel direnci görülmektedir ve kalite faktörü bileşeni Q_p (4.15) gibi yazılabilir. Şekil 4.11'deki devrede hem seri hem de paralel dirençler gösterilmiştir. Bu durumda Şekil 4.11 için kalite faktörü (4.16) ve (4.17) gibi verilir.

$$Q_s = \frac{\omega L}{R_s} \quad (4.14)$$

$$Q_p = \frac{R_p}{\omega L} \quad (4.15)$$



Şekil 4.10 (a) Endüktör seri direnç (b) Endüktör paralel direnç

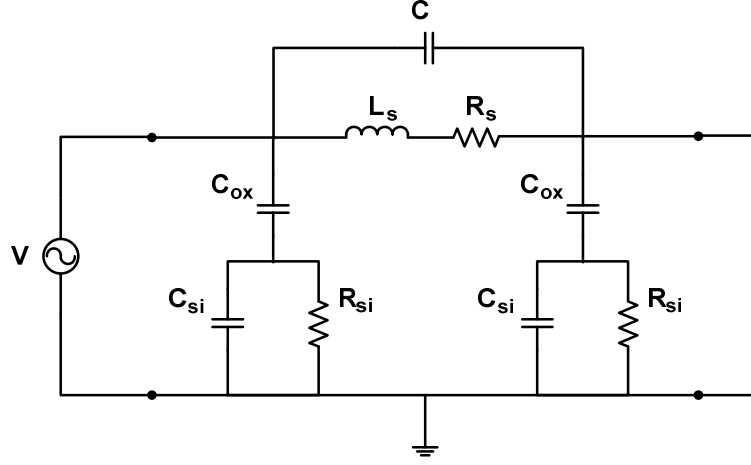


Şekil 4.11 Seri ve paralel dirençler beraber gösterilmiş durum

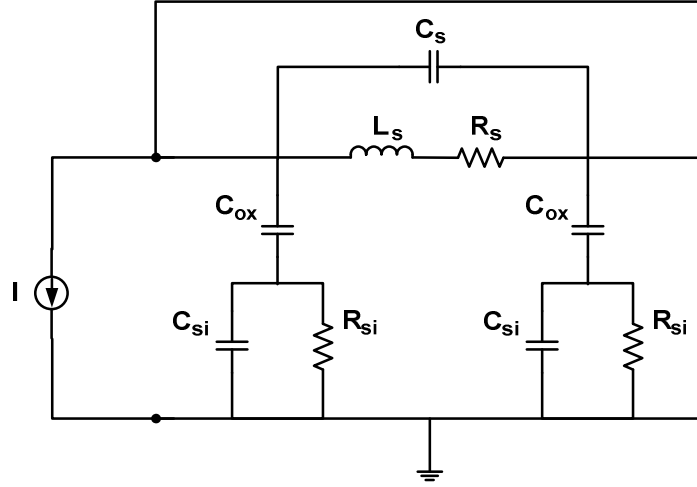
$$Q = \frac{\omega L R_p}{R_s^2 + R_s R_p + \omega^2 L^2} \quad (4.16)$$

$$Q = \left(\frac{1}{Q_s} + \frac{1}{Q_p} \right)^{-1} = \frac{\omega L R_p}{R_s R_p + \omega^2 L^2} \quad R_s \ll R_p \quad (4.17)$$

Bu yaklaşımı kompleks bir endüktör modeline Şekil 4.12 ve Şekil 4.13'deki gibi uygulayabiliriz.

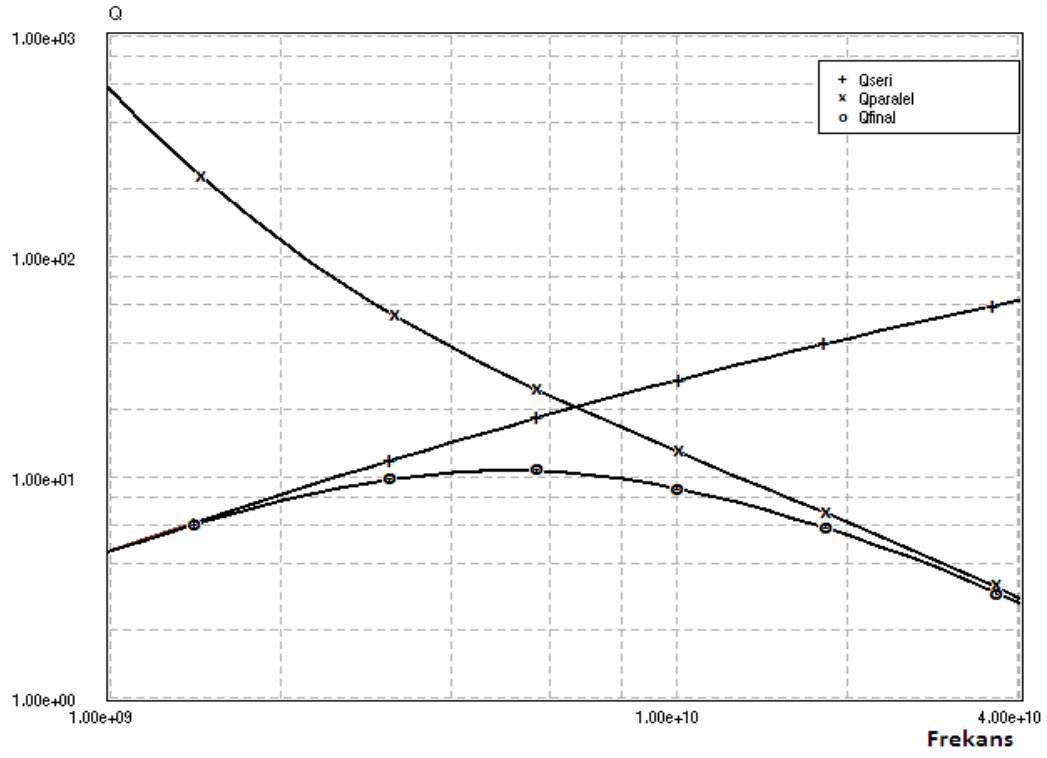


Şekil 4.12 Seri Q hesaplanırken oluşturulan devre

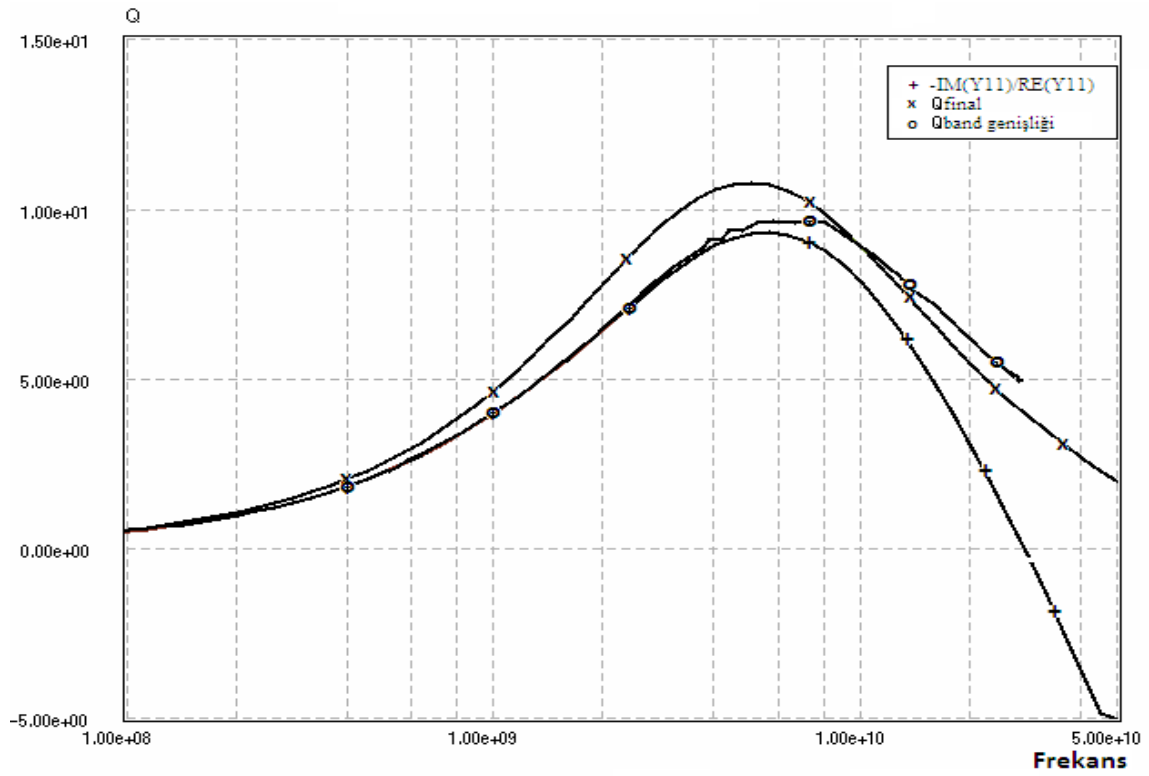


Şekil 4.13 Paralel Q hesaplanırken oluşturulan devre

Şekil 4.15’de değişik yöntemler ile bulunmuş kalite faktörleri görülmektedir. Sonuçlar 5GHz çalışma frekansına kadar olan bölge için tasarlanmış 0.5nH’lik bir endüktöre aittir. Alternatif yaklaşımımız düşük frekanslarda bant-genişliği yönteminden farklılık göstermektedir. Ancak yüksek frekanslarda bant-genişliği tanımı ile uyum göstermektedir. Öz rezonans frekansında kalite faktörü sıfıra düşmemektedir. Klasik yöntem ise düşük frekanslarda bant-genişliği yöntemi ile çakışmaktadır. Ancak yüksek frekanslarda yanlış sonuçlar vermektedir. Pratikte tasarlanan endüktanslar öz rezonans frekans bölgesinde çalıştırılmazlar. Endüktöre paralel gelecek bir kapasite yardımı ile daha düşük frekanslarda rezonansa getirilirler. Bu yüzden klasik yöntemin doğru sonuçlar verdiği bölgelerde kalınır ve tasarım sonucuna etkisi olacak bir hataya sebebiyet verilmez.



Şekil 4.14 Kalite Faktörünün Bileşenleri

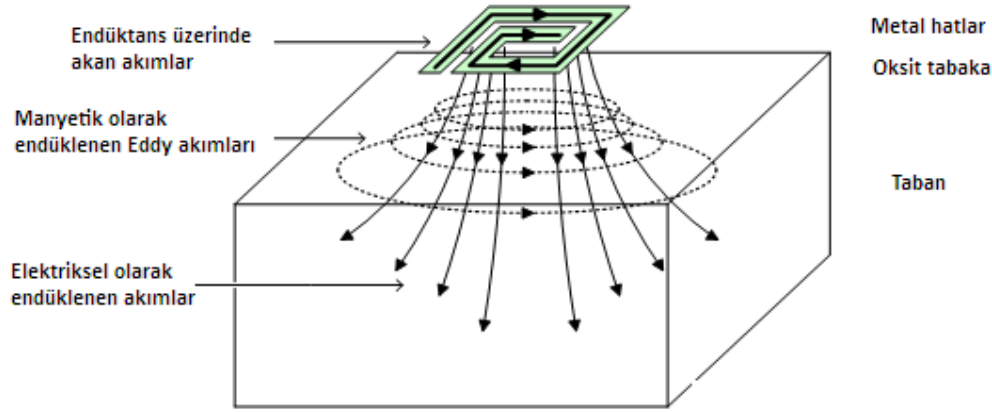


Şekil 4.15 Farklı yöntemler ile hesaplanan kalite faktörleri

4.1.3 Tümleşik Endüktörlerde Kayıplar

Tümleşik endüktörü gerçekleştirdiğimiz teknoloji kayıplar da büyük önem taşır. Endüktörlerdeki kayıplar başlıca ikiye ayrılabilir. Bunlar metal kayıpları ve taban kayıplarıdır. Endüktörde tüketilen güç teknolojiye kullanılan malzemeye çok bağlıdır. Yüksek kalite faktörlü endüktörler için kayıpların minimum seviyeye indirilmesi çok önemlidir.

Metal kayıplarını azaltmak için, parazitik direncin çok düşük tutulması gerekmektedir. Çoğu teknolojiye alüminyum ($\sigma_{Al}=3.65 \times 10^7$ S/m) metal hatların yapımında kullanılır. Kullanılan diğer metaller gümüş ($\sigma_{Ag}=6.21 \times 10^7$ S/m), bakır ($\sigma_{Cu}=5.88 \times 10^7$ S/m), altın ($\sigma_{Au}=4.55 \times 10^7$ S/m) olabilir. Seri direncin değerini düşürmenin bir diğer yolu metal kalınlığının artırılmasıdır. Bu tasarımcının elinde olmamakla beraber günümüzde birçok teknoloji en üst metal tabakanın kalın olmasını seçenек olarak sunmaktadır. Şekil 4.16’da endüktördeki temel kayıp kaynakları gösterilmiştir.



Şekil 4.16 Tümleşik endüktörde kayıplar

4.1.3.1 Deri Etkisi

Frekans yükseldikçe, iletken içerisindeki yükler iletkenin yüzeye yakın yerlerden yani deriden akmaya başlarlar. Bu olaya deri etkisi denir.

Deri derinliği, yüzeyde akan akım yoğunluğunun (J_s) $1/e$ (yaklaşık 0.37) değerine düştüğü derinlik olarak tanımlanır. Deri derinliği (4.18)’den hesaplanabilir.

$$\delta = \sqrt{\frac{2\rho}{\omega\mu}} \quad (4.18)$$

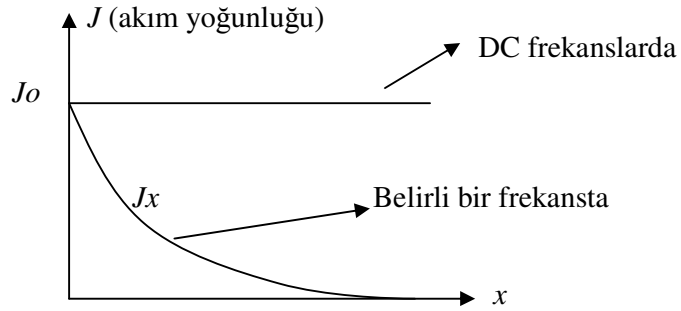
Burada ρ iletkenin öz direnci, ω akımın açısal frekansı, μ mutlak manyetik geçirgenliktir.

İletken içerisindeki akım yoğunluğu (4.19)'da akım ise (4.20)'de verilmiştir.

$$J_x = J_0 e^{-x/\delta} \quad (4.19)$$

$$I = J_0 \int_0^T e^{-x/\delta} dx = J_0 \delta (1 - e^{-T/\delta}) \quad (4.20)$$

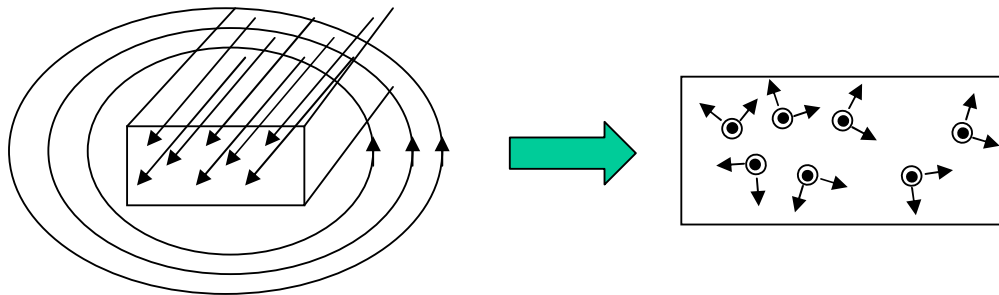
Şekil 4.17 bir iletken kesitinde derinlik x eksenini ile gösterilmek üzere akım yoğunluğu verilmiştir. J_0 iletken yüzeyindeki akım yoğunluğudur. Eğer doğru akım akıyor olsaydı, yükler iletken içine düzgün bir şekilde dağılacaktı. Herhangi bir frekansta iletken yüzeyinden x kadar içerideki akım yoğunluğu (4.18) ve (4.19)'dan bulunabilir.



Şekil 4.17 Bir iletken kesitindeki akım yoğunluğu

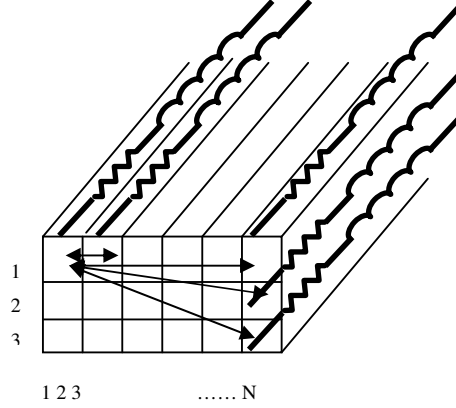
4.1.3.2 Yakınlaşma Etkisi

Bir akım tarafından üretilen manyetik alan bir iletkenin kesitini kestiği zaman bu kesitten akan akım üzerine bir kuvvet oluşur. Bu kuvvet akım yönüne ve manyetik alana diktir. Bu etki iletkenin kendisinde ve yanında paralel uzanan iletkenlerde görülür. Şekil 4.18'de gösterilen bu etkiye yakınlaşma etkisi denir.



Şekil 4.18 Yakınlaşma Etkisi ve yüklerin kenarlara bir kuvvetle itilmesi

Yakınlaşma etkisi endüktans hesaplamalarında modellenenebilir. Etkinin modellenenebilmesi için Şekil 4.19’da iletken kesiti parçalara ayrılmıştır. Her bir iletken filamanı ve birbirlerine olan kuplajları hesaplanarak yaklaşma etkisi ortaya konulabilir.



Şekil 4.19 Parçalara ayrılmış iletken kesiti

Genişliği 20 μ m, kalınlığı 2 μ m, uzunluğu 2000 μ m ve $\rho=1.73 \times 10^{-6}$ ohm.cm olan bir iletken kalınlığı 8 parça, genişliği 32 parçaya ayrılarak modellenmiş ve 10GHz, 5GHz ve 1GHz frekanslı normalize akım işareti (1A) için kesitte görülen akım dağılımı Şekil 4.20’de verilmiştir. Her parçanın kesitinden akan normalize akım değeri renk ölçeğinde belirtilmiştir. Görüldüğü üzere yaklaşma etkisi artan frekans ile iletkenin efektif kesitini daraltmaktadır.

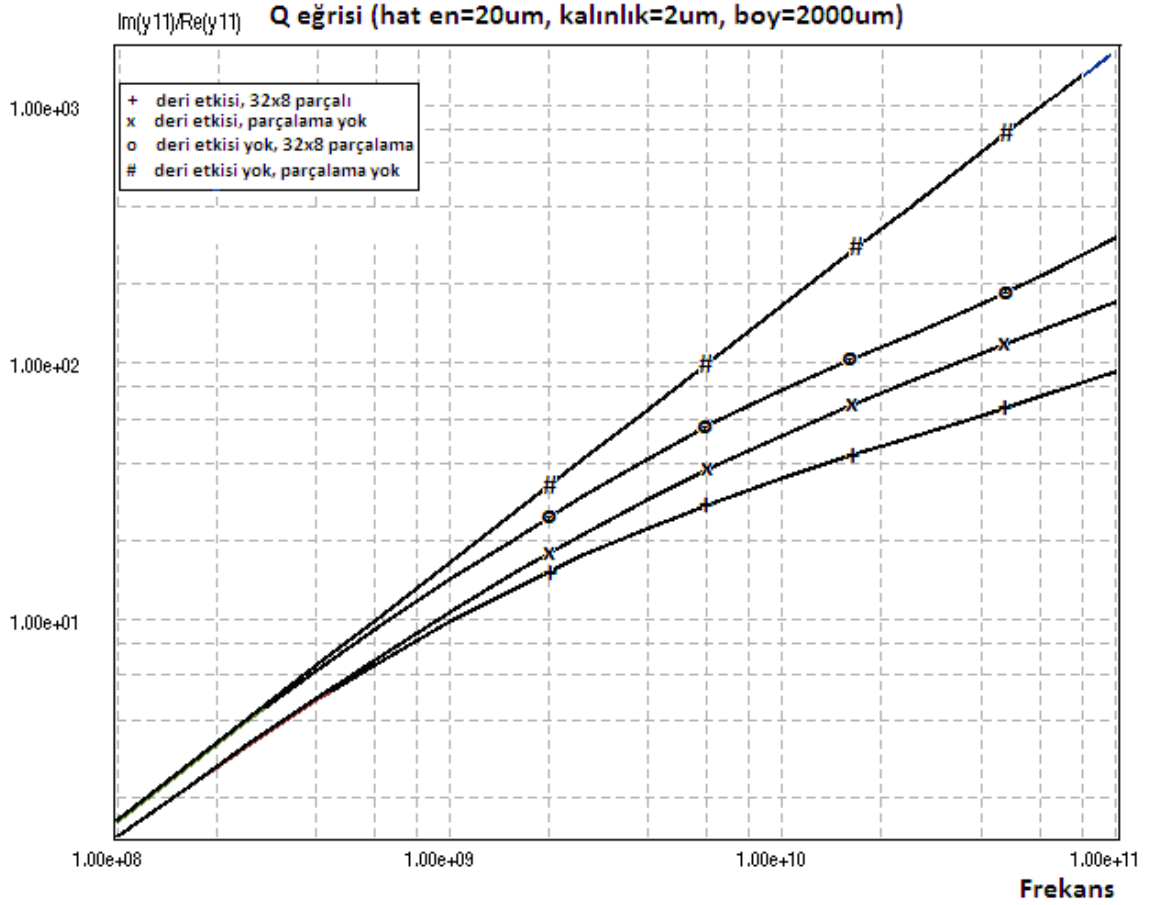


Şekil 4.20 Değişen frekanslar için 32x8 parçaya ayrılmış kesitlerde yaklaşmanın akım dağılımına etkisi

Şekil 4.21’de deri etkisi ve yaklaşma etkileri beraber görülmektedir. Elektrik alanın büyük bir kısmı iletken ve taban arasındadır. Elektrik alan iletkene aşağıdan girerek, akımın iletkenin aşağısında yoğunlaşmasına sebep olur.



Şekil 4.21 Değişen frekanslar için 32x8 parçaya ayrılmış kesitlerde deri ve yaklaşma etkisinin oluşturduğu akım dağılımı



Şekil 4.22 Kesiti parçalanmış (32x8) iletkenin deri ve yaklaşma etkileri modellenerek elde edilmiş kalite faktörü (Q) eğrileri

Şekil 4.22’den görüldüğü gibi deri etkisi ve yaklaşma etkilerinin modellenmediği durumda kalite faktörü endüktans değeri ile doğru orantılı artmaktadır. Sadece yaklaşma etkisi modellendiğinde kalite faktöründe bir düşme görülmektedir fakat bu düşme sadece deri etkisinin modellendiği durum kadar değildir. Her iki etki de modellendiği zaman Q fark edilir bir şekilde düşmektedir. Endüktörler tasarlanırken doğru sonuçlara erişmek açısından bu iki etki de hesaba katılmalıdır.

Yaklaşma etkisini yan yana duran, üzerilerinden aynı yönde akım geçen iki hat üzerinde incelersek değişik frekanslar için Şekil 4.23’de kesitlerdeki sonuçları elde ederiz. Yapılan simülasyonda hatların genişliği $20\mu\text{m}$, kalınlığı $2\mu\text{m}$, uzunluğu $2000\mu\text{m}$ ve $\rho=1.73\times 10^{-6}$ ohm.cm alınmıştır.

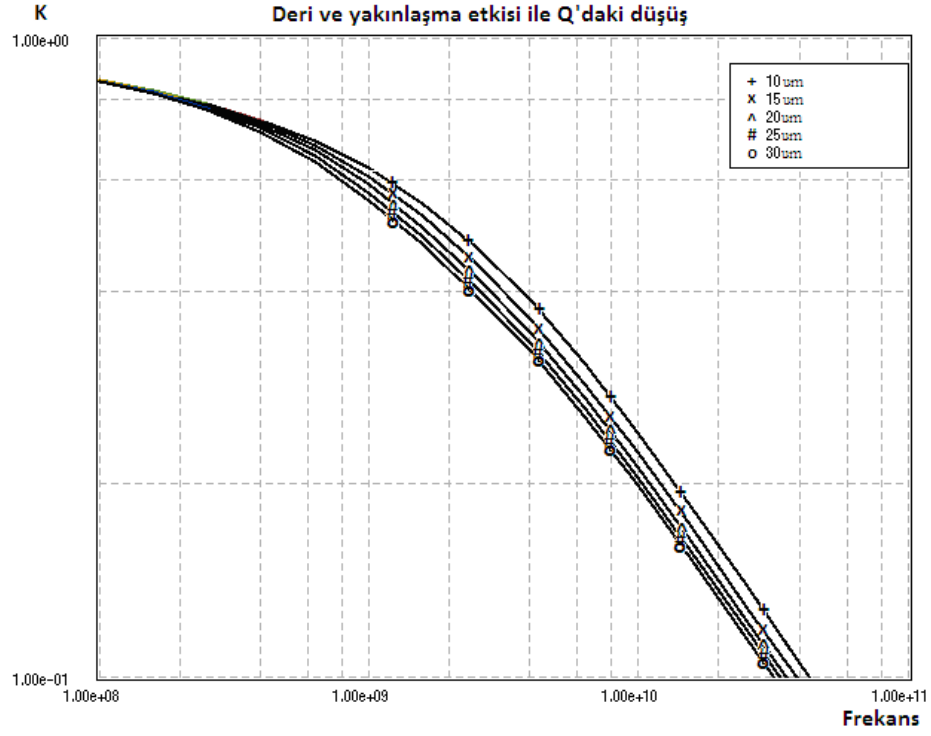


Şekil 4.23 İki iletken hat üzerinde deri ve yaklaşma etkilerinin (15x5 parçaya ayrılmış) kesitte oluşturduğu akım dağılımı

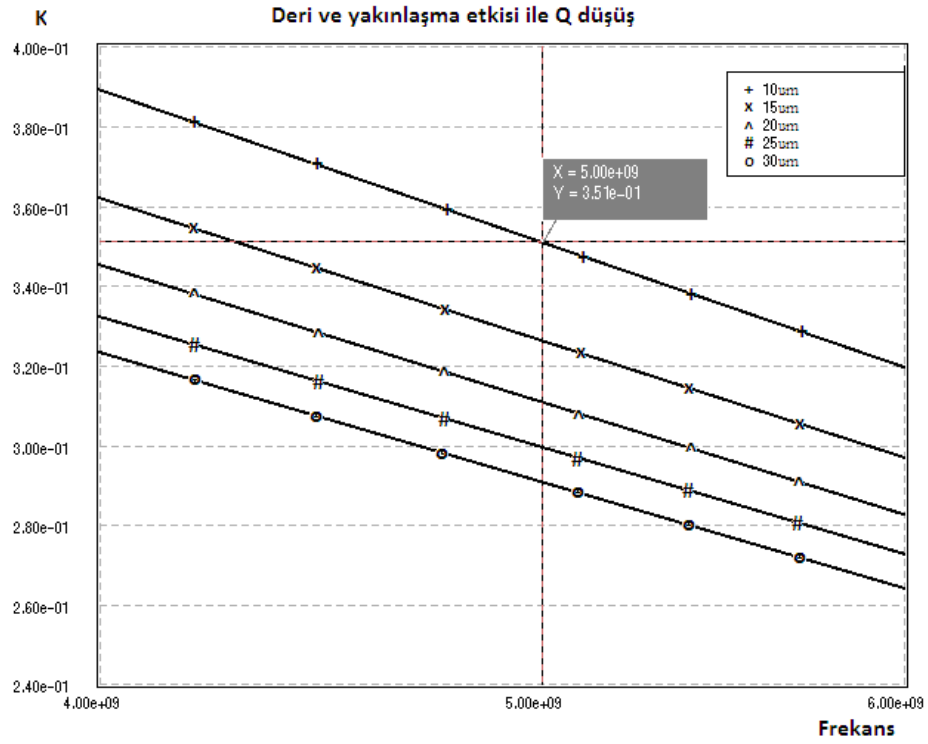
Deri ve yaklaşma etkilerini incelemek üzere bir kötüleşme çarpanı (4.21)’deki gibi tanımlayabiliriz. Bu kötüleşme çarpanı bize deri etkisi ve yaklaşma etkileri yüzünden kalite faktörünün ideal durumdan ne kadar uzaklaştığı konusunda bilgi verecektir. Q_M deri ve yaklaşma etkilerinin modellendiği haldeki Q , Q_N modellenilmediği haldeki kalite faktörüdür.

$$K = \frac{Q_M}{Q_N} \quad (4.21)$$

Şekil 4.24’de değişik genişlikler için Q ’daki düşme görülmektedir. Düşük frekanslarda deri ve yaklaşma etkisinin olmadığı (4.21)’deki K değerinin 1’e yakın olmasından anlaşılmaktadır. Şekil 4.25’de 5GHz için Q değerinin %35’ine düştüğü görülmektedir.



Şekil 4.24 Değişik genişlikteki iletkenler için Q daki deri ve yakınlaşma etkisi ile oluşan kötüleşme



Şekil 4.25 Değişik genişliklerde deri ve yakınlaşma etkisi nedeniyle Q daki kötüleşme

4.1.3.3 Taban Kayıpları

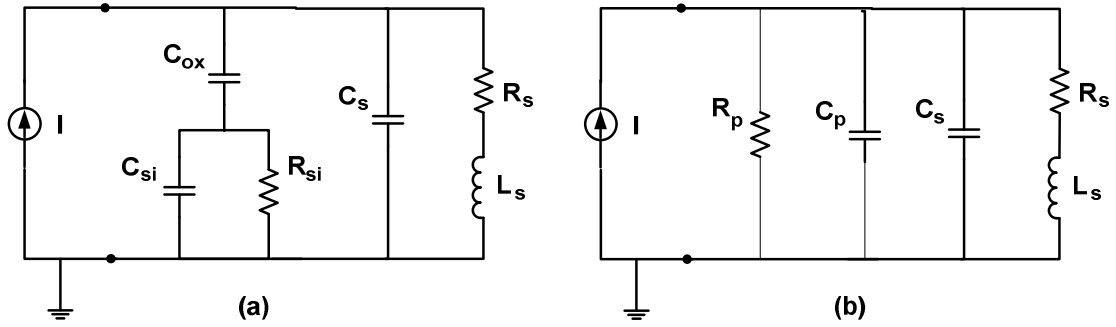
Endüktörden tabana akan akımlar ve manyetik olarak tabanda endüklenen eddy akımları taban kayıplarını oluştururlar. Taban öz direncinin yüksek olması bu kayıpların az olmasını sağlar. Si öz direnci katkılanma oranına göre 10 kΩ.cm'den 0.001 Ω.cm'ye kadar değişebilir. GaAs taban öz direnci Si'ye göre daha yüksektir. Genel olarak Si öz direnci 10 Ω.cm olarak alınır.

Taban kayıplarını daha iyi anlamak için Şekil 4.26'daki tek kapılı endüktör modeli ve basite indirgenmiş modeli ele alınabilir.

$$R_p = \frac{1}{\omega^2 C_{ox}^2 R_{si}} + \frac{R_{si} (C_{ox} + C_p)^2}{C_{ox}^2} \quad (4.22)$$

$$C_p = C_{ox} \frac{1 + \omega^2 (C_{ox} + C_{si}) C_{si} R_{si}^2}{1 + \omega^2 (C_{ox} + C_{si})^2 R_{si}^2} \quad (4.23)$$

Şekil 4.26'daki indirgenmiş modele geçilirken (4.22) ve (4.23) eşitliklerinden yararlanılır.



Şekil 4.26 (a) Tek kapılı endüktör modeli (b) eşdeğer basit modeli

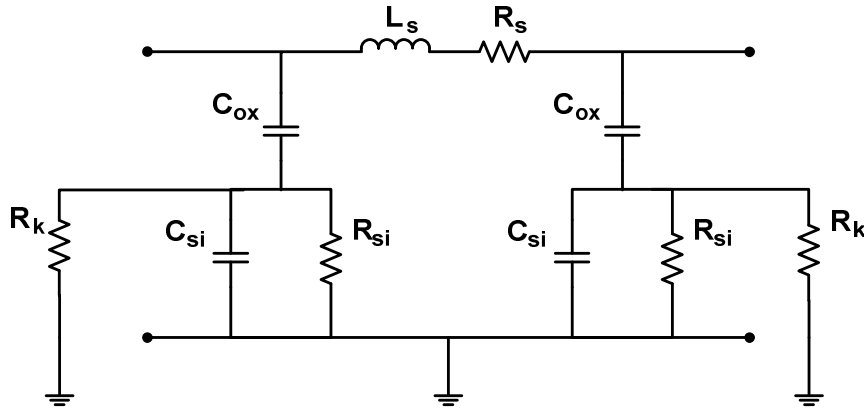
Endüktör ve taban arasındaki elektrik alandan dolayı, endüktörden tabana akım akar, ayrıca manyetik olarak endüklenen Eddy akımları tabanda akar ve enerji harcanmasına neden olurlar. Dolayısıyla kalite faktörünü düşürürler. Şekil 4.26 (b) için kalite faktörü (4.24) ve (4.25) gibi yazılabilir.

$$Q = \frac{\omega L}{R_s} \cdot \frac{R_p}{R_p + \left[(\omega L_s / R_s)^2 + 1 \right] R_s} \cdot \left[1 - \frac{R_s^2 (C_s + C_p)}{L_s} - \omega^2 L_s (C_s + C_p) \right] \quad (4.24)$$

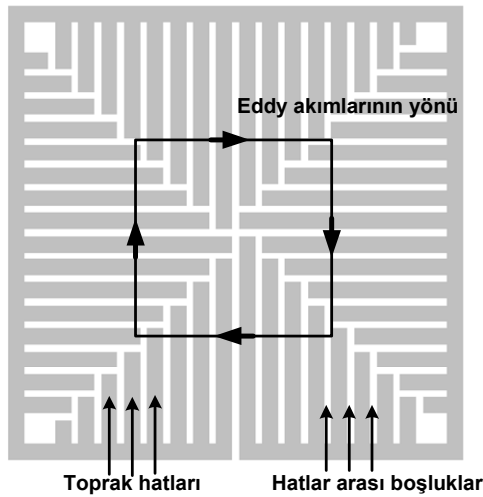
$$Q = \frac{\omega L}{R_s} \cdot \text{Taban Kayıp Faktörü} \cdot \text{Öz Frekans Faktörü} \quad (4.25)$$

Yüksek bir endüktör faktörü için taban kayıp faktörünü 1'e yakın tutmalıyız. Taban kayıp faktörü artan frekansın karesi ile düşmektedir. Yüksek R_p değerleri taban kayıp faktörünü yüksek tutar. R_{si} değerini sıfıra yakın veya sonsuza yakın seçersek (4.22)'de görüleceği gibi R_p 'yi arttırmış oluruz.

Tabanın üzerinde ideal bir toprak bağlantısı sağlayabilirsek R_{si} dirençlerini yok etmiş oluruz. Bu tür bir yapıya toprak kalkanı denir. Kalkanın üzerinde Eddy akımlarının yolunu dik kesecek şekilde boşluklar açılmalıdır. Bu boşluklar arasındaki mesafe elektrik alanının tabana ulaşmasını engelleyerek kalkanın iyi bir toprak görevi görmesini sağlayacak kadar dar olmalıdır. Şekil 4.27'de taban toprak kalkanının modele nasıl uygulandığı gösterilmiştir. Şekil 4.28'de örnek bir toprak kalkanı verilmiştir.



Şekil 4.27 Toprak kalkanının endüktör modeline katılması

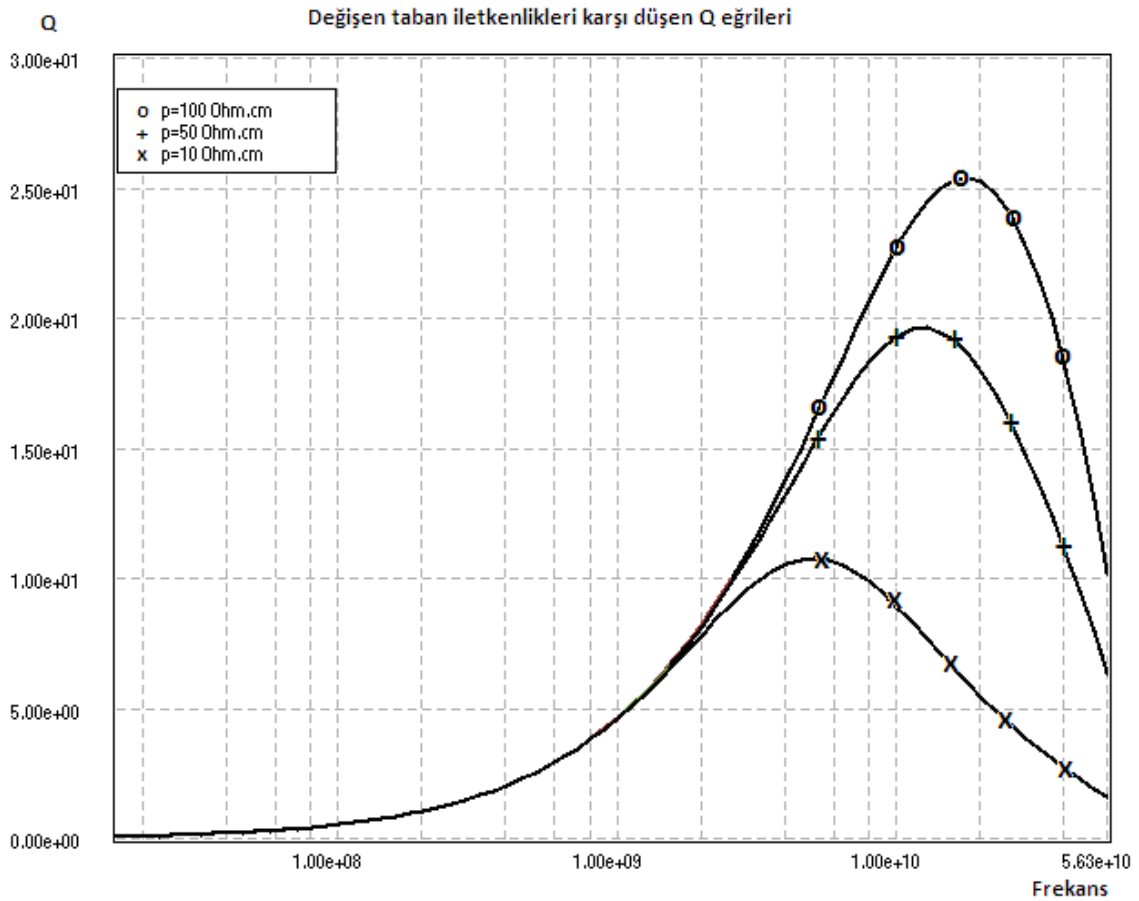


Şekil 4.28 Örnek taban kalkanı

Kalkanın ideal toprak olmaması ve taban üstündeki toprak kontaklarının endüktöre yeterince yakın olmaması devreye parazitik dirençler gelmesine neden olur. Bu dirençler Şekil 4.27’de belirtilen kalkanlı endüktör modelindeki direnç değerlerinin artmasına neden olur. Bu da tabanda güç tüketiminin artmasına ve kalite faktörünün düşmesine neden olur.

Günümüzde bazı teknolojiler tasarımcılara taban kayıplarını azaltmak adına plastik taban veya tabansız çözümler sunmaktadırlar.

Şekil 4.29’da artan taban öz direnci için elde edilen Q grafikleri görülmektedir. 5GHz’e kadar olan bant için tasarlanmış 1nH endüktörler Si taban üzerinde gerçekleştirilmiştir. Taban öz direnci arttıkça tabana daha az akım aktığı için tabandan gelen kapasitelerin etkisi azalır ve endüktörün öz rezonans frekansı artmaktadır. Ayrıca taban öz direnci arttıkça tabandan kaynaklanan kayıpların azalması sonucu kalite faktörü artmaktadır.



Şekil 4.29 Değişen taban dirençleri için 1nH endüktör Q eğrileri

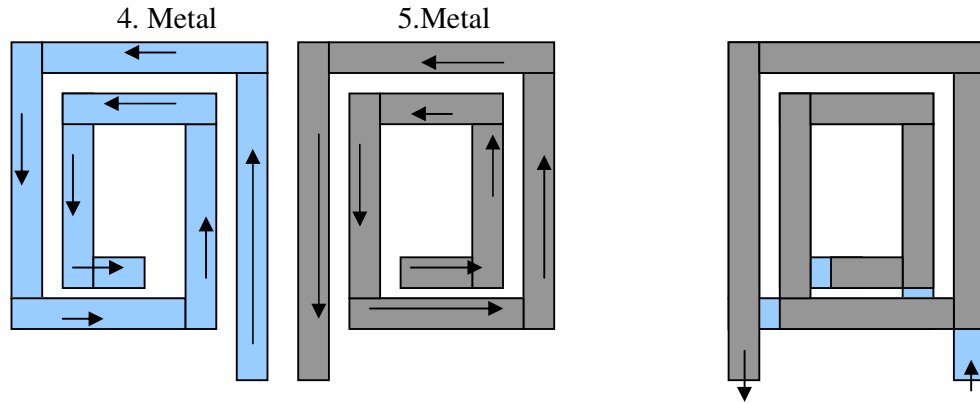
4.1.4 Kalite Faktörünü Artırmak İçin Yöntemler

Kalite faktörünü arttırmak için birçok yöntem kullanılmaktadır. Bunlarda bazıları endüktörün üretim süreci ile ilgili bazıları da tasarım ile ilgili geliştirmelerdir.

Taban üzerinde derin oyuklar açarak taban direncinin artması sağlanarak daha yüksek Q 'lu endüktörler elde edilebilir. Fakat bu geliştirme ek üretim süreci gerektirmektedir.

Bir başka yöntem manyetik alanın endüktörün merkezinde daha yüksek olmasına dayanır. Endüktörün iç yarıçapı büyük tutulmaya çalışılır. Bu negatif yöndeki karşılıklı endüktansların azalmasını sağlar.

Pozitif yöndeki karşılıklı endüktans değerleri artırılmaya çalışılır. Bunun için üst üste endüktörler tasarlanabilir. Bu yapılarda akımın aynı yönde aktığı metaller mümkün olduğunca yakın tutulmaya çalışılır. Şekil 4.30'da yığın endüktörlere örnek gösterilmiştir (Zolfaghari vd., 2004).



Şekil 4.30 4 ve 5inci katmanda üst üste endüktörler gerçekleştirilerek oluşturulan yığın endüktörler

4.1.5 2.5nH 1.575GHz Endüktör Tasarımı

Bu çalışmada kullanılan teknolojiye en üst metal tabaka kalın olarak yapılmaktadır. Bu sayede endüktörün seri parazitik direncinin azalmasını sağlayabiliriz. En üst tabakada gerçekleştirilen endüktörün tabana kapasitesi azalmaktadır. Ayrıca tabana daha uzak olduğu için manyetik endüksiyon yolu ile oluşan kayıp en aza indirgenmektedir.

Endüktör seriminde ana tasarım parametreleri endüktörü oluşturan hatların eni, sarımları arası mesafe, ve sarım sayısıdır. İstenilen frekansta istenilen endüktans değerini belirli bir kalite faktöründe sağlayabilmek, bu parametrelerin birbirleri arasındaki karışık ilişkiye bağlıdır. Bu

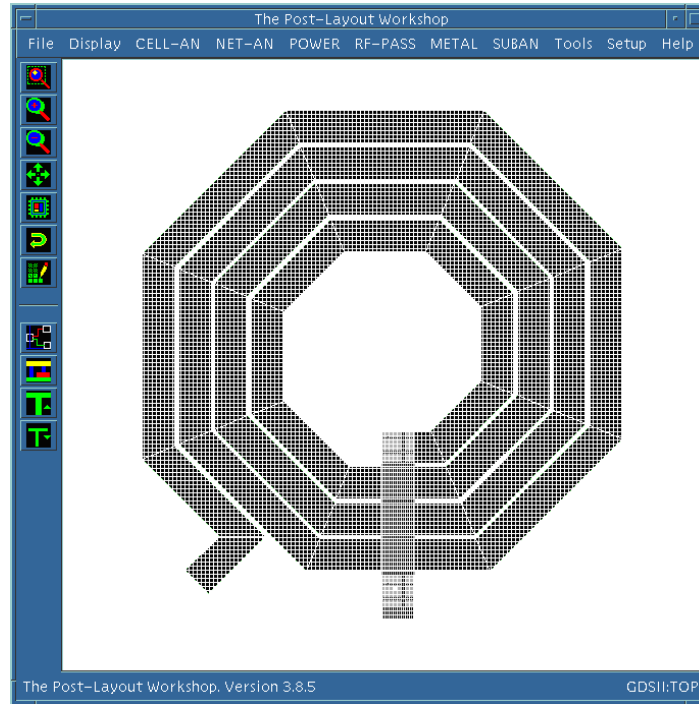
optimizasyon problemi için SPIRAL programı kullanılmıştır. Bu program yardımı ile değişik genişlikteki hatlar, değişik sarım ayısı ve mesafeleri için taranmış ve bir çözüm uzayı bulunmuştur. Bu çözüm uzayından en iyi Q 'yu veren geometri seçilmiştir.

Çizelge 4.1 2.5nH Endüktör elektriksel özellikleri

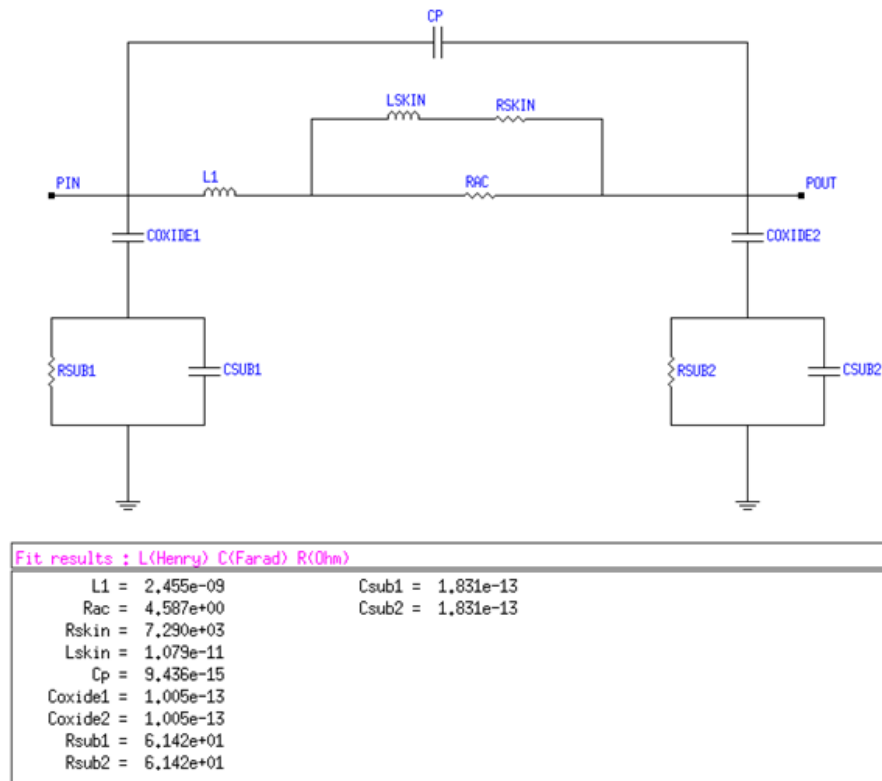
Toplam DC Endüktans	2.5 nH
Öz endüktans katkısı	1.0 nH
Karşılıklı endüktans katkısı	1.5 nH
Toplam DC direnç	3.43 Ω
Toprağa toplam kapasite	0.24 pF

Tasarlanan endüktör 4 sarımdır. Tasarım 200 μm 'ye 200 μm 'lik bir alan kaplamaktadır. Endüktörün hat genişliği 13.4 μm 'dir. Sarımlar arası mesafe teknolojinin imkan verdiği minimum uzaklık 1.5 μm alınmıştır. Bu sayede karşılıklı endüktans etkisinden olabildiğince faydalanılmıştır. Devreye mümkün olduğunca seri parazitik direnç getirmeden endüktans elde edilmeye çalışılmıştır. Çizelge 4.1'de tasarlanan endüktansın elektriksel özellikleri verilmiştir. Görüldüğü gibi elde edilen endüktansın yarısından fazlası karşılıklı endüktans etkisinden gelmiştir. Şekil 4.31'de tasarlanan endüktörün serimi verilmiştir.

Tasarlanan endüktörün 11 elemanlı eşdeğer modeli Şekil 4.32'de verilmiştir. Burada C_p sarımlar metalleri arasındaki yanal alanlardan kaynaklanan kapasitedir. L_{skin} , R_{skin} deri etkisini modellemek için kullanılan elemanlardır. C_{ox} oksit kapasiteleri, C_{sub} , R_{sub} taban kapasite ve dirençleridir.

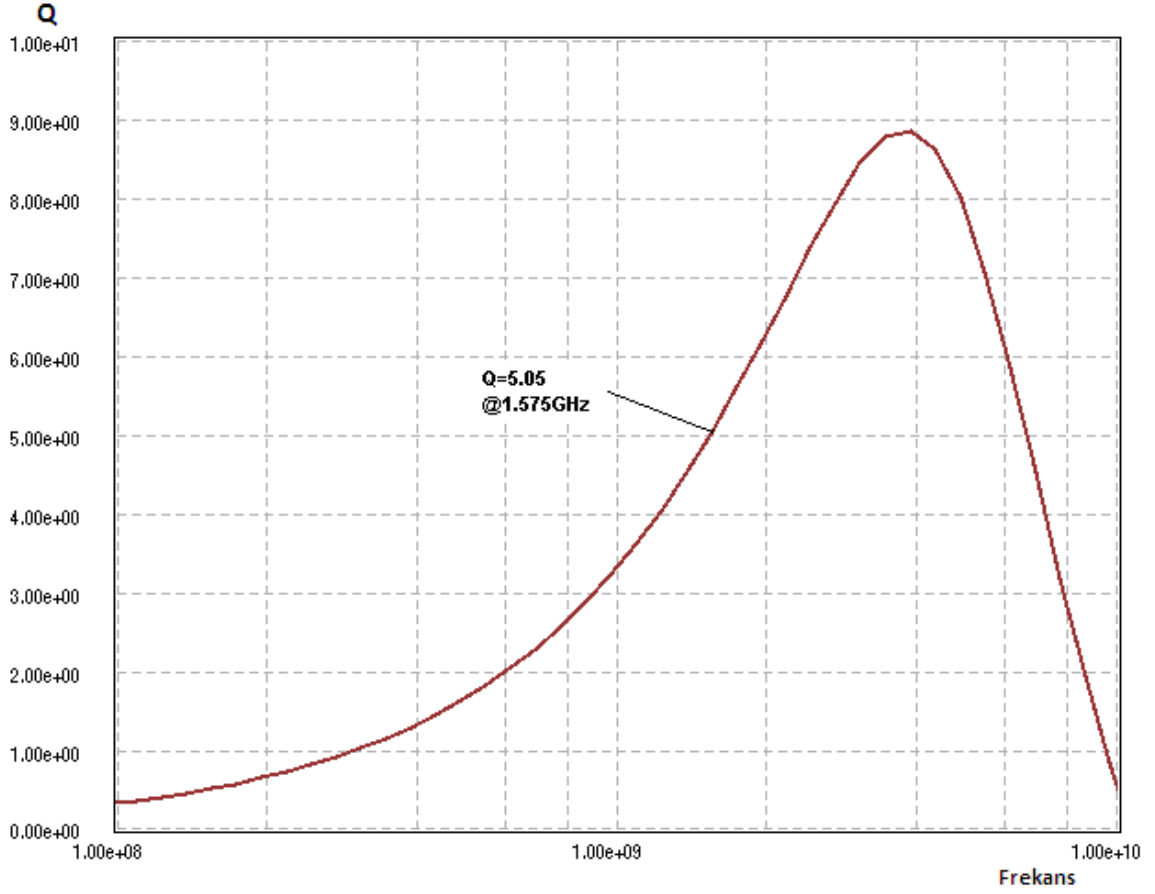


Şekil 4.31 2.5nH Endüktör Serimi



Şekil 4.32 2.5nH Endüktör 11 elemanlı model ve eleman değerleri

Elde edilen endüktörün kalite faktörü Şekil 4.33’de 1.575GHz’de 5 olarak bulunmuştur.

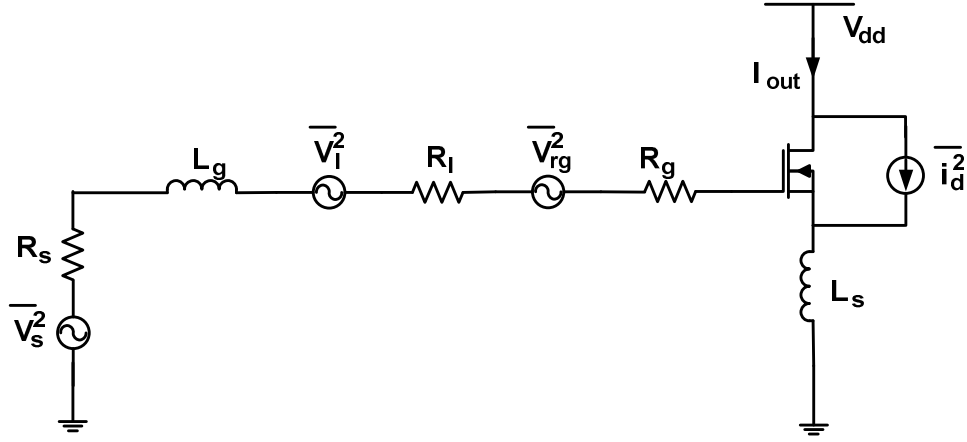


Şekil 4.33 2.5nH endüktör kalite faktörü

4.2 Tranzistör Serimi

Şekil 4.34’de verilen kaynak dejenerasyonlu DGK topolojisindeki temel gürültü kaynakları kullanılırsa (4.26)’daki eşitlik elde edilir (Shaeffer vd., 1999). Burada R_s kaynak direnci, R_g parazitik geçit direnci, γ gövde etkisi katsayısı (uzun kanallı tranzistörler için 2/3’tür), g_{d0} 0 kutuplu iken savak iletkenliği, ω_0 çalışma frekansı ve ω_T kesim frekansıdır. Açıkça görüldüğü gibi tranzistörün geçit direnci devreye ek bir gürültü getirmektedir. Optimizasyon sonucu elde edilen tranzistör genişlikleri yüksek değerler almaktadır bu durumda geçit direncinden gelecek gürültüyü azaltmak için bazı serim teknikleri kullanılmalıdır.

$$F = 1 + \frac{R_l}{R_s} + \frac{R_g}{R_s} + \gamma g_{d0} R_s \left(\frac{\omega_0}{\omega_T} \right)^2 \quad (4.26)$$

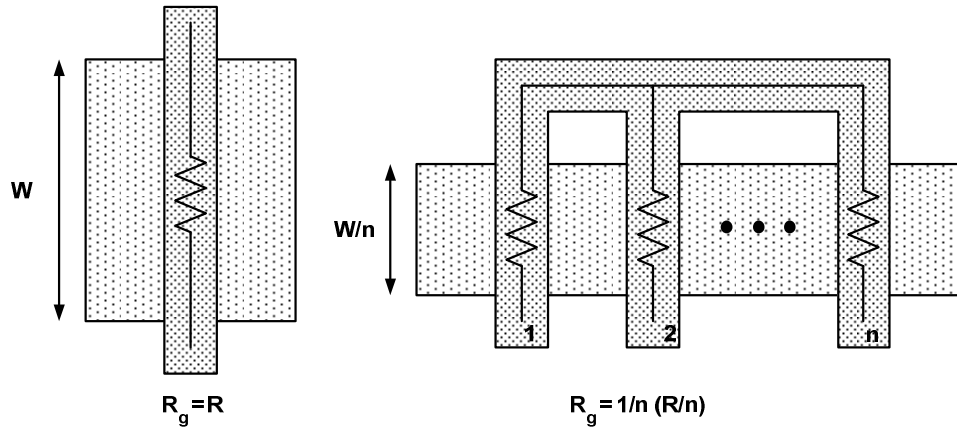


Şekil 4.34 Giriş katı gürültü hesaplamaları için eşdeğer devre

Tranzistörün geçit tabakasından gelen R_g direncini küçültmek için tranzistörün geçidinin her iki taraftan sürülebileceği ve bu durumda görülecek direnç (2.84)'de verilmişti. Bu teknikle geçide seri gelen direncin değeri tek taraflı sürmeye göre 4 kat daha azalır.

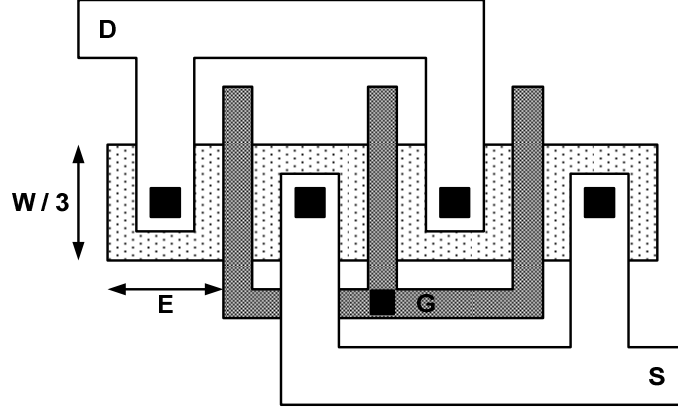
Diğer bir serim yöntemi parmaklara ayırmadır. Şekil 4.35'de bu tekniğin uygulandığı gösterilmektedir. Kanal genişliği W olan bir tranzistör n tane paralel tranzistör olarak çizilebilir. Bu durumda her bir parmağın genişliği W/n 'dir. Bu durumda R_g , n tane parmağın paralel eşdeğeri olarak yazılırsa R_g direnci n^2 ile azalır. Elde edilen R_g direnci (4.27) ile ifade edilebilir. Burada F tranzistörün geçidinin tek taraflı sürülmesi halinde 1/3, çift taraflı sürülmesi halinde 1/12'dir.

$$R_g = \frac{1}{n} \cdot F \cdot R_{sh} \cdot \frac{W}{nL} \quad (4.27)$$



Şekil 4.35 Parmaklara ayırma yöntemi uygulanarak geçit direnci azaltılan serimler

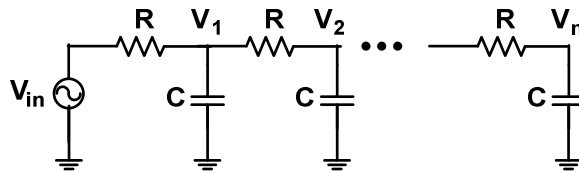
Parmaklara ayrılmış serim yönteminde sınırlayıcı etken kaynak ve savak alanlarının çevre kapasitelerinin artmasıdır. Şekil 4.36'da toplam çevre kapasitesi 3 parmaklı yapı için $2(2E+2W/3)=4E+4W/3$ ile hesaplanabilir. Daha genel bir kural (4.28)'de verilmiştir. Burada C_{jsw} savak veya kaynak alanlarının yan jonksiyon alanlarından kaynaklanan kapasiteleri ifade etmektedir. Çevre kapasitesi C_P 'dir.



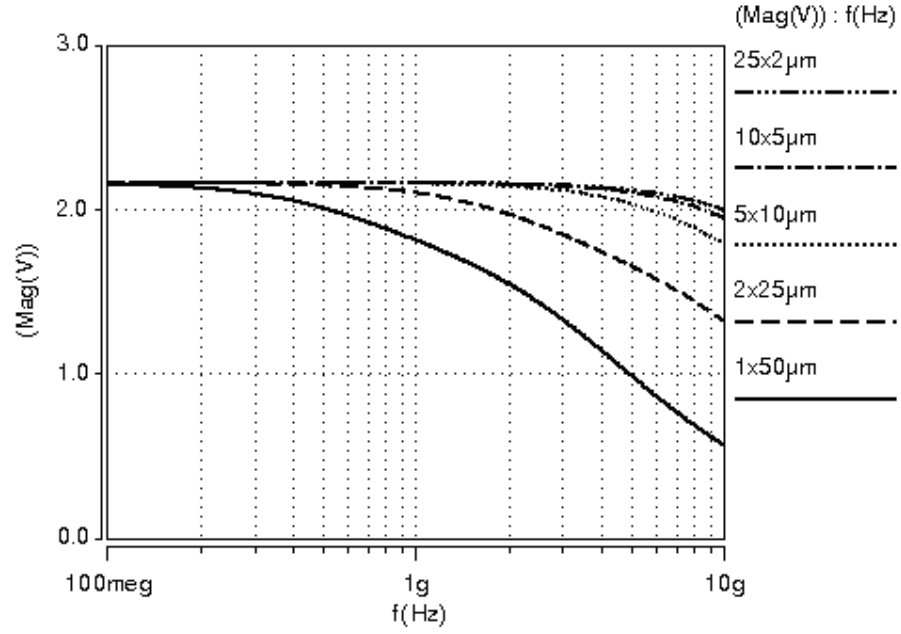
Şekil 4.36 3-Parmağa ayrılmış tranzistör serimi kaynak ve savak alanları

$$C_P = \frac{N+1}{2} \left(2E + \frac{2W}{N} \right) C_{jsw} = \left[(N+1)E + \frac{N+1}{N}W \right] C_{jsw} \quad (4.28)$$

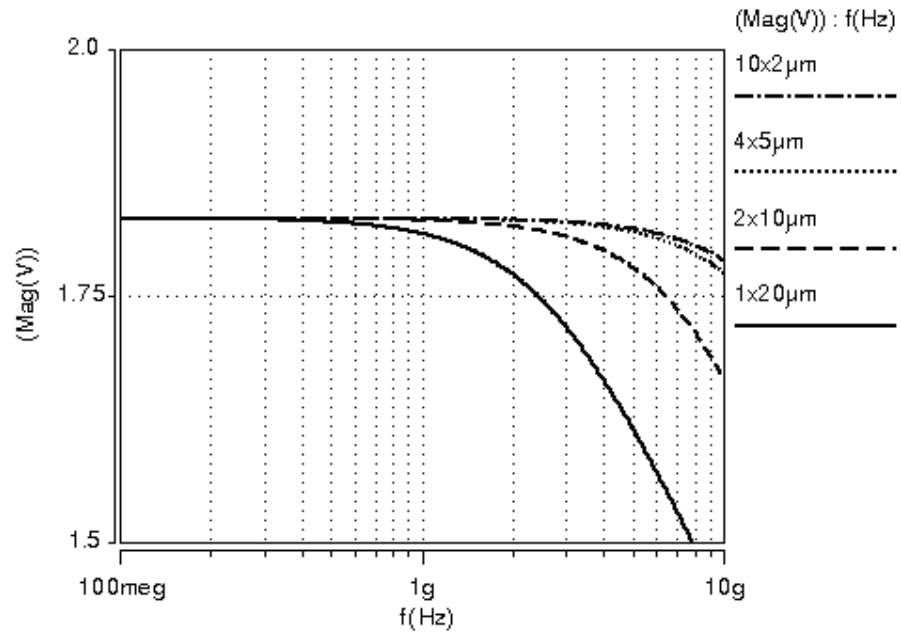
Tasarlanan tranzistörün kaç parmağa bölüneceğini belirleyen diğer bir etken de tranzistörün frekans davranışıdır. Şekil 4.37'den de görüldüğü gibi Şekil 2.14 (b)'deki devrenin giriş eşdeğer devresi bir RC devredir ve tranzistörün kazanç-bant-genişliği üzerinde birinci dereceden etkisi vardır. Şekil 4.38 ve 4.39'da $50\mu\text{m}$ ve $20\mu\text{m}$ tranzistörler değişik parmak sayısına bölünerek frekans analizi yapılmıştır. Grafiklerden görüldüğü gibi geniş tranzistörleri parmaklara ayırmak sadece geçit direncini düşürerek daha iyi bir gürültü başarımı elde etmek için değil aynı zamanda devrenin kazanç-bant genişliğini büyük tutmak için de önemlidir. Simülasyon sonuçlarından görüldüğü üzere parmak boyu $5\mu\text{m}$ 'dan küçük olduğunda tranzistörün frekans davranışındaki değişim daha az olmaktadır.



Şekil 4.37 Tranzistör eşdeğer giriş RC devresi

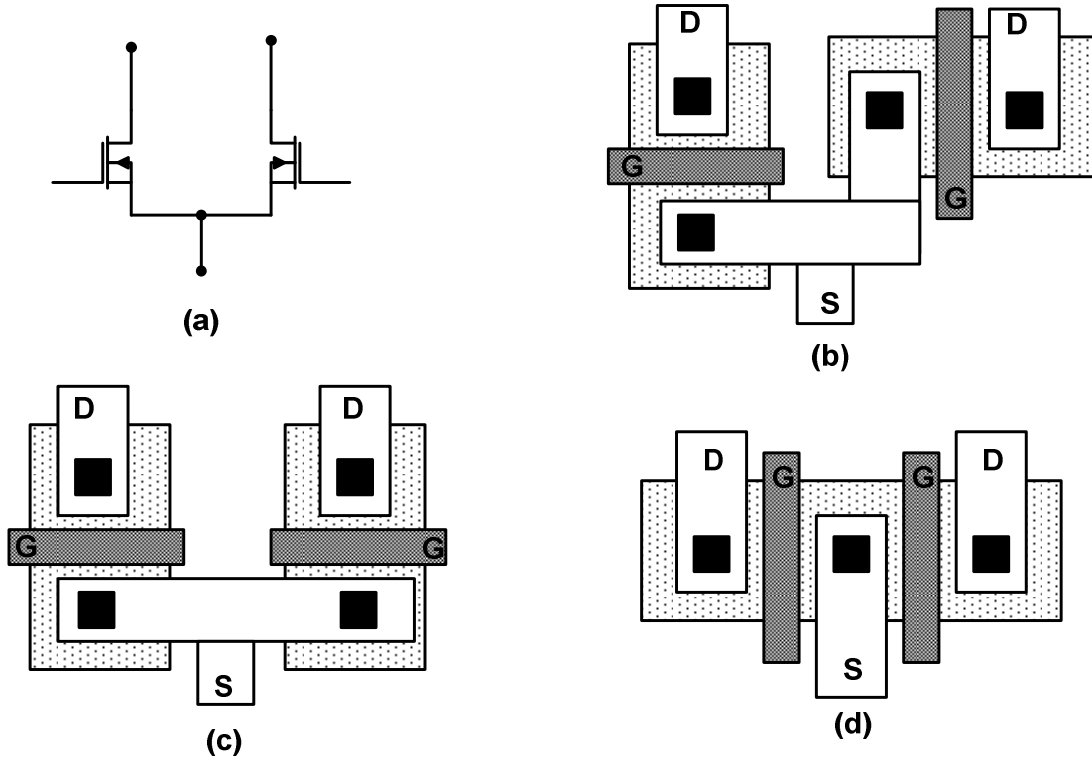


Şekil 4.38 $W=50\mu\text{m}$ $L=90\text{nm}$ tranzistörün değişik parmaklara bölünerek gerçekleştirilmesi ve AC frekans davranışı

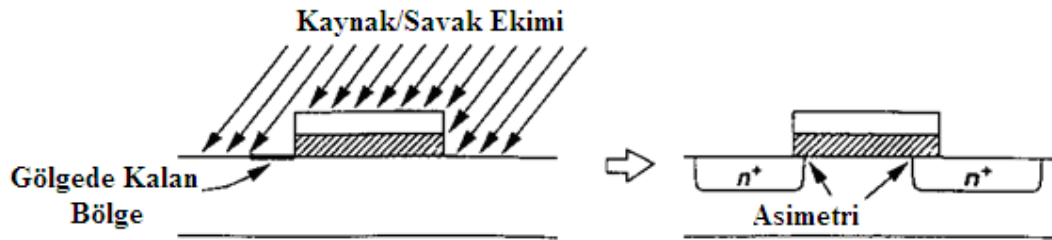


Şekil 4.39 $W=20\mu\text{m}$ $L=90\text{nm}$ tranzistörün değişik parmaklara bölünerek gerçekleştirilmesi ve AC frekans davranışı

Simetri, iyi serim yapmak için diğer bir anahtar özelliktir. Tam farksal devreler ortak işaret kazancı ve ikinci dereceden doğrusalsızlıkların azaltılması bakımından devreye katkı sağlar. Asimetrik bir tasarım devre başarımını düşürür. Şekil 4.40'da farksal yapı görülmektedir. Asimetrik bir yapı devredeki hatların simetrisini bozduğu için devreye farklı parazitikler getirirler.



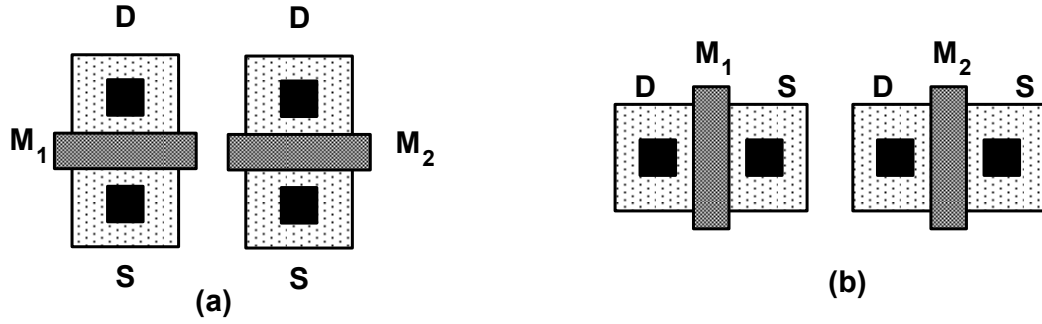
Şekil 4.40 (a) Farksal çift (b) M1 ve M2'nin değişik yönlere serimi (c) geçit yönlü serim (d) paralel geçitli serim



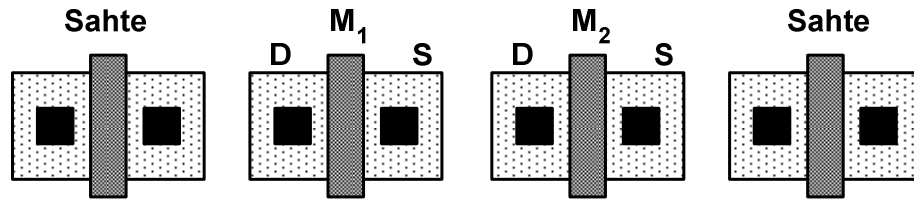
Şekil 4.41 İyon ekiminin eğiminden kaynaklanan gölgeleme

Şekil 4.41’de kaynak/savak ekimi sırasında ekimin veya kırımın 7 derece civarında eğik tutulmasından kaynaklanan gölge etkisi gösterilmiştir. Sonuç olarak kaynak veya savak bölgesinin bir kısmı daha az ekime maruz kalır. Böylece savak ve kaynak bölgeleri arasında ufak bir asimetri oluşur.

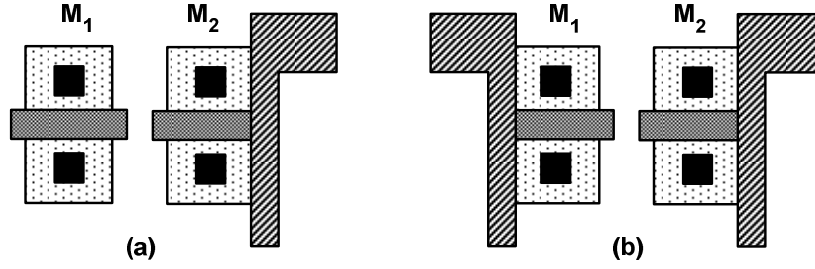
Tasarlanan tranzistörler etrafındaki simetri devre başarımını etkiler. Şekil 4.42 (a)’da gösterilen serim geçit gölge etkisinden, Şekil 4.42 (b)’dekinden daha az etkilenir. Şekil 4.42 (b)’deki serimde tranzistörün kaynak ve savak alanlarının etrafındaki bölgeler farklıdır. Bunun önüne geçmek için Şekil 4.43’deki gibi kaynak ve savak alanlarının etrafında simetri sağlamak üzere boş tranzistörler tasarıma konabilir. Tasarlanan farksal yapının tranzistörlerinin birisinin üstünden geçen bir metal hat devreye getireceği parazitikler sayesinde devrenin davranışını değiştirebilir. Bu yüzden aynı yapı Şekil 4.44’deki gibi serim aşamasında diğer tranzistör için de yapılmalıdır.



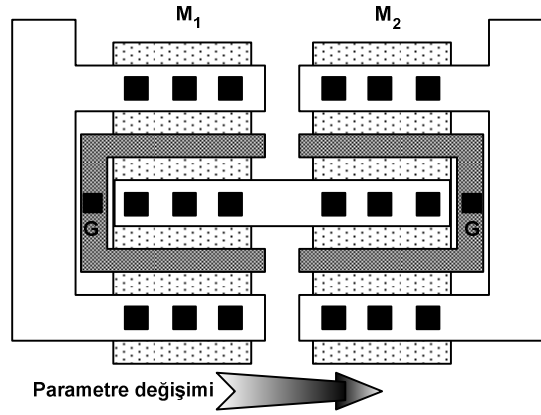
Şekil 4.42 Gölge etkisi (a) geçit-yönelimli ve (b) paralel geçitli tranzistörler



Şekil 4.43 Simetri sağlamak için kullanılan boş tranzistörler

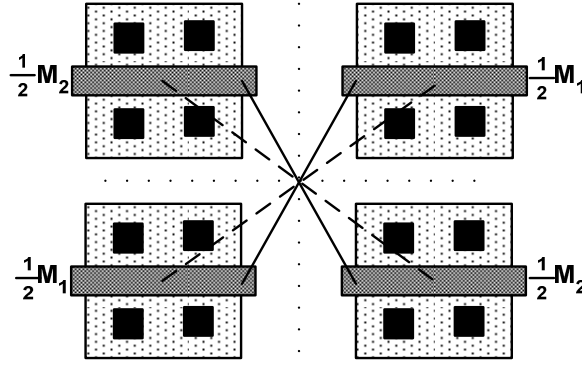


Şekil 4.44 (a) M2 üstünden geçen metal hat asimetri oluşturur. (b) Aynı hat M1 üzerinde de yapılarak simetri sağlanması



Şekil 4.45 Farksal yapıda parametre değişiminin etkisi

Özellikle geniş tranzistörler kırıık üzerindeki parametre değişiminden kötü yönde etkilenirler. Bu parametre değişimi kırıığın teknolojisine bağı olabileceğı gibi en basit şekilde kırıık üzerinde sıcaklık değişimi olarak da ortaya çıkabilir. Örneğın kırıık üzerindeki eşik gerilimi kırıığın neresinde olduğumuza göre değişebilir. Sıcaklık değişimi devre bloklarının güç tüketimine ve bu blokların serimdeki yerlerine göre değişebilir. Şekil 4.45 gibi bir farksal yapının seriminde değişim görölmektedir. Bu durumda farksal yapının kolları arasında elektriksel özelliklerin farklı olması ve dolayısıyla devrenin başarımının düşmesi beklenir. Bu etkilerden kurtulabilmek için tüm tasarım simetrik bir şekilde yapılmalıdır. Bu parametre değişim etkilerinden kurtulmak için serimlerde en çok başvuru yöntemlerden birisi “common-centroid” denilen yapıların kullanılmasıdır. Şekil 4.46’da tasarım gösterilen tüm eksenler yönünde simetriktir ve parametre değişimlerinden en az etkilenirler. Öteki taraftan bu yapıların kullanılması devrenin karmaşıklığını dolayısıyla parazitik direnç, kapasite ve endüktanslarını artırır.



Şekil 4.46 “Common-centroid” serim

4.3 Düşük Gürültülü Kuvvetlendirici Devre Serimi

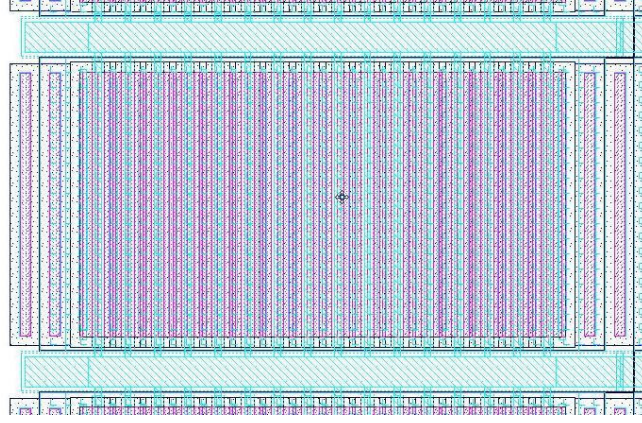
Şekil 4.47’de devre şeması görülmektedir. Devredeki kuyruk akımı M_5 ve M_7 ’nin oluşturduğu akım aynasından sağlanmaktadır. Devre için referans akım ref ucundan 1mA olarak uygulanacaktır. Giriş tranzistörleri M_1 ve M_2 ’nin kutuplama gerilimleri M_6 tranzistörü ile elde edilmektedir. R_{B1} ve R_{B2} dirençleri devrenin girişine paralel geldikleri için 10K gibi yüksek değer seçilerek getirecekleri gürültünün minimum olması amaçlanmıştır. Kaskad tranzistörler M_3 ve M_4 ’ün kanal boyları 160nm alınarak çıkıştan girişe izolasyonun daha iyi olması sağlanmıştır. Devredeki C_1 , C_2 , L_{11} , L_{12} , L_{s1} , L_{s2} elemanlarının değerleri optimizasyon algoritmasından elde edilen değerler olarak alınmıştır. Devredeki tüm elemanların değerleri Çizelge 4.2’de görülebilir. Giriş endüktansları değeri 13nH’dir. Geçide gelen direncin düşük tutulmasını dolayısıyla girişe daha az gürültü gelmesini sağlamak amacıyla giriş endüktansı daha yüksek kalite faktörü ile kırmık dışında gerçekleştirilecektir.

Tasarımımızda tranzistör boyutları büyük olduğundan getireceği parazitik etkilerin kestirilememesinden dolayı “common-centroid” yapı kullanılmamıştır. Giriş tranzistörlerinin geçit uçları her iki taraftan Şekil 4.48’de gösterildiği gibi bağlanmıştır. Devrede simetrikliği garanti etmek için serim ilk olarak bir yarı düzlemde yapılmış daha sonra öteki yarı düzleme aynalanmıştır. Giriş tranzistörlerinin parmak boyu 5um’dan küçük olmasına dikkat edilmiştir. Giriş tranzistörleri 3.8u x 90nm x 320 parmak, kaskod tranzistörler 8u x 160nm x 128 parmak yapılmıştır.

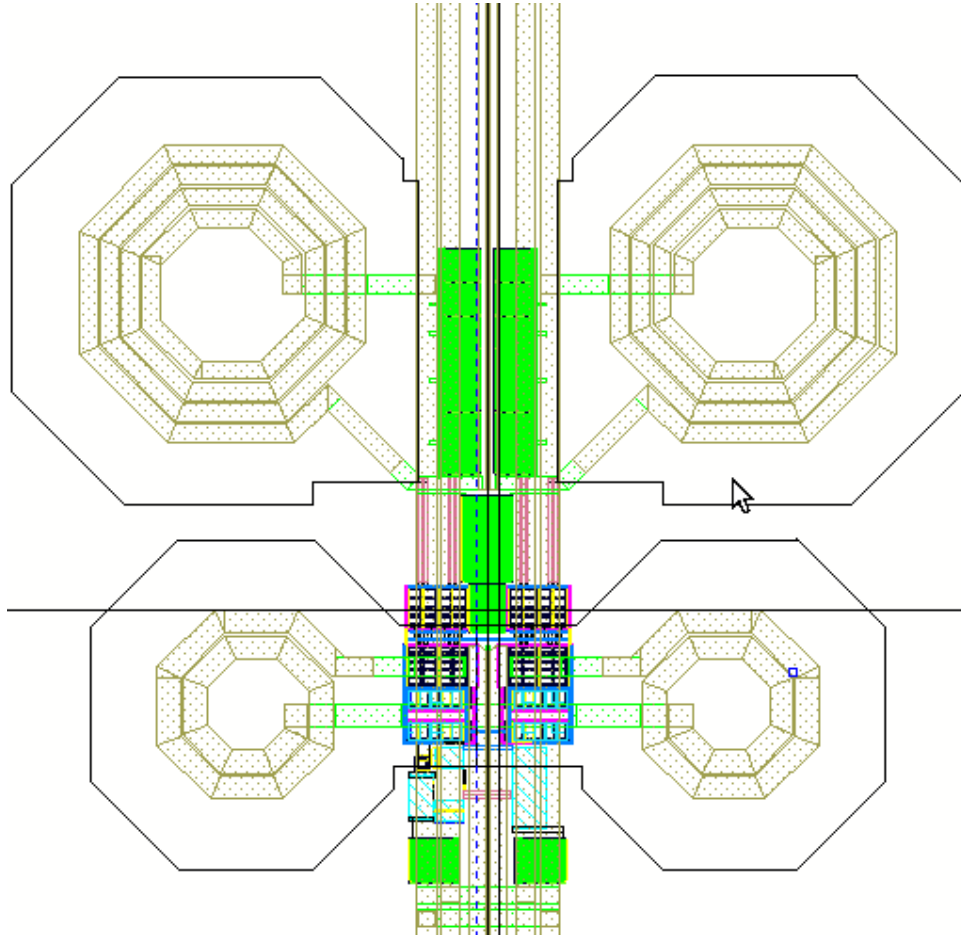
Bütün devrenin serimi çip üzerinde 600umx670um yer kaplamaktadır. 2.5nH endüktans 200um x 200um, 0.45nH endüktans 120um x 120um alanlara sahiptirler. Son olarak Şekil 4.49’da tüm DGK’nın serimi görülmektedir.

Çizelge 4.2 DGK tasarımı eleman değerleri

Eleman	Değer	Eleman	Değer
M ₁ ,M ₂	$L=90\text{nm}$, $W=1216\mu\text{m}$ (3.8 μm x 320)	L ₁₁ , L ₁₂	2.5nH
M ₃ ,M ₄	$L=160\text{nm}$, $W=1024\mu\text{m}$ (8 μm x 128)	C ₁ , C ₂	2.785pF
M ₅	$L=160\text{nm}$, $W=2000\mu\text{m}$ (10 μm x 200)	R _{B1} ,R _{B2}	10K
M ₆	$L=90\text{nm}$, $W=50\mu\text{m}$ (5 μm x 10)	R ₁	700 Ω
M ₇	$L=160\text{nm}$, $W=240\mu\text{m}$ (10 μm x 24)	R ₂	500 Ω
L _{S1} ,L _{S2}	0.45nH	R ₃	1K Ω



Şekil 4.48 Geçit her iki taraftan sürülerek 16 parmak $W=3.8\mu$ $L=90\text{nm}$ tranzistör serimi



Şekil 4.49 DGK serimi ($600\mu\text{m} \times 670\mu\text{m}$)

5. SONUÇLAR ve ÖNERİLER

Bu çalışmada dar-bantlı uygulamalarda kullanılabilecek bir DGK tasarım optimizasyonu geliştirilmiştir. Bunun için gürültü teorisi ve tranzistör gürültü kaynakları ayrıntılı bir şekilde incelenmiştir. Yüksek frekans MOSFET gürültü modellerine duyulan ihtiyaç yapılan simülasyonlarla bir kez daha ortaya konulmuştur. Endüktans dejenerasyonlu ortak kaynaklı DGK topolojisi için ayrıntılı gürültü analizi yapılarak, geçitten endüklenen gürültü kaynağının modellere katılması gerektiği simülasyonlarla gösterilmiştir.

Gürültünün ortam sıcaklığına doğrudan bağlı olması nedeni ile gürültü başarımının sıcaklık ile değişimi incelenmiştir. DGK düşük güçlü bir uygulama olması nedeniyle devreye az ısı yaydığı ve dolayısıyla tükettiği güç nedeni ile gürültü başarımının çok etkilenmeyeceği gösterilmiştir. Ancak DGK bir alıcı devresinde yer aldığında çevresindeki devre bloklarından yayılan ısı ile çok ısınabileceği ve kanal sıcaklığının ihmal edilemeyecek düzeylere çıktığı görülmüştür.

Tasarlanan DGK devresinde elde edilen sonuçlar Çizelge 5.1’de verilmiştir. Bu sonuçlar Çizelge 1.1’deki çalışmalar ile karşılaştırıldığında tasarlanan DGK’nın düşük gürültü sayısı ve düşük güç tüketmesi dikkati çekmektedir.

Çizelge 5.1 DGK başarımlı ölçütleri

Gürültü Sayısı [dB]	0.7dB
Kazanç [dB]	25dB
Güç [W]	10mW
1dB bastırım noktası [dBm]	-8.75dB
IIP3 [dBm]	-3.25dB
S_{11} [dB]	-25 dB
S_{12} [dB]	-43dB

Endüktans tasarımında deri ve yakınlaşma etkilerinin yüksek frekanslarda baskın hale geldikleri gösterilmiştir. Endüktansların kalite faktörlerinin klasik yöntemlerle hesaplandığında yüksek frekans bölgesinde yanlış sonuçlar verdiği gösterilmiştir. Kalite faktörünün yüksek frekans bölgesinde doğru bulunabilmesi adına değişik bir yaklaşımda bulunulmuştur. Bu yaklaşım, yüksek frekanslarda doğru sonuçlar veren diğer yöntemlerle karşılaştırılmış ve uyum gösterdiği görülmüştür. Bu yöntemin diğer doğru sonuç veren yöntemlere olan avantajı daha kolay uygulanabilir olması ve daha hızlı sonuca ulaşmasıdır.

Daha düşük gürültü başarımı için tranzistör serimlerinde dikkat edilmesi noktalara değinilmiştir. Gerçeklenmek istenen tranzistörlerin parmak uzunluklarının devre başarımını kötü yönde etkilememesi için seçilmesi gereken boyutlar simülasyonlar ile belirlenmiştir.

Bu çalışmada verilen optimizasyon yöntemi geliştirmeye açıktır. Geniş-bantlı uygulamalar için ortak-geçitli topoloji kullanılarak yeni bir yöntem geliştirilebilir. Tasarımcı karakteristik empedansı 50Ω olmayan bir anten tasarlayarak daha iyi gürültü başarımına sahip DGK'lar tasarlama imkanına sahip olabilir.

KAYNAKLAR

Ashby, K. B., Finley, W.C., Bastek, J.J., Moinian, S. ve Koullias, I.A., (1994), “High Q inductors for wireless applications in a complementary silicon bipolar process”, Proc. Bipolar and BiCMOS Circuits and Technology Meeting, Minneapolis, MN.

Belostotski, L. ve Haslett, J.W., (2007), “ Sub-0.2 dB Noise Figure Wideband Room-Temperature CMOS LNA With Non-50 Ω Signal-Source Impedance”, IEEE Journal of Solid-State Circuits, 11:2492-2502.

Bielefeld, J., Pelz, G., Abel, H.B. ve Zimmer, G., (1995), “ Dynamic SPICE-Simulation of the Electrothermal Behavior of SOI MOSFET's”, IEEE Trans. On Electron Devices, 11:1968-1974.

Burghartz, J.N., Edelstein, D.C., Soyuer, M., Ainspan, H.A. ve Jenkins, K.A., (1998), “RF circuit design aspects of spiral inductors on silicon”, IEEE J. Solid-State Circuits, 12:2028-2034.

Cassan, D.J. ve Long, J.R., (2003), “A 1-V Transfor-Feedback Low-Noise Amplifier for 5-GHz Wireless LAN in 0.18- μ m CMOS”, IEEE Journal Solid-State Circuits, 3:427-435.

Edwards, M.L. ve Sinsky, J.H., (1992), “ A New Criterion for Linear 2-port Stability Using a Single Geometrically Derived Parameter”, IEEE Trans. On Microwave Theory and Techniques, 12:2303-2311.

Gramegna, G., Paparo, M., Erratico, P.G. ve De Vita, P., (2001), “A sub-1-dB NF 2.3-kV ESD protected 900 MHz CMOS LNA”, IEEE Journal of Solid-State Circuits, 7:1010-1016.

Greenhouse, H.M., (1974), “Design of planar rectangular microelectronic inductors”, IEEE Trans. Parts, Hybrids, Packag., 10:101–109.

Harper, C.A., (1997), Electronic Packaging and Interconnection Handbook, McGraw-Hill, New York.

Jin, X., Ou, J., Chen, C., Liu, E., Deen, J., Gray, P.R. ve Hu, C., (1998), “An Effective Gate Resistance Model for CMOS RF and noise modelling”, Electron Devices Meeting, IEDM Technical Digest International, 6-9 Dec, San Francisco, USA.

- Jindal, R.P., (2006), “compact Noise Models for MOSFET’s”, IEEE Trans. On Electron Devices, 9:2051-2059.
- Karanicolas, A.N., (1996), “A 2.7-V, 900-MHz CMOS LNA and Mixer”, IEEE Journal of Solid-State Circuits, 7:1939-1944.
- Kenneth, O., (1998), “Estimation methods for quality factors of inductors fabricated in silicon integrated circuit process technologies.”, IEEE J. Solid-State Circuits, 8:1249–1252.
- Ko, J., Kim, J., Cho, S. ve Lee, K., (2005), “A 19-mW 2.6-mm² L1/L2 Dual-Band CMOS GPS Receiver”, IEEE Journal of Solid-State Circuits, 7:1414-1424.
- Lau, J., Wong, C.P., Prince, J.L. ve Nakayama, W., (1998), Electronic Packaging Design, Materials, Process and Reliability, McGraw-Hill, New York.
- Lee, M.S.L., Redman-White, W., Tenbroek, B.M. ve Robinson, M., (1993), “Modelling of Thin Film SOI Devices for Circuit Simulation Including per Instance Dynamic Self-Heating Effects”, Proc. 19th IEEE Int. SOI Conf, Oct.
- Lee T.H., (1998), The Design of CMOS Radio Frequency Integrated Circuits, Cambridge University Press, Cambridge.
- Leenaerts D., Van Der Tang J. ve Vaucher C., (2001), Circuit Design for RF Transceivers, Kluwer Academics Publishers, Boston.
- Liu, W., (2001), Mosfet Models For SPICE Simulation Including BSIM3v3 and BSIM4”, John Wiley & Sons, New York.
- Long, J.R. ve Copeland, M.A., (1997), “The modeling, characterization, and design of monolithic inductors for silicon RF ICs,” IEEE J. Solid-State Circuits, 3:357–369.
- Ludwig, R. ve Bretchko, P., (2000), RF Circuit Design Theory and Applications, Prentice Hall, Upper Saddle River, NJ.
- Manku, T., Obrecht, M. ve Lin, Y., (1999), “High-frequency Dependence of Channel Noise in Short-Channel RF MOSFET’s”, IEEE Electron Device Letters, 9:481-483.
- Mohan, S., (1990), “Simple accurate expressions for planar spiral inductors”, IEEE J. Solid State Circuits, 10:1419–1424.

Motchenbacher, C.D. ve Connelly, J.A., (1993), Low-Noise Electronic System Design, John Wiley & Sons, New York.

Nguyen, N. M. ve Meyer, R. G., (1990), "Si IC-compatible inductors and LC passive filters," IEEE J. Solid-State Circuits, 4:1028-1031.

Nguyen, N. M. ve Meyer, R. G., (1992), "A Si bipolar monolithic RF bandpass amplifier," IEEE J. Solid-State Circuits, 1:123-127.

Nguyen, N. M. ve Meyer, R. G., (1992), "A 4.8-GHz monolithic LC voltage-controlled oscillator," J. Solid-State Circuits, 3: 444-450.

Niknejad, A.M. ve Meyer R.G., (1998), "Analysis, design, and optimization of spiral inductors and transformers for Si RF ICs", IEEE J. Solid-State Circuits, 10:1470–1481.

Niknejad, A.M. ve Meyer R.G., (2000), Design, Simulation and Applications of inductors and Transformers for Si RF IC's, Kluwer Academic Publications, Massachusetts.

Razavi, B., Yan, R. ve Lee, K.F., (1994), "Impact of Distributed Gate Resistance on Performance of MOS Devices", IEEE Transactions on Circuits and Systems- Fundamental Theory and Applications, 14:750-754.

Razavi B., (1998), RF Microelectronics, Prentice Hall PTR, NJ.

Razavi B., (2001), Design of Analog CMOS Integrated Circuits, McGraw-Hill, New York.

Rofougaran, A., James Y., Rofougaran, M. ve Abidi, A.A., (1996), "A 1GHz CMOS RF Front End IC for a Direct Conversion Wireless Receiver", IEEE Journal of Solid-State Circuits, 7:880-889.

Rollett, J.M., (1962), "Stability and power gain invariants of linear two-ports", IRE Trans. Circuit Theory, CT-9:29-32.

Rudell, J.C., Ou, J., Cho, T.B., Chien, G., Brianti, F., Weldon, J.A. ve Gray, P.R., (1997), "A 1.9-GHz Wideband IF Double Conversion CMOS Receiver for Cordless Telephone Applications", IEEE Journal of Solid-State Circuits, 12:2071-2088,

Sadiku M. N. O., (2001), Elements of Electromagnetics, Oxford University Press, New York.

Shaeffer D. K. ve Lee T.H., (1997), "A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier", IEEE Journal of Solid-State Circuits, 5: 745-759.

Shaeffer, D.K. ve Lee, T.H., (1999), *The Design and Implementation of Low-Power CMOS Radio Receivers*, Kluwer Academic Publisher, Massachusetts.

Shahani, A.R., Shaeffer, D.K. ve Lee, T.H., (1997), "A 12mW Wide Dynamic Range CMOS Front-End for a portable GPS Receiver", *IEEE Journal of Solid-State Circuits*, 32:2061-2069.

Tinella, C., Fournier, J.M. ve Haidar, J., (2001), "Noise Contribution in a Fully Integrated 1-V, 2.5-GHz LNA in CMOS-SOI Technology", *IEEE International Conference on Electronics, Circuits and Systems*, Sep 2-5, Malta.

Yang, J., Lee, C., Hsu, T.Y., Hsu, T.R. ve Wang C., (2000), "A 1.5-V, 2.4-GHz CMOS Low Noise Amplifier", *Proc. 43rd IEEE Midwest Symp. On Circuits and Systems*, Aug 8-11, Lansing

Yang, Y., Zhu, C., Gu, Z., Shang, L. ve Dick, R.P., (2006), "Adaptive multi-domain Thermal Modeling and Analysis for Integrated Circuit Synthesis and Design", *IEEE International Conference on Computer-Aided Design*, Nov, San Jose, USA.

Yue, C. P. ve Wong, S.S., (1998), "On-chip spiral inductors with patterned ground shields for Si-based RF ICs", *IEEE J. Solid-State Circuits*, 33:743-752.

Van Der Ziel, A., (1958), "Noise in Junction Transistors", *Proceedings of The IRE*, paper, 6:1019-1038

Van der Ziel, A., (1986), *Noise in Solid State Devices and Circuits*, John Wiley & Sons, New York.

Veijola, T. ve Valtonen, M., (1995), "An Object-Oriented Approach to Combined Electrical and Thermal Circuit Analysis", *Proceedings of ECCTD'95*, 27-31 August, Istanbul.

Veijola, T., Costa, L. ve Valtonen, M., (1997), "An Implementation of Electrothermal Component Models in a General Purpose Circuit Simulation Program", *Proceedings of Thermic'97*, September 21-23, Cannes.

Wang, T. ve Chen, C.C., (2004), "SPICE-Compatible Thermal Simulation with Lumped Circuit Modeling for Thermal Reliability Analysis based on Modeling Order Reduction", *ISQED*, March 22-24, San Jose, CA.

Wolbert, P.B.M., Watchutka, G.K.M., Krabbenborg, B.H. ve Mouthaan, T.J., (1994), “Nonisothermal Device Simulation Using the 2-D Numerical Process/Device-Simulator TRENDY and Application to SOI-Devices”, IEEE Trans. CAD of Integrated Circuits and Systems, 3:293-302.

Zhou, J.J. ve Allstot, D.J., (1998), “Monolithic transformers and their application in a differential CMOS RF low-noise amplifier”, IEEE J. Solid-State Circuits, 12:2020–2027.

Zogg, J.M., (2007), Essentials of Satellite Navigation, U-blox, Switzerland.

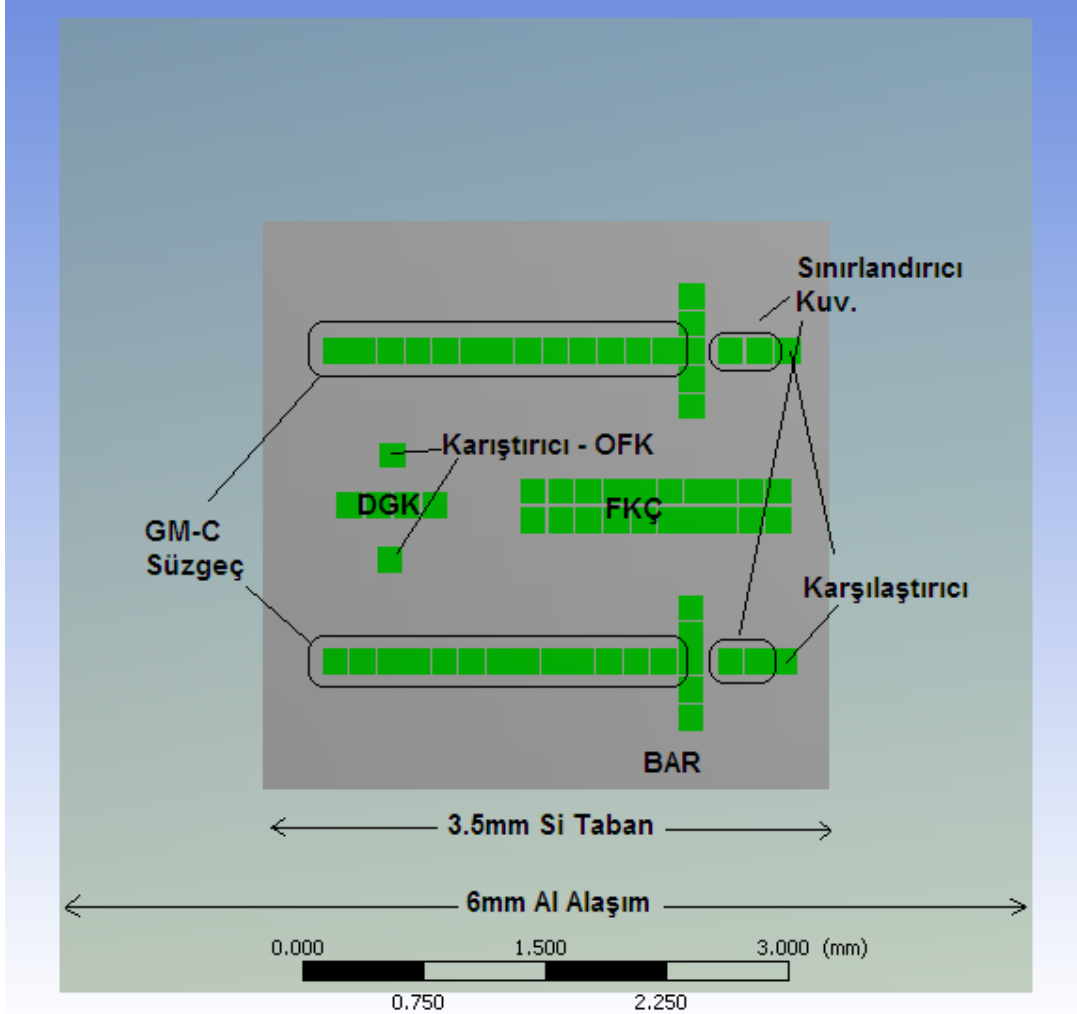
Zolfaghari, A., Chan, A. ve Razavi, B., (2004), “Stacked Inductors and Transformers in CMOS Technology”, IEEE J. Solid-State Circuits, 4:620–628.

EKLER

EK 1	Küresel Konumlandırma Sistemi Alıcı Devresi Isıl Simülasyonu
EK 2	2.5nH Endüktör Alt-devresi
EK 3	450pH Endüktör Alt-devresi
EK 4	dBm-Gerilim Dönüşümü

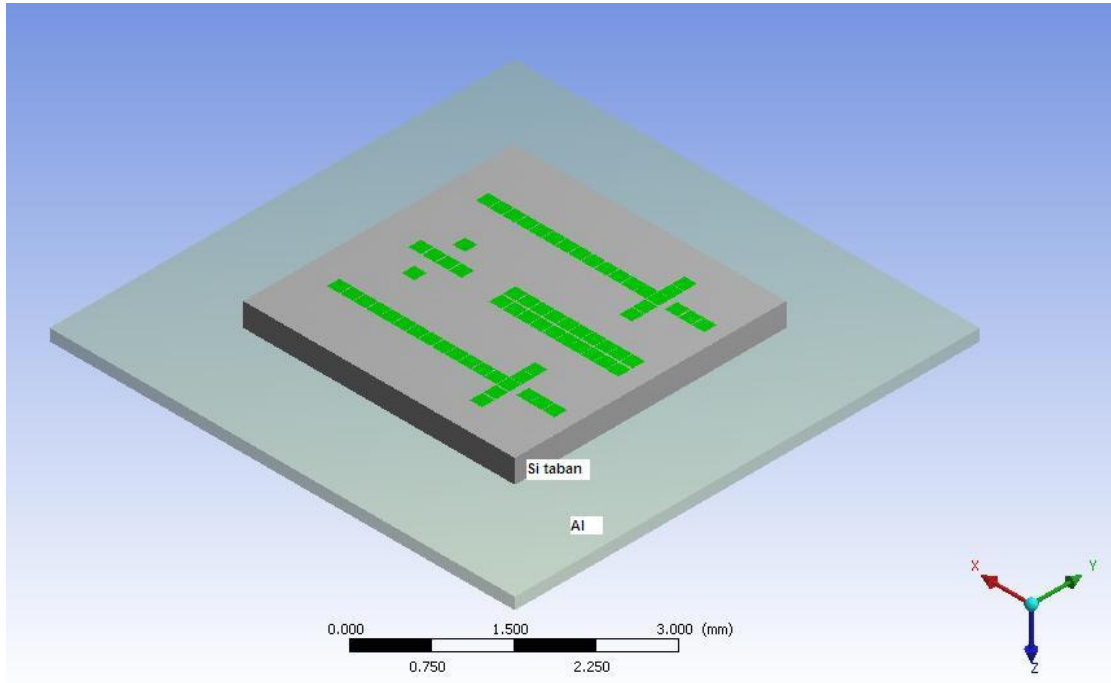
EK 1 Küresel Konumlandırma Sistemi Alıcı Devresi Isıl Simülasyonu

Literatürde çokça referans gösterilen KKS alıcı devresi için sonlu-eleman ısı simülasyonu yapılmıştır. Alıcı devresinin serimi ve bu serimde yer alan devre blokları Şekil Ek1.1 de verilmiştir. Devre 3.5mm x 3.5mm Si taban ve 6mm x 6mm Al alaşım taban altlığı üzerinde gerçekleştirildiği varsayılarak simülasyon yapılmıştır. Blokların güç tüketimleri Çizelge Ek1.1 de gösterilmiştir (Shaeffer vd., 1999).

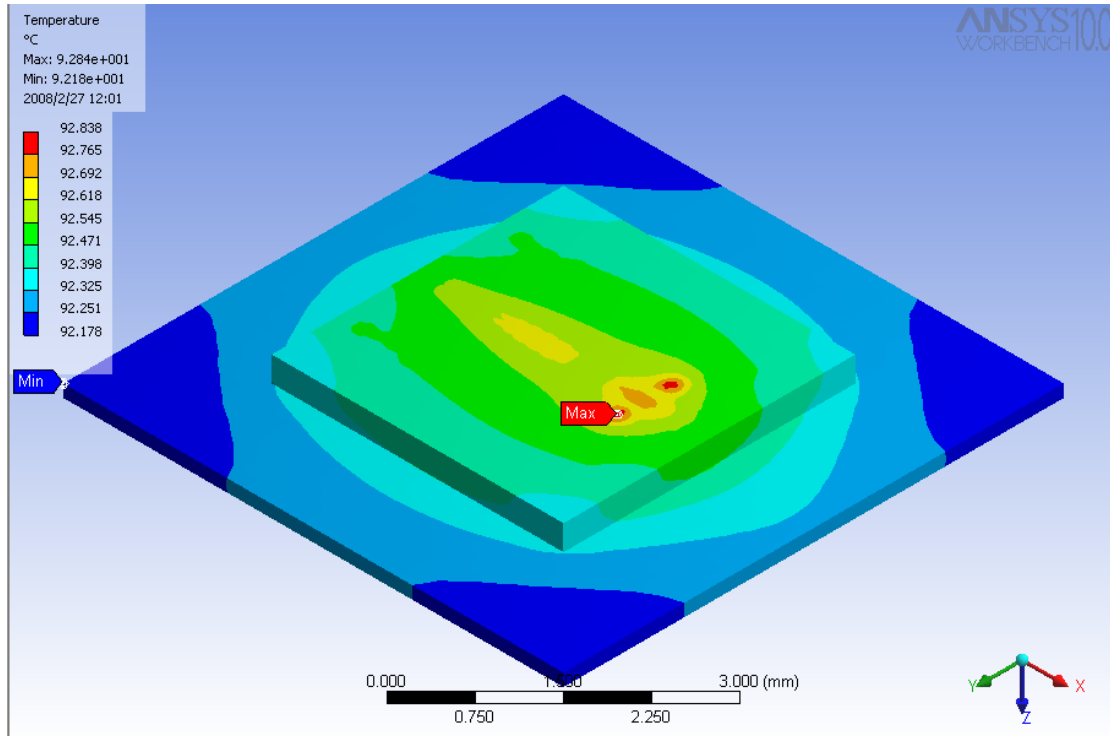


Şekil Ek1.1 Alıcı devre alt blokları

Devrenin 3-boyutlu modellemesi Şekil Ek1.2 de ve ısı simülasyon sonuçları Şekil Ek1.3 de verilmiştir. Alıcı devresinin sıcaklığı kırmık içinde 92°C ye kadar çıktığı tespit edilmiştir.



Şekil Ek1.2 Alıcı devresi 3-boyutlu modellemesi



Şekil Ek1.3 Alıcı devre ısı simülasyon sonucu

Çizelge Ek1.1 Alıcı devre blokları güç tüketimleri

Blok Adı	Açıklama	Güç Tüketimi
DKG	Düşük gürültülü kuvvetlendirici	15.75mW
Karıştırıcı-OFK	Karıştırıcı ve orta frekans kuvvetlendirici	13mW
BAR	Bant Aralığı referans devresi	1.87mW
Karşılaştırıcı	Karşılaştırıcı	3mW
Sınırlayan Kuv.	Sınırlayan Kuvvetlendirici	1.5mW
FKÇ	Faz kilitlemeli Çevrim	36mW
G _m -C	G _m -C Süzgeç	8.5mW
Toplam Tüketilen Güç		115mW @ 2.5V

EK 2 2.5nH Endüktör Alt-devresi

```
.subckt 2port_2.5nh_8side p1 p2 sub  
  
c0 p2 net055 87.542331065e-15  
  
c1 p1 net053 87.542331065e-15  
  
csub2 net053 sub 145.59e-15  
  
csub1 net055 sub 145.59e-15  
  
cparallel p2 p1 5.67621e-15  
  
rsub2 net053 sub 80.4981  
  
rsub1 net055 sub 80.4981  
  
rac p1 net20 5.57401  
  
rskin net17 net20 49.6309  
  
lskin p1 net17 17.6557e-12  
  
lseries p2 net20 2.45074e-9  
  
.ends 2port_2.5nh_8side
```

EK 3 450pH Endüktör Alt-devresi

.subckt 450p p1 p2 sub

csub2 p1 sub 78.1217e-15

csub1 p2 sub 78.1217e-15

cparallel p2 p1 681.264e-18

rsub2 p1 sub 109.395

rsub1 p2 sub 109.395

rac p1 net20 1.79441

rskin net17 net20 2.34123e3

lskin p1 net17 29.4964e-12

lseries p2 net20 429.833e-12

.ends 450p

EK 4 dBm-Gerilim Dönüşümü

Ölçülen gücün 1mW referans alınarak dB cinsinden değeri dBm olarak birimlendirilir. Genel formül (EK4.1)'de verilmiştir.

$$P_{ölç} [dBm] = 10 \log \left(\frac{P_{ölç} [W]}{1mW} \right) \quad (EK4.1)$$

Çizelge Ek4.1'de verilen gerilimler 50Ω'luk yük üzerine düşen gerilimlerdir.

Çizelge Ek4.1 dBm-Gerilim Dönüşüm

Güç [dBm]	Gerilim [V]	Güç [dBm]	Gerilim [V]
-65 dBm	1.257e-4 V	0 dBm	2.236e-1 V
-60 dBm	2.236e -4 V	5 dBm	3.976e-1 V
-55 dBm	3.976e -4 V	10 dBm	7.071e-1 V
-50 dBm	7.071e -4 V	15 dBm	1.257 V
-45 dBm	1.257e-3 V	20 dBm	2.236 V
-40 dBm	2.236e-3 V	25 dBm	3.976 V
-35 dBm	3.976e-3 V	30 dBm	7.071 V
-30 dBm	7.071e-3 V	35 dBm	1.257e+1 V
-25 dBm	1.257e-2 V	40 dBm	2.236e+1 V
-20 dBm	2.236e-2 V	45 dBm	3.976e+1 V
-15 dBm	3.976e-2 V	50 dBm	7.071e+1 V
-10 dBm	7.071e-2 V	55 dBm	1.257e+2 V
-5 dBm	1.257e-1 V	60 dBm	2.236e+2 V

ÖZGEÇMİŞ

Doğum tarihi	30.05.1977	
Doğum yeri	Eskişehir	
Lise	1992-1995	Bursa Fen Lisesi
Lisans	1995-1999	İstanbul Teknik Üniversitesi Elektrik-Elektronik Fak. Elektronik ve Haberleşme Mühendisliği Bölümü
Yüksek Lisans	1999-2002	İstanbul Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme Programı
Doktora	2002-2008	Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme Mühendisliği Anabilim Dalı Haberleşme Programı

Çalıştığı kurumlar

2000- devam ediyor Akçasu Yazılım Sistemleri Tic. Ltd. Şti.