

**YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**EŞİKALTI FGMOS TRANSİSTORLAR İLE DÜŞÜK
GERİLİMDE ÇALIŞAN ANALOG YSA DEVRE
BLOKLARININ TASARIMI**

Elektronik ve Haberleşme Yük. Müh. Fatih KELEŞ

**FBE Elektronik ve Haberleşme Mühendisliği Anabilim Dalı Elektronik Programında
Hazırlanan**

DOKTORA TEZİ

Tez Savunma Tarihi : 14 Aralık 2010

Tez Danışmanı : Prof. Dr. Tülay YILDIRIM (YTÜ)

Jüri Üyeleri : Prof. Dr. A. Coşkun SÖNMEZ (YTÜ)

: Prof. Dr. Oğuzhan ÇİÇEKOĞLU (BÜ)

: Prof. Dr. Herman SEDEF (YTÜ)

: Prof. Dr. M. Oruç BİLGİÇ (İKÜ)

İSTANBUL, 2010

İÇİNDEKİLER

	Sayfa
SİMGE LİSTESİ	iv
KISALTMA LİSTESİ	v
ŞEKİL LİSTESİ	vi
ÇİZELGE LİSTESİ	viii
ÖNSÖZ	ix
ÖZET	x
ABSTRACT	xi
1. GİRİŞ	1
1.1 Önceki Çalışmalar ve Günümüzde Geline Nokta.....	1
1.2 Amaç, Kapsam ve Yöntem	5
2. TASARIM YÖNTEMİ ve ÇEŞİTLİ TASARIM KRİTERLERİNİN BELİRLENMESİ	7
2.1 Yapay Sinir Ağları	11
2.1.1 Yapay Sinir Ağının Yapısı	12
2.1.2 Yapay Sinir Ağlarının Kullanım Nedenleri	13
2.1.3 Çok Katmanlı Algılayıcı: ÇKA (Multi Layer Perceptron: MLP).....	15
2.1.3.1 Geriye Yayılma Algoritması: GYA (Back Propagation Algorithm: BPA)	16
2.1.3.2 Öğrenme ve Momentum Katsayıları	17
2.1.4 Radyal Tabanlı Fonksiyon: RTF (Radial Basis Function: RBF).....	17
2.1.5 Yapay Sinir Ağlarının Elektronik Devre Olarak Gerçeklenmesi	19
2.1.5.1 VLSI YSA	19
2.1.5.2 YSA Yapılarının Belirlenmesi.....	21
2.2 Eşikaltı Bölgesinde Çalışma Prensipleri ve Özellikleri	22
2.3 FGMOS Transistorların Yapısı, Çalışma Şekli ve Özellikleri	24
2.3.1 Biyolojik Nöron İle Yüzen Geçitli-Çok Girişli MOS Transistorun İşlevsel Benzerliği.....	25
2.3.2 n-Kanallı FGMOS Transistor Yapısı, Çalışma İlkesi ve Analitik Bağlıntılar	25
2.3.3 FGMOS Makro Modeli	27
2.3.4 Dört-Uçlu Elemanların Esnek Yapısı, İki-Uçlu ve Üç-Uçlu Elemanlarla Karşılaştırılması	28
2.3.5 FGMOS Transistorun Kullanım Alanları ve Avantajları	29
3. EŞİKALTI FGMOS TRANSİSTORLARLA TASARLANAN ANALOG DEVRE BLOKLARI	31
3.1 FGMOS Transistorun Eşikaltında Çalışması.....	31
3.2 Kaskod Akım Aynası Devresi	34
3.3 Dört Bölge Akım Çarpıcı Devresi	38

3.4	Öklid Uzaklık Hesaplayıcı Devresi	41
3.4.1	N-Boyutlu Öklid Uzaklık Hesaplayıcı Devresi	45
3.5	Aktivasyon Fonksiyonu Üretici Devreleri.....	47
3.5.1	Tanjant Sigmoid (Tansig) ve Logaritmik Sigmoid (Logsig) Üretici Devreleri.....	47
3.5.1.1	Çok Girişli Tansig / Logsig Üretici Devresi.....	49
3.5.1.2	Çok Girişli Doğrusal Fonksiyon Üretici Devresi	52
3.5.2	Gauss Devresi	54
3.6	Eşikaltı FGMOS Transistorlarla Tasarlanan Analog Devre Bloklarının Güç Tüketim Değerleri.....	57
4.	ANALOG NÖRON DEVRESİ TASARIMI	58
4.1	Temel Nöronun Gerçeklenmesi.....	58
4.2	Çok Girişli Nöron Devresi.....	60
4.2.1	ÇKA Ağında Kullanılan Nöron Devreleri.....	60
4.2.1.1	Üç-Girişli ve Beş-Girişli Nöron Devreleri	60
4.2.2	RTF Ağında Kullanılan Nöron Devreleri	63
4.2.2.1	İki-Girişli ve Dört-Girişli Nöron Devresi	63
4.3	ÇKA Ve RTF Ağlarında Kullanılan Nöron Devrelerinin Güç Tüketim Değerleri.....	66
5.	ANALOG YSA TUMDEVRELERİ ve UYGULAMALARI.....	67
5.1	Uygulaması Yapılan Veri Kümeleri	67
5.1.1	XOR Problemi	67
5.1.2	İris Bitkisinin Sınıflandırılması	67
5.2	Girişlerin ve Ağırlıkların Ağa Uygulanması	68
5.3	Ağ Yapılarının Belirlenmesi ve Yazılım Ortamında Eğitilmesi	68
5.4	ÇKA Ağı Devreleri ve Uygulamaları	69
5.4.1	XOR Uygulaması.....	69
5.4.1.1	Devre Yapısı ve Simülasyon Sonuçları	70
5.4.2	İris Bitkisinin Sınıflandırılması	71
5.4.2.1	Devre Yapısı ve Simülasyon Sonuçları	73
5.5	RTF Ağı Devresi ve Uygulamaları.....	76
5.5.1	XOR Problemi	76
5.5.1.1	Devre Yapısı ve Simülasyon Sonuçları	77
5.5.2	İris Bitkisinin Sınıflandırılması	79
5.5.2.1	Devre Yapısı ve Simülasyon Sonuçları	80
5.6	Analog YSA Tümdevrelerinin Çeşitli Uygulamalardaki Güç Tüketimleri.....	84
6.	SONUÇLAR.....	85
	KAYNAKLAR.....	88
	EKLER	92
Ek 1	MOSIS-TSMC 0.35µm proses ve model parametreleri	93
Ek 2	Yazılım ortamında elde edilen ağırlık ve bias matrisleri.....	96
Ek 3	Donanım ortamında tümdevrelere verilen ağırlık ve bias matrisleri.....	97
Ek 4	İris bitkisi sınıflama uygulamasında ÇKA ağının yazılım ve donanım çıkışları... ..	98
Ek 5	İris bitkisi sınıflama uygulamasında RTF ağının yazılım ve donanım çıkışları.. ..	101
	ÖZGEÇMİŞ.....	104

SİMGE LİSTESİ

c	Merkez vektörü
C_D	Fakirleşmiş bölge kapasitesi
C_{FGB}	Yüzen geçit – gövde parazitik kapasitesi
C_{FGD}	Yüzen geçit – savak parazitik kapasitesi
C_{FGS}	Yüzen geçit – kaynak parazitik kapasitesi
C_{GBO}	Birim etkin uzunluk başına düşen gövde örtüşme kapasitesi
C_{GDO}	Birim etkin uzunluk başına düşen savak örtüşme kapasitesi
C_{GSO}	Birim etkin uzunluk başına düşen kaynak örtüşme kapasitesi
C_{ox}	Birim alan başına geçit oksidi kapasitesi
C_T	Yüzen geçide bağlı toplam kapasite
I_D	Savak akımı
I_0	Ters kutuplama yönünde doyma akımı
L	Kanal uzunluğu
n	Eşikaltı eğim faktörü
q	Birim elektrik yükü
Q_{FG}	Yüzen geçit üzerindeki net yük
R_o	Çıkış direnci
U_T	Termal gerilim
V_B	Gövde gerilimi
V_D	Savak gerilimi
V_S	Kaynak gerilimi
V_T	Eşik gerilimi
V_{FG}	Yüzen geçit gerilimi
V_{DD}	Pozitif besleme gerilimi
V_{SS}	Negatif besleme gerilimi
W	Kanal genişliği
w_i	Ağa ilişkin ağırlık vektörü
x_i	Ağa ilişkin giriş vektörü
α	Momentum katsayısı
β	Geçiş iletkenliği parametresi
η	Öğrenme katsayısı
ϕ_F	Fermi potansiyeli
γ	Gövde etkisi faktörü
λ	Kanal boyu kısılma parametresi
σ	Gauss fonksiyonunun genişliği

KISALTMA LİSTESİ

A/D	Analog / Dijital
ANN	Artificial Neural Network
BPA	Back Propagation Algorithm
BSIM	Berkeley Short-channel Insulated Gate Field Effect Transistor Model
CMOS	Complementary Metal Oxide Semiconductor
ÇKA	Çok Katmanlı Algılayıcı
D/A	Dijital / Analog
EPROM	Erasable Programmable Read Only Memory
EEPROM	Electrically Programmable Read Only Memory
FGMOS	Floating Gate Metal Oxide Semiconductor
FPGA	Field Programmable Gate Array
GRSA	Genelleştirilmiş Regresyon Sinir Ağı
GYA	Geri Yayılım Algoritması
IC	Integrated Circuit
KKFSA	Konik Kesit Fonksiyonlu Sinir Ağları
MIFG	Multi Input Floating Gate
MLP	Multi Layer Perceptron
MOS	Metal Oxide Semiconductor
NCSU	North Carolina State University
nFGMOS	n-kanallı Floating Gate Metal Oxide Semiconductor
nMOS	n-kanallı Metal Oxide Semiconductor
neuMOS	neuron Metal Oxide Semiconductor
OTA	Operational Transconductance Amplifier
pFGMOS	p-kanallı Floating Gate Metal Oxide Semiconductor
pMOS	p-kanallı Metal Oxide Semiconductor
RBF	Radial Basis Function
RTF	Radyal Tabanlı Fonksiyon
TSMC	Taiwan Semiconductor Manufacturing Company
VLSI	Very Large Scale Integrated
WTA	Winner Take All
XOR	Exclusive OR
YSA	Yapay Sinir Ağı

ŞEKİL LİSTESİ

	Sayfa
Şekil 2.1 İşlem elemanı yapısı	13
Şekil 2.2 Çok katmanlı algılayıcı (MLP) yapısı	16
Şekil 2.3 Radyal tabanlı fonksiyon (RTF) ağ yapısı.....	18
Şekil 2.4 MOS transistorun çalışma bölgeleri	23
Şekil 2.5 N-girişli n-kanallı FGMOS transistorun basitleştirilmiş kesidi.....	26
Şekil 2.6 N-girişli n-kanallı FGMOS transistorun sembolü	26
Şekil 2.7 İki-girişli n-kanallı FGMOS transistorun eşdeğer devresi.....	27
Şekil 2.8 FGMOS makromodeli	28
Şekil 2.9 Temel elemanlarda iki-uçlu elemandan dört-uçlu elemana doğru işlevselliğin geliştirilmesi (Ohmi, 1997).....	30
Şekil 2.10 Bir üç-uçlu ve bir dört-uçlu elemanın (FGMOS) karşılaştırılması (Ohmi, 1997).	30
Şekil 3.1 nFGMOS transistorun sembolü	32
Şekil 3.2 İki girişli n-kanallı FGMOS transistorun özeğrileri için devre şeması.....	32
Şekil 3.3 Eşikaltında çalışan iki girişli n-kanallı FGMOS transistorun geçiş özeğrileri	33
Şekil 3.4 Eşikaltında çalışan iki girişli n-kanallı FGMOS transistorun çıkış özeğrileri.....	33
Şekil 3.5 nFGMOS kaskod akım aynasının blok şeması	34
Şekil 3.6 nFGMOS kaskod akım aynasının iç yapısı	35
Şekil 3.7 nFGMOS akım aynasının bağıl hatası ve çıkış akımının giriş akımıyla değişimi	37
Şekil 3.8 pFGMOS akım aynasının bağıl hatası ve çıkış akımının giriş akımıyla değişimi	37
Şekil 3.9 Dört bölgeli akım çarpıcı devresinin blok şeması	38
Şekil 3.10 Dört bölgeli akım çarpıcı devresinin iç yapısı	39
Şekil 3.11 Dört bölgeli akım çarpıcının DC geçiş karakteristiği	40
Şekil 3.12 Dört bölgeli akım çarpıcının transient cevabı (giriş-çıkış işaretleri)	40
Şekil 3.13 Öklid uzaklığı hesaplayıcı devresinin blok şeması.....	41
Şekil 3.14 Öklid uzaklığı hesaplayıcı devresinin iç yapısı	42
Şekil 3.15 Mutlak değer alıcı devresinin giriş çıkış eğrileri ve hata dağılım grafiği	44
Şekil 3.16 Öklid uzaklığı hesaplayıcı devrenin örnek bir vektör üzerinden giriş ve çıkış eğrileri.....	44
Şekil 3.17 Öklid giriş ve çekirdek modülleri	45
Şekil 3.18 Öklid giriş ve çekirdek modüllerinin iç yapıları.....	45
Şekil 3.19 2-boyutlu Öklid uzaklık hesaplayıcının şematik gösterimi	46
Şekil 3.20 4-boyutlu Öklid uzaklık hesaplayıcının şematik gösterimi	46
Şekil 3.21 Tanjant ve logaritmik sigmoid üretici devresinin blok şeması.....	47
Şekil 3.22 Tanjant ve logaritmik sigmoid üretici devresinin iç yapısı	47
Şekil 3.23 Tansig/Logsig devresinin çıkış akımları ve ideal eğrilerle karşılaştırılması	48
Şekil 3.24 Tansig/Logsig devresinin hata dağılım grafikleri.....	49
Şekil 3.25 3-girişli Tansig/Logsig üretici devresinin blok şeması.....	49
Şekil 3.26 3-girişli Tansig/Logsig üretici devresinin iç yapısı	50
Şekil 3.27 3-girişli Tansig/Logsig devresinin çıkış akımları ve ideal eğrilerle karşılaştırılması.....	50
Şekil 3.28 3-girişli Tansig/Logsig devresinin hata dağılım grafikleri	51
Şekil 3.29 3-girişli doğrusal fonksiyon üretici devresinin blok şeması	52
Şekil 3.30 3-girişli doğrusal fonksiyon üretici devresinin iç yapısı.....	52
Şekil 3.31 3-girişli doğrusal fonksiyon üretici devresinin çıkışı ve ideal eğri ile karşılaştırılması.....	53
Şekil 3.32 3-girişli doğrusal fonksiyon üretici devresinin hata dağılım grafiği	53
Şekil 3.33 Gauss devresinin blok şeması.....	54
Şekil 3.34 Gauss devresinin iç yapısı	54

Şekil 3.35	Gauss devresinin çıkış akımları ile ideal eğrilerin karşılaştırılması ve yayılım parametresi olan sp 'ye göre değişimi	56
Şekil 3.36	Gauss devresinin çıkış akımına ilişkin hata dağılım grafiği	56
Şekil 4.1	(a) Temel nöron yapısı (b) Temel nöron devresinin blok şeması.....	58
Şekil 4.2	Temel nöron devresi	59
Şekil 4.3	Temel nöron devresinin çıkış akımları	59
Şekil 4.4	3-girişli nöron devresinin blok şeması.....	60
Şekil 4.5	3-girişli nöron devresinin iç yapısı	61
Şekil 4.6	3-girişli nöron devresinin çıkış akımının giriş akımına göre değişimi	62
Şekil 4.7	5-girişli nöron devresinin blok şeması.....	62
Şekil 4.8	5-girişli nöron devresinin iç yapısı	63
Şekil 4.9	2-girişli nöron devresinin blok şeması.....	64
Şekil 4.10	2-girişli nöron devresinin iç yapısı	64
Şekil 4.11	2-girişli nöron devresinin çıkış akımının giriş akımına göre değişimi	64
Şekil 4.12	3-girişli doğrusal fonksiyonlu nöron devresinin blok şeması.....	65
Şekil 4.13	3-girişli doğrusal fonksiyonlu nöron devresinin iç yapısı	65
Şekil 4.14	4-girişli nöron devresinin blok şeması.....	66
Şekil 4.15	4-girişli nöron devresinin iç yapısı	66
Şekil 5.1	XOR problemini gerçekleştiren ağ yapısı.....	69
Şekil 5.2	XOR problemini gerçekleyen YSA tümdevresi	70
Şekil 5.3	XOR devresinin giriş ve çıkış akımları	71
Şekil 5.4	İris bitkisinin sınıflandırılmasını gerçekleştiren ağ yapısı.....	72
Şekil 5.5	İris bitkisi sınıflandırmada eğitime ve test verilerinin dağılım grafiği	73
Şekil 5.6	İris bitkisini sınıflandıran YSA tümdevresi.....	74
Şekil 5.7	İris bitkisi sınıflama devresinin eğitime verilerine karşı çıkış akımı.....	75
Şekil 5.8	İris bitkisi sınıflama devresinin eğitime verilerine karşı çıkış akımı.....	75
Şekil 5.9	XOR problemini gerçekleştiren ağ yapısı.....	76
Şekil 5.10	XOR problemini gerçekleyen YSA tümdevresi	78
Şekil 5.11	XOR devresinin giriş ve çıkış akımları	78
Şekil 5.12	İris bitkisinin sınıflandırılmasını gerçekleştiren ağ yapısı.....	79
Şekil 5.13	İris bitkisi sınıflandırmada eğitime ve test verilerinin dağılım grafiği	80
Şekil 5.14	İris bitkisini sınıflandıran YSA tümdevresi.....	81
Şekil 5.15	İris bitkisi sınıflama devresinin eğitime verilerine karşı çıkış akımı.....	82
Şekil 5.16	İris bitkisi sınıflama devresinin eğitime verilerine karşı çıkış akımı.....	83

ÇİZELGE LİSTESİ

	Sayfa
Çizelge 3.1 Eşikaltı FGMOS transistörlerle tasarlanan analog devre bloklarının güç tüketim çizelgesi	57
Çizelge 4.1 ÇKA ve RTF ağlarında kullanılan nöron devrelerinin güç tüketim çizelgesi	66
Çizelge 5.1 Giriş ve hedef çıkışların devrenin giriş-çıkış aralığına göre ayarlanması	71
Çizelge 5.2 ÇKA ağında yazılım ve donanım ortamlarında İris bitkisinin sınıflandırma sonuçları.....	76
Çizelge 5.3 Giriş ve hedef çıkışların devrenin giriş-çıkış aralığına göre ayarlanması	78
Çizelge 5.4 RTF ağında yazılım ve donanım ortamlarında İris bitkisinin sınıflandırma sonuçları.....	83
Çizelge 5.5 ÇKA ve RTF ağları tümdevrelerinin uygulamalardaki güç tüketim çizelgesi ...	84

ÖNSÖZ

İnsan beyninin çalışma sistemi ve benzetimi her zaman bir merak konusu olmuştur. Yapay sinir ağlarında bugünkü gelinen noktada araştırmacıların bu meraklı çalışmaları önemsenmelidir. Kimi araştırmacılar yazılım kısmını, kimi araştırmacılar donanım kısmını üstlenmişlerdir. Bu tezde de enerji verimliliğinin çok konuşulduğu bu günlerde düşük güç tüketimli donanımsal tasarımlar üzerinde çalışılmıştır.

Çalışmam boyunca bana yol gösteren, her zaman olumlu yönde sabırla destek veren, müsamahalarını esirgemeyen ve sürekli fikir alış verişinde bulunduğum değerli Hocam Prof. Dr. Tülay Yıldırım'a teşekkürü bir borç bilirim. Tez izleme sürecinde Prof. Dr. A. Coşkun Sönmez ve Prof. Dr. Oğuzhan Çiçekoğlu'na önerileri ve değerli zamanlarını ayırdıkları için teşekkür ederim. Tez savunma jürisinde bulunan Prof. Dr. Herman Sedef ve Prof. Dr. M. Oruç Bilgiç'e ayrıca teşekkür ederim. Fikirleriyle destekleyen ve her an yanımda olan değerli eşim Ar. Gör. Sinem Keleş'e, manevi açıdan rahat hissetmemi sağlayan canım oğluma, ayrıca yardımcı olan oda arkadaşım Ar. Gör. Erkan Uslu'ya ve yardımı dokunan tüm arkadaşlarıma, eğitim hayatım boyunca emeği geçen tüm hocalarıma ve manevi destekleriyle her an yanımda olduklarını hissettiğim babama, anneme, ağabeyime ve kardeşime teşekkürlerimi sunmayı bir borç bilirim.

Ayrıca devam etmekte olan 28-04-03-01 numaralı proje kapsamında YTÜ Bilimsel Araştırmalar ve Projeler Koordinatörlüğü'nün desteğiyle alınan tasarım programı tezin oluşmasına büyük katkı sağladığından, bu birimimize de teşekkürlerimi sunarım.

Son olarak, kullandığım tüm kaynakların yazarlarına da teşekkürlerimi sunarım. Bu tezin de gelecek çalışmalara ışık tutması temennisiyle...

Aralık, 2010

ÖZET

EŞİKALTI FGMOS TRANSİSTORLAR ile DÜŞÜK GERİLİMDE ÇALIŞAN ANALOG YSA DEVRE BLOKLARININ TASARIMI

Eşikaltı bölgesinde çalışan yüzer geçitli MOS (FGMOS) transistörler kullanılmasıyla düşük gerilimde çalışan ve çok az güç tüketen analog yapay sinir ağı (YSA) devre bloklarının tasarımı yapılmış, Çok Katmanlı Algılayıcı (ÇKA) ve Radyal Tabanlı Fonksiyon (RTF) YSA tümdevreleri tasarlanmıştır. Literatürdeki çeşitli YSA devreleri incelendiğinde sayısal, analog ve hibrit yapılara rastlanmaktadır. Bu devrelerin birbirlerine göre çeşitli avantajları bulunmaktadır. Bu avantajlar kullanım amacı, eğitim işlemi, kapladığı yer, harcadığı güç vb. gibi sıralanabilir. Bu tezde ise bu gibi avantajlar da göz önünde bulundurularak çalışmanın esas konusunu oluşturan düşük gerilimde çalışan ve çok az güç harcayan yapılar oluşturulmuştur. Günümüzde biyolojik sinir hücrelerine de paralellik gösterecek şekilde yüksek yoğunlukta transistör içeren VLSI tasarımları yapılmaktadır. Fakat bu yüksek mertebelerdeki transistör sayıları fazla güç tüketimi ve yer kaplaması olarak karşımıza çıkmaktadır. Eğer bu yapılar sayısal devreler olursa bu tüketimler daha da artmaktadır, analog yapılar kullanılarak bir ölçüde azaltılabilir fakat bu da yeterli değildir. Bundan dolayı eşikaltı çalışma tercih sebebidir. Literatürdeki YSA donanımları çalışmalarında örneğin FPGA gibi yapılar sıkça kullanılmaktadır fakat bu yapılar düşük güç tüketimi ve az yer gereksinimi gibi amaçlara uygun değildir. Farklı alanlarda kullanılan devre bloklarının tasarlanmasında eşikaltı çalışmalara rastlanmaktadır. Ancak farklı ağ yapılarının farklı hesaplamalara ve farklı işlem birimlerine ihtiyaçları vardır. İşte burada değişik devre blokları tasarlamak gerekmektedir. Bu tezde farklı olarak eşikaltı bölgesinde çalışma tercih edilmiş ve besleme gerilimlerini ve devre bağlantı topolojilerinin karmaşıklığını düşürecek şekilde çalışmaya imkân tanıyan FGMOS transistörler kullanılmıştır. Çalışmanın özgün yanını eşikaltı bölgesinde çalışan FGMOS transistörlerle oluşturulan analog YSA devreleri oluşturmaktadır. Düşük gerilim ve çok düşük güç gerektiren alanlarda kullanılabilecek YSA devrelerinin elde edilmesi zaten başlı başına bir katkı olarak ele alındığı gibi, eşikaltı bölgesinde çalışmanın getirdiği bir takım zorluklara karşın FGMOS transistörlerin kullanılmasının devre topolojilerine kazandırdığı basit yapılar sayesinde, bahsedilen gereksinimlerin yerine getirilmesi önemli bir katkı sağlamıştır.

Tez çerçevesinde gerekli tasarım ortamı oluşturularak eşikaltında çalışan devreler tasarlanmış, FGMOS yapılar seri kapasitif yapılar içerdiğinden simülasyon gücüğü makro modelden yararlanılarak aşılmış ve analog YSA blokları oluşturulmuştur. Bu yapılarla, farklı YSA yapılarına yönelik nöron modelleri elde edilmiş ve bu modellerin olabildiğince modüler olmasına dikkat edilmiştir. Bu amaca yönelik olarak çarpıcı, toplayıcı, çıkarıcı, akım aynası, sigmoid fonksiyon üretici, Öklid uzaklığı hesaplayıcı ve Gauss fonksiyon üretici devre bloklarının tasarımı eşikaltı FGMOS transistörler kullanılarak gerçekleştirilmiştir.

Bu devre blokları kullanılarak XOR problemini ve İris bitkisinin sınıflamasını gerçekleyen YSA tümdevreleri (yonga dışında öğrenen) tasarlanmış ve simülasyon sonuçları verilmiştir. Böylece biyomedikal uygulamalar, sensör ağları ve robot uygulamalarında da kullanılabilecek düşük gerilim ve çok az güç harcama gereksinimlerini karşılayacak YSA tümdevresi çalışmalarında önemli bir yol kat edilmesi amacına ulaşılmıştır. Tasarlanan tümdevrelerin CADENCE tasarım programından elde edilen donanım çıktılarıyla, eğitim işleminde kullanılan algoritmanın MATLAB programından elde edilen yazılım çıktıları karşılaştırılmış ve bu sonuçların uyumluluğu gözlenmiştir.

Anahtar Kelimeler: Eşikaltı çalışma, analog yapay sinir ağı donanımı, düşük gerilim, çok düşük güç, FGMOS transistör, sınıflama.

ABSTRACT

DESIGN of LOW VOLTAGE ANALOG ANN CIRCUIT BLOCKS by USING SUBTHRESHOLD FGMOS TRANSISTORS

According to high technology applications, design of low-voltage ultra-low-power analog artificial neural network (ANN) circuit blocks by using subthreshold floating gate MOS (FGMOS) transistors and design of Multi Layer Perceptron (MLP), Radial Basis Function (RBF) ANN ICs are accomplished. Digital, analog and hybrid structures have been coincided when various ANN circuits in literature have been examined. There are several advantages of these circuits to each other. These advantages can be said to be aid of usage, training, die area, power consumption, etc. In this thesis, these advantages were taken into account and the essential idea of low-voltage low-power structures was constructed. Today, VLSI designs, consisting of too many transistors, parallel with the biological neurons are made, but using too many transistors cause more power consumption and die area. If these circuits are digital, power consumption increases. Power consumption can be reduced by using analog circuits, but this is not enough. Therefore, subthreshold operation is desirable. In literature, structures like FPGA in ANN hardware are often used, but these structures are not suitable for low power and small die area. Subthreshold operation is met in various circuit block design. However, different calculations and different processing units are in need of various network structures. At this point different circuit blocks are needed to be designed. Difference of this work is subthreshold operation and using FGMOS transistors, which helps to lower supply voltages and reduce the complexity of circuit topologies. The original idea of this thesis is designing analog ANN circuits by using FGMOS transistors operating in subthreshold region. Although design of low-voltage ultra-low-power ANN circuits can be thought of as a contribution on its own, an important contribution to the fulfillment of the mentioned requirements is achieved due to using subthreshold FGMOS transistors bringing simpler circuit topologies with respect to the difficulties of working in subthreshold region.

After supplying the design environment, design of subthreshold structures began. At the same time, difficulties of serial capacitive structures involved in FGMOS circuits were overcome by using macro models and analog ANN blocks were designed step by step. With these structures, neuron models tending different ANN structures have been constituted. It has been paid attention to these structures in point of being so modular. For this purpose, multiplier, adder, extractor, current mirror, sigmoid function generator, Euclid distance calculator and Gaussian function generator circuit blocks were designed by using subthreshold FGMOS transistors.

By using these circuit blocks, ANN ICs (off-chip learning) that implement XOR problem and the classification of Iris plant is designed and simulation results are given. Thus, biomedical applications, sensor Networks and robotics applications can be used in low voltage and ultra-low power IC studies, an important way of spending to meet the needs of the purpose of ANN has been reached. Hardware outcomes of the CADENCE design tool are compared with MATLAB software simulation results of the algorithm used for training process and it is seen that the results are in good agreement.

Keywords: Subthreshold operation, analog artificial neural network hardware, low voltage, ultra low power, FGMOS transistors, classification.

1. GİRİŞ

Yapay sinir ağı (YSA) insan beyninin çalışma sisteminin yapay olarak benzetimi çalışmalarının bir sonucu olarak ortaya çıkmıştır. En genel anlamda bir yapay sinir ağı insan beynindeki birçok nöronun (sinir hücresi) ya da yapay olarak basit işlemcilerin birbirlerine değişik etki seviyeleri ile bağlanması ile oluşan karmaşık bir sistem olarak düşünülebilir. Önceleri temel tıp bilimlerinde insan beynindeki nöronların matematiksel modelleme çabaları ile başlayan çalışmalar geçtiğimiz on beş yirmi sene içerisinde disipline bir şekil almıştır. Yapılan bu çalışmalar sonucunda gelişen teknolojinin etkisiyle bir yapay sinir ağının elektronik devre olarak gerçekleştirilmesi ve bu devrelerin de güç tüketiminin minimum düzeylere çekilmesi ihtiyaç haline gelmiştir. Bir yapay sinir ağının temel yapı taşları nöronlar olduğuna göre ‘nöronları gerçeklemek zorunlu hale gelmiştir’ denilebilir. İşte bu çalışmanın amacı bir biyolojik nöronun düşük güç tüketimi gereksinimini karşılayacak şekilde elektronik devre olarak gerçekleştirilmesidir. Nöronun modellenmesi daha sonra bu modele ve matematiksel ifadesine uygun transistor seviyesinde tasarımın gerçekleştirilmesi çalışmanın ana konusunu oluşturmaktadır. Öncelikle bu konuyla ilişkisi olan çalışmaları, ne tür gerçeklemelerin olduğunu, teknolojinin hangi seviyede bulunduğunu ve geleceğe yansımaların ne şekilde olabileceği hakkında genel bir bilgi vermek gerekmektedir.

1.1 Önceki Çalışmalar ve Günümüzde Geline Nokta

Yapay sinir ağı donanımları görüntü işleme, sınıflama, patern tanıma, ses işleme-tanıma, sensör ağları, robotik, biyomedikal gibi alanlarda çok çeşitli uygulama potansiyeline sahiptir.

Biyolojik sinir hücrelerinin milisaniyeler hızında, 100mV civarında darbeler vasıtasıyla bilgi işlemesi ve ortalama pW’lar mertebesinde güç tüketmesi avantajlarının yapay modellenmeleri ile donanım ortamında kullanılması hedeflenmektedir. Bu hedefe uygun olarak, tasarlanan YSA donanımlarının düşük gerilimde çalışmaya uygun olacak şekilde ve çok az güç gereksinimine cevap verecek biçimde tasarlanması gerekmektedir.

Günümüzde, yapay sinir sistemleri birçok yolla yaygın olarak gerçekleştirilebilmektedir. Yapay sinir ağlarında yazılım uygulamalarının önemi büyük olmasına rağmen, ebat ve gerçek hayattaki birçok uygulama açısından donanım olarak yapay sinir ağlarının gerçekleştirilmesi büyük önem taşır. Bunun sonucu olarak, sayısaldan, analog, karma nöro-tümdevre ve opto-elektronik uygulamalarına kadar birçok alan oluşmuştur.

İnsan beyni, paralel ve lineer olmayan milyarlarca nöron hücresinden oluşmakta ve her eleman kendi aralarında çok sayıda nörona bağlanmaktadır (bağlantı sayısı 10 bin

civarındadır). Şu anki bilgisayarlar, insan beyninin bu karmaşık yapısından dolayı veri işleme düzeyine yaklaşılamamaktadır. Yapay sinir ağlarının temel yapısı, bir bilgisayara göre beyne daha çok benzemektedir. Tabii ki birimleri gerçek nöronlar kadar karmaşık değildir ve ağların çoğunun yapısı, beyindeki bağlantılarla karşılaştırıldığında büyük ölçüde basit kalmaktadır. Yapay sinir ağları, genelleştirme ve öğrenebilme yeteneği sayesinde kesin kurallarla gösterimi zor olan ve formüle edilemeyen bilgileri yüksek başarımla işleyebilmektedir. Ayrıca yapay sinir ağlarının hataya karşı toleranslı yapısı sayesinde eksik veya bozulmuş bilgiler işlenebilmektedir. Yapay sinir ağları bu özellikleri ile geleneksel yapay zekâ algoritmaları ve istatistiksel modellere göre çok karmaşık problemleri çözebilme yeteneğine sahiptir.

Yapay sinir ağları yoluyla beynin taklit edilmesine yönelik girişimler 1940'lardan beri söz konusudur. Buradaki ana fikir, ağdaki diğer birimlerden gelen sinyalleri birleştirebilen ve bir diğer birimler grubuna sinyaller gönderebilen bağımsız işlemci birimlerini -yapay sinir hücrelerini- birbirine bağlamaktır. Birimlerden her biri ancak sınırlı miktarda bilgi işleyebilecek olsa da bunlar bir ağ bünyesinde toplandıklarında, en azından kuramsal olarak, gerçek bir beynin işlevlerini taklit etmeleri beklenir.

Taklitçi ağlar nöromorfoloji mühendisliğinin gerçek ruhundan farklı bir noktadadır. Biyolojide, beyinler ve duyu organları hayli hızlı bir şekilde ve fazla güç harcamadan çalışır. Taklit süreciyse yavaş olup aşırı güç harcayan bilgisayarlara gereksinim duyar. Ancak California Teknoloji Enstitüsü'nden Carver Mead ve ekibinin 1980'lerin sonlarından itibaren yürüttükleri araştırmalar sayesinde, dünya çapında yayılmış bir düzine araştırma grubu, günümüzde gerçek nöromorfolojik devreler üzerinde çalışmaktadır.

Mead, analog elektroniğe dayalı silikon devreler oluşturmakla uğraşmıştır. Sayısal bilgisayar çiplerinde sorunlar kesin algoritmaların kullanımıyla çözülür. Sayılar ikili bir kodla ayrı gerilim değerlerine karşılık gelen '0' ve '1' ile temsil edilir ve merkezi bir "saat" bilginin çip üzerinden nasıl gönderileceğini düzenler. Karşılaştırıldığında analog devrelerin hayli düzensiz olduğu görülür. Farklı sayılar göstermek üzere bir dizi gerilim kullanılır ve sinyaller, merkezi bir kontrol olmaksızın devrenin farklı bölümleri arasında dolaşır. Kesin algoritmalar uygulamak olanaksızdır. Bunun yerine, devre sinyallerin "doğal" akışının yararlı işlemler yapacağı şekilde tasarlanmıştır ki bu, beynin çalışma biçimine bir hayli yakındır. Mead'in çalışmalarından olan retina örneği (Mead, 1989) ele alınırsa, güçlü sayısal makineler buradaki ön işlemeyi taklit edebilir ancak sinir sistemleri bu işi basit ve az güç gerektiren analog devrelerle yapar (Lu vd., 2001).

Biyolojik nöronun üstün işlem yeteneklerinin donanım ortamında gerçekleşmesi yönünde çalışmalar yapılmaktadır. Beyin, günümüz sayısal bilgisayarlarından farklı olarak, yoğun paralel bir yapıya sahip olması nedeniyle hızlı işlem yapabilme ve eksik verileri tamamlayabilme kabiliyetine sahiptir. Çok geniş ölçekli tümdevre (VLSI) teknolojisinin gelişmesi ile birlikte beynin basitleştirilmiş bir modeli olan yapay sinir ağlarındaki paralellik, öğrenebilme, matematiksel olarak ifade edilemeyen karmaşık verileri doğrulukla işleme kabiliyeti gibi fonksiyonların silikon kırkımlar üzerinde gerçekleşmesi mümkün hale gelmiştir. Yapay sinir ağlarının hataya karşı toleranslı yapısı, donanım gerçeklemelerindeki doğruluk eksikliğini giderebilmektedir. Paralellik, hız, kompakt bir yapıya sahip olmak gibi nitelikler YSA'nın donanım gerçeklemeleriyle sağlanmaktadır.

Yapay sinir ağlarının mimarisine, öğrenme kuralına, VLSI tasarım teknolojisine, kullanım amacına ve eğitim sürecinin gerçekleştirildiği yere bağlı olarak literatürde bu ağların tümdevre halinde tasarımına yönelik birçok çalışma bulunmaktadır. Görüntü işleme, sınıflandırma gibi problemlerde oldukça başarılı sonuçlar veren açık karar sınırlarına sahip Çok Katmanlı Algılayıcı (ÇKA) mimarisinin ve öğrenme sürecinde geriye yayılım (Back propagation) algoritmasının (Lu vd., 2001; Bo vd., 1996) kullanıldığı tümdevreler literatürde oldukça yaygın yer almaktadır. Bununla birlikte kapalı karar sınırlarına sahip ve evrensel yaklaşımcı (universal approximation) olarak bilinen RTFA'nın (Radyal Temelli Fonksiyon Ağları) tümdevre halinde tasarımı yine yapılan çalışmalar arasındadır (Yang ve Paindavoine, 2003). Bunların dışında, ÇKA ve RTF ağlarının yayılım kurallarını tek bir ağda kendine özgü yayılım kuralı ile birleştiren Konik Kesit Fonksiyonlu Sinir Ağları (KKFSA) ve bu ağları oluşturan nöron ve sinaps devrelerinin tümdevre tasarımı literatürde yer almaktadır (Yıldırım ve Marsland, 1996). VLSI tasarımda tamamen analog (Geske vd., 2003) veya tamamen sayısal (Watanabe vd., 1993) tasarım teknikleri kullanıldığı gibi karma (Waheed ve Salam, 2001) donanımların kullanıldığı tümdevreler mevcuttur. Analog tasarım teknikleri kullanılarak küçük boyutlu, düşük güç tüketimine sahip hızlı tümdevreler üretilebilmektedir. Fakat analog devrelerdeki lineer ve ideal olmayan etkiler ile yüksek doğruluğa ve kesinliğe sahip çıkışlar elde etmek çok zordur. Ayrıca donanım tanımlama dilleri kullanılarak (VHDL/Verilog) gerçekleştirilen sayısal bir tasarım, FPGA yongalarına kolayca aktarılabilen ve hızlı prototipler üretilebilmektedir (Girau, 2001). Fakat sayısal yapı blokları ile bir fonksiyonu gerçeklemek analog devrelere göre çok daha fazla sayıda transistor gerektirmektedir. Yapılan çalışmalarda görüldüğü üzere analog ve sayısal tasarım tekniklerinin olumlu özelliklerini bir arada kullanan karma tümdevrelerin tasarımı da yer almaktadır. Bununla birlikte literatürde yer alan çalışmalarda, eğitim işlemi tasarlanan

tümdevre dışında bir bilgisayar ile yazılım ortamında yapıldığı gibi döngü içinde yonga (chip-in-the-loop (Bo vd., 1996)), yonga dışı (off-chip (Keleş vd., 2003)) ve aynı tümdevre üzerinde (yonga üzerinde, on-chip) donanım olarak gerçekleştirilebilmektedir (Waheed ve Salam, 2001; Girau, 2001). Eğitim sürecinin tamamen tümdevre üzerinde gerçekleştirilmesi yonga üzerinde eğitim işlemi, eğitim sürecinin tümdevre dışında gerçekleştirilmesi yonga dışı eğitim işlemi olarak bilinmektedir.

İki tip nöral donanım mühendisi tanımlanabilir: Birinci tip tasarımcılar, klasik bilgisayarlarla çalışan nöral algoritmaları hızlandıracak şekilde “genel amaçlı” donanım hızlandırıcıları veya sistemleri tasarlarlar. Bu tip donanımlar nöral sistemlerin topolojisinde ve işlevinde önemli ölçüde esneklik sağlamaya izin verirler. İkinci tip tasarımcılar ise bir özel uygulama için “gerçek-zamanlı” sistem tasarlarlar. En iyi algoritmayı seçmek zorunda ve onu donanım olarak uygulamak zorundadırlar. Bu da, sınırlı aralıktaki uygulamalar için optimum etkiye sahip donanımın gerçekleşmesini sağlar (Comer ve Comer, 2004).

Literatürde biyolojik sinir hücrelerine de paralellik gösterecek şekilde yüksek yoğunlukta transistör içeren VLSI tasarımları yapılmaktadır. Fakat bu yüksek mertebelerdeki transistör sayıları fazla güç tüketimi ve yer kaplaması olarak karşımıza çıkmaktadır. Eğer bu yapılar sayısal devreler olursa, örneğin FPGA yongaları (Girau, 2001), bu tüketimler daha da artmaktadır, analog yapılar kullanılarak bu bir ölçüde azaltılabilir fakat yeterli değildir. Bundan dolayı eşikaltı çalışma tercih sebebidir (Comer ve Comer, 2004; Serrano-Gotarredona vd., 2004). Düşük gerilimde çalışan düşük güçlü OTA (Mourabit vd., 2005), filtreler, integratörler (Rodriguez-Villegas vd., 2004) gibi farklı alanlarda kullanılan devre bloklarının tasarlanmasında eşikaltı çalışmalara rastlanmaktadır.

Farklı YSA yapılarının farklı hesaplamalara ve farklı işlem birimlerine ihtiyaçları vardır. Burada değişik devre blokları tasarlamak gerekmektedir. Bu çalışmada farklı olarak eşikaltı bölgesinde çalışma tercih edilmiş ve besleme gerilimlerini ve devre bağlantı topolojilerinin karmaşıklığını düşürecek şekilde (elemanda artan uç sayısı belirli bir matematiksel fonksiyonu sağlamak için ihtiyaç duyulan topolojinin basitleştirilmesine olanak sağlar) çalışmaya imkân tanıyan FGMOS transistörler kullanılmıştır. Literatürde çeşitli FGMOS transistörlü devrelere rastlanmaktadır (Hasler, 2005). Geçiş iletkenliği (Minch vd., 2001), zayıflatıcı (Vlassis ve Siskos, 2001), çarpıcı (Keleş vd., 2003), gerilim ve akım modlu devreler (Vlassis ve Siskos, 2004) gibi yapılar çalışmalarda yerini almıştır. FGMOS transistörlerine ilişkin makro modeller, simülasyon modelleri ve eşikaltı davranışları yayınlar arasında yer almaktadır (Rahimi vd., 2002; Low ve Hasler, 1999; Drakaki vd., 2004).

Ayrıca FGMOS bazlı spesifik devre bloklarının performans düzeyleri hakkında daha ayrıntılı bilgi sahibi olabilmek amacıyla örnek teşkil etmesi açısından literatürde rastlanan akım aynası, işlemsel kuvvetlendirici ve dört bölgeli çarpıcı yapıları ele alınabilir.

Çalışmanın özgün yanını eşikaltı bölgesinde çalışan FGMOS transistörlerle oluşturulan analog YSA devreleri oluşturmaktadır. Düşük gerilim ve çok düşük güç gerektiren alanlarda kullanılabilecek YSA devrelerinin elde edilmesi zaten başlı başına bir katkı olarak ele alınabilir. Bu çalışmada kullanılan eşikaltı FGMOS transistörlerin kullanılması farklı bir yaklaşım olduğundan, eşikaltı bölgesinde çalışmanın getirdiği bir takım zorluklara rağmen FGMOS transistörlerin kullanılmasının devre topolojilerine kazandırdığı basit yapılar sayesinde, bahsedilen gereksinimlerin yerine getirilmesi literatüre önemli bir katkı sağlayacaktır.

Sonuç olarak literatürdeki önemi, ÇKA, RTFA gibi sıkça kullanılan YSA yapılarının oluşturulmasına yönelik olarak, tasarımı yapılan blokların seçilen ağ yapısının gereksinimlerini karşılayacak biçimde ve sayıda modüler olarak bir araya getirilmesiyle düşük gerilimde çalışan, çok az güç tüketen ve az yer kaplayan ileri teknoloji uygulamasına yönelik YSA tümdevrelerinin elde edilmiş olmasıdır.

1.2 Amaç, Kapsam ve Yöntem

Önceki bölümde belirtilen nedenlerden dolayı bir analog yapay nöronun elektronik devre olarak tasarlanması ne kadar önemli bir yer tuttuğu gayet açıktır. Biyolojide, beyin ve duyu organları çok az güç harcayarak çalışır. Bu düşünceden yola çıkarak tezde, çok düşük gerilimlerde ve çok az güç harcayacak şekilde çalışan çeşitli analog yapay sinir ağı devrelerinin oluşturulmasında görev alan blokların tasarlanmasıyla, düşük gerilimde çalışan ve çok az güç tüketen analog bir nöron gerçeklemek amacımızı teşkil etmektedir. Yapay nöronun transistörler seviyesinde gerçekleştirilmesi ve bu nöronlarla gerçekleştirilen yapay sinir ağı devrelerinin uygulamaları ise çalışmanın içeriğini oluşturur.

Bu amaca yönelik olarak çarpıcı, toplayıcı, çıkarıcı, akım aynası, mutlak değer alıcı, vektör uzunluğu hesaplayıcı, Öklid uzaklığı hesaplayıcı, sigmoid ve Gauss fonksiyon üretici devre bloklarının eşikaltı bölgesinde çalışan yüzer-geçitli MOS (FGMOS) transistörler kullanılarak tasarımı gerçekleştirilmiştir.

Bu gerçeklemeler yapılırken transistör bazında devre gerçekleştirme yöntemleri kullanılmış, devre tümdevre olarak tasarlandığından sadece transistör içerecek şekilde kurulmuştur. Aynı zamanda hem FGMOS hem de MOS transistörlerinin kombinasyonları kullanılmıştır.

Bu devre blokları kullanılarak XOR problemini ve İris bitkisi sınıflamasını gerçekleyen yapay sinir ağı tümdevreleri (yonga dışında öğrenen) tasarlanmış ve simülasyon sonuçları verilmiştir. Böylece biyomedikal uygulamalar, sensör ağları ve robot uygulamalarında da kullanılabilecek çok düşük gerilim ve çok az güç harcama gereksinimlerini karşılayacak YSA tümdevresi çalışmalarında önemli bir yol kat edilmesi amacına ulaşılmaktadır.

Tasarlanan tümdevrelerin CADENCE tasarım programından elde edilen donanım çıktılarıyla eğitim işleminde kullanılan algoritmanın MATLAB programından elde edilen yazılım çıktıları karşılaştırılmış ve bu sonuçların uyumluluğu gözlenmiştir.

Tezde kullanılan CADENCE devre tasarım programı uluslararası kabul gören bir yazılımdır. Böylece çalışmanın sonuçlarının uluslararası indekslere geçen dergilerde yayınlanarak literatüre katkıda bulunması da mümkün olmaktadır. Tasarlanan blokların ve tümdevrelerin farklı uygulama alanlarında kullanımına ilişkin yeni çalışmaların yapılmasına da imkân sağlayacaktır.

Eşikaltı bölgesini oldukça iyi bir şekilde tanımlayan BSIM3v3 simülasyon modeli ve FGMOS transistörler için tanımlanmış “kapasitif kuplaj katsayılı makro model” kullanılmıştır. Devrelerin gerçekleştirilmesinde ise TSMC 0.35 μ m çift poli – çift metal CMOS parametreleri kullanılmıştır. CADENCE programından elde simülasyon sonuçları tez içerisinde verilmiştir.

Tasarım yöntemi ve çeşitli tasarım kriterlerinin belirlenmesi ikinci bölümde incelenmiştir. Üçüncü bölümde eşikaltı FGMOS transistörlerle tasarlanan analog devre bloklarına, çalışma prensiplerine ve benzetim sonuçlarına yer verilmiştir. Bölüm 3’te devre anlatımlarının sonunda verilen güç tüketimleri, aynı bölümün sonunda da toplu olarak verilmiştir. Analog nöron devresi tasarımı ve farklı nöron yapıları Bölüm 4’te anlatılmıştır. Analog YSA tümdevresi ve uygulamalarından, yazılım ve donanım çıktılarının karşılaştırılmasından Bölüm 5’te bahsedilmiştir. Sonuçlar kısmında ise tasarlanan alt devrelerin ve tümdevrelerin sonuçları irdelenmiş, ileri hedeflerine değinilmiş, çalışma performansı, gerekliliği ve önemi yorumlanmıştır.

2. TASARIM YÖNTEMİ ve ÇEŞİTLİ TASARIM KRİTERLERİNİN BELİRLENMESİ

VLSI teknolojisinin gelişimi, tek bir kırmık üzerinde daha fazla eleman bulundurma isteği ile birlikte, analog devre tasarımına büyük bir ilgi uyandırmaktadır. Analog tümleşik devrelerdeki temel amaç, istenilen performansı sağlayacak şekilde devre topolojilerini kullanarak devre özelliklerini sağlamaktır. Bu yapılar tek başına kullanılabildiği gibi geniş bir uygulama alanında yararlanılan karma analog-sayısal fonksiyonları gerçeklemek için sayısal kısım ile birlikte de kullanılabilir. Birçok araştırmacı analog yapılardan yararlanmanın azalmasına karşılık sayısal yapıların gelişiminde bir artma tahmin etmelerine rağmen analog devreler önemini korumaktadır. Aslında analog devrelere, filtreler, D/A ve A/D çeviriciler, gerilim karşılaştırıcılar, akım ve gerilim kuvvetlendiriciler, YSA devreleri gibi birçok VLSI sistemde ihtiyaç duyulmaktadır. Bundan başka, hız ve güç istekleri arasında seçimi sağlamak için tasarlanan yeni analog topolojilerde yeni uygulamalar var olmaya devam etmektedir. Günümüzde küçülen devre boyutlarına eğilim ile birlikte birçok taşınabilir sistem uygulamasında yararlanılan düşük gerilim düşük güç tasarımına, güçlü ve kesin bir eğilim vardır. Bu da yeni devre topolojilerini düşük maliyetli CMOS teknolojisinde gerçeklemeye yönelmektedir.

Elektronik elemanların örneğin biyolojik sistemlerde yer alması tıp biliminde heyecan verici bir gelişme olmuştur. Bu sayede doktorlar yeni tanı materyalleri ve tedavi yöntemlerine kavuşmuşlardır. Bu elektronik elemanlar küçük ve hafif olmalıdır, bu da pillerinin sayıca az ve uzun ömürlü olmasını gerektirmektedir. Devre tasarımı yönünden bakıldığında bunun anlamı düşük gerilim ve düşük güç olmaktadır. Diğer tarafta ise tüketiciler, elle taşınabilir ve diz üstü ekipmanlarından daha yüksek portatiflik ve daha uzun süreli pil ömrü talep etmektedirler. Bu da yine devre tasarımcısına düşük gerilim ve düşük güç anlamı ifade etmektedir.

Daha küçük ve daha hızlı ürünlere olan talebe de bağlı olarak, günümüz üretim teknolojisinde daha küçük transistörlere eğilim devam etmektedir. Derin mikron altı elemanlar yüksek çalışma gerilimlerine dayanamayacağı için devre tasarımında bunun da göz önüne alınması gereklidir. Sayısal devrelerde güç tüketimi besleme geriliminin karesi ile orantılıdır. Transistörlardaki küçülmelerde sayısal devrelerin performansı oldukça sağlam iken analog devrelerin performansında bir azalma görülür, çünkü transistörlerin daha küçük yapılması besleme geriliminin de azaltılmasını gerektirmektedir.

Çok düşük gerilimli analog devrelere eğilim doksanlı yılların ortalarına kadar bir hız kazanmadığından, bunun sonucu olarak tasarım teknikleri de iyi gelişmemiştir. Düşük gerilim ve düşük güçlü analog devre tasarımı stratejileri arasında en fazla umut verenlerden biri de yüzen geçitli MOS (FGMOS) transistörlerdir. Bu elemanlar bütün CMOS teknolojilerinde üretilebilmelerine rağmen genellikle çift poli CMOS teknolojisi tercih edilmektedir. FGMOS transistörler ile yapılabilecekler arasında; devrelerin karmaşıklığının azaltılması, bir tasarım içerisindeki işaret işleme zincirinin basitleştirilmesi, işaret seviyelerinin ötelenmesi ve akort edilebilir mekanizmalar sayılabilir. Bu yeni imkanlar ile, besleme gerilimleri eşik gerilimleri ile karşılaştırılabilecek seviyelere indiğinde mümkün olmayacağı düşünülen fonksiyonellikte devre tasarlamak olası hale gelecektir.

Neden Düşük Gerilim?

Transistörün icat edilmesinden bu yana geçen zaman içerisinde mikroelektronikte yaşanan gelişmeler; her yıl boyutlarda %15 azalma, maliyetlerde %30 azalma, performansta %50 artma ve yarıiletken pazarında %15 büyüme olarak özetlenebilir. Bu üstel artış 1990 yıllarında uzmanların ana limitlere neredeyse ulaşıldığını düşünmelerine sebep olmasına karşın sonraki gelişmeler ile birlikte tahmin edilen mikron altı eleman boyutlarının altına inmek olası hale gelmiştir. Ancak boyutlar küçüldükçe yeni bir kısıtlama olarak bağlantı gecikmeleri ortaya çıkmıştır. Geçmişte kapasiteler de boyutlarla birlikte dengelendiği için problem oluşturmamıştır, günümüzde ise bunun yerine devredeki bağlantıların toplam uzunluğuyla orantılı bir ilişki söz konusu olmuştur. Bu durumda güç tüketiminin azaltılmasında en önemli parametre gerilim olmaktadır ve devrelerin daha düşük besleme gerilimlerinde çalıştırılabilmesi için yeni stratejilere ihtiyaç duyulmaktadır.

Bununla birlikte, araştırmacıların devreleri daha düşük gerilimlerde çalıştırma isteklerinin tek nedeni bu değildir. Bir diğer neden ise elemanlardaki elektriksel alanların büyüklüğü ile ilişkilidir. Bu büyüme boyutların küçülmesiyle orantılı olarak gerçekleşmekte ve dielektrik bozulma riskini artırmaktadır. Bu da elemanların üzerine düşen gerilim miktarının azaltılması ile dengelenebilir. Bu nedenle düşük gerilimli güç kaynağı yararlı olmaktadır (Rodriguez-Villegas, 2006).

Neden Düşük Güç?

Son on yıl boyunca elektronik tabanlı ve özellikle taşınabilir eğlence, hesaplama ve haberleşme araçlarının hızlı gelişimi, mikroelektronik için güçlü bir teknolojik eğilim sağlamıştır. Sistem taşınabilirliği genellikle pile ve bu yüzden ağırlık/enerji depolama

çözümlerine ihtiyaç duyar. Ancak pil teknolojisi uygulamalar kadar hızlı gelişmez. Bu yüzden pazar ihtiyaçlarından alınan verilere göre üzerinde durulması gereken şey devrelerin güç tüketiminin azaltılmasıdır.

Tüketici ürünlerine ek olarak pil ömrü, hastaya dışarıdan uygulanmış veya vücuduna uzun bir süre için nakledilmiş bazı biyomedikal ürünlerde de çok önemli bir faktördür. Bu sistemler hem sayı hem de kullanım alanı olarak sürekli artmaktadır. Bu noktada mikroelektronik araştırmacıları için düşük güçlü biyomedikal sistemler başka bir ilginç araştırma konusu haline gelmektedir (Wang vd., 2007).

Neden CMOS?

Tamamı ile tümleştirilmiş çok geniş ölçekli CMOS devrelerin tercih edilmesindeki sebep olarak düşük maliyet ve tasarım esnekliği söylenilebilir. Bundan başka, CMOS teknolojileri mikro elektronik mekanik sistemlerle birlikte üretim seçeneğini de sunmaktadır. Bunlar yarıiletken endüstrisini CMOS karma işaret tasarımlarına yönlendiren ve CMOS teknolojilerini mikroelektronik yarıiletken endüstrisinde lider konumuna koyan en önemli nedenlerdir.

Neden FGMOS?

FGMOS transistörler bütün CMOS teknolojilerinde üretilebilen bir eleman olup, belirli bir teknoloji için planlanan çalışma sınırlarının çok altındaki güç kaynağı gerilim seviyelerinde çalışabilir ve aynı performansa sahip sadece MOS elemanlar kullanılarak aynı teknolojide tasarlanmış bir devreden daha az güç tüketirler (Rodriguez-Villegas, 2006).

Temel iki hedef düşük gerilim ve düşük güç olmalıdır. Bu temel hedeflere ulaşmak için dört farklı alt hedefe ulaşılmalıdır.

- *Devre karmaşıklığının azaltılması:* Devre topolojisi daha basit hale geldikçe (daha az eleman kullanılması) daha az akım koluna ihtiyaç duyulur ve böylece güç tüketimi azalır. Bu aynı zamanda iç düğüm sayısının azalmasına da sebep olduğundan frekans cevabı açısından da fayda sağlamaktadır.
- *İşaret işlemenin basitleştirilmesi:* FGMOS transistörleri kullanarak karmaşık fonksiyonları gerçeklemek daha kolaydır. Bunlar lineer olmayan işaretleri işlerken gerilim taleplerini azaltmak için kullanılır.
- *İşaret seviyelerinin ötelenmesi:* FGMOS transistörlerde efektif eşik geriliminin ötelenmesi ile elemanlar en uygun çalışma bölgesinde daha geniş bir giriş işareti aralığı için kutuplanır. Bunun için ekstra seviye öteleyicilere ihtiyaç duyulmaz.

- *Akort etmenin kolaylaştırılması:* Düşük gerilim çalışmalarında akort etme daha önemli bir nokta haline gelmektedir, çünkü değişimler elemanları planlanan çalışma bölgesinin dışında kutuplayabileceğinden daha kritik olmaktadır. FGMOS transistörler devrelerin akort edilmesinde ve programlanmasında daha fazla özgürlük tanımaktadır.

Bütün bunlar göz önüne alındığında FGMOS transistörler, düşük gerilim ve düşük güç çalışmalarında Esneklik, Kontrol Edilebilirlik, Akort Edilebilirlik olmak üzere üç önemli özellik sunan güçlü bir matematik/elektronik eleman olarak tanımlanabilir (Rodriguez-Villegas, 2006).

- *Esneklik:* Karmaşık ve lineer olmayan fonksiyonları olduğu kadar lineer fonksiyonları da küçük alanda ve kolay bir biçimde gerçekleyerek devrelerin basitleştirilmesidir.
- *Kontrol Edilebilirlik:* Çalışma aralığı ihtiyaçlarına göre her bir transistörün efektif eşik geriliminin ayrı olarak kontrol edilebilmesidir.
- *Akort Edilebilirlik:* Çok girişli bir eleman olduğundan, ekstra girişler ekleyerek akort edilecek şekilde tasarlanabilmesidir.

Neden Eşikaltı Çalışma?

Akım seviyelerini ve buna bağlı olarak da güç tüketimini azaltmanın en etkin yolu MOS transistörlerin eşikaltı bölgesinde çalışacak şekilde kutuplanmasıdır. Eşikaltı bölgesinde tasarlanan devreler şu avantajları sağlar (Wang vd., 2007):

- Çok düşük gerilimler ve çok az güç harcayacak şekilde çalışan devrelerin tasarlanabilmesi (örn: uzun pil ömrü)
- Üstel lineersizlik
- Savak akımının birkaç kT/q da doyumuna gitmesi
- G_m/I_d oranının maksimize edilmesi
- Daha fazla kazanç
- Devre gürültüsünün azalması
- Difüzyon akımı etkili
- Düşük frekansta çalışmaya uygun

Neden YSA?

Son yıllarda Yapay sinir ağlarının (YSA) çok çeşitli alanlarda kullanımı oldukça önem kazanmıştır. YSA kullanımının bu alanlara getirdiği katkılar çeşitli açılardan değerlendirilebilir. Bunlardan bazıları şöyle sıralanabilir (Haykin, 1999):

- *Verimlilik artışı:* YSA insanlardan daha hızlı çalışır. YSA ile elde edilen sonuçların doğru değerlendirilmesi ile karar verme süreleri kısaltılabilir. Bu da hem verimlilik hem de zaman açısından bir kazançtır.
- *Hataların iyileştirilmesi:* YSA, tutarlı ve uygun çıktılar vererek ve hata oranını düşürerek daha doğru sonuçlar elde edilmesini sağlar.
- *Güvenilirlik:* YSA, bilgilere ve potansiyel çözümlere ait tüm detayları gözden geçirdiği için uygun ağ yapısı ve öğrenme algoritması kullanıldığında güvenilir sonuçlar verir.
- *Riskli ortamlarda işlem:* Bazı risk oluşturabilecek alanlarda (örn. karantina, deprem bölgeleri, mayınlı alanlar gibi) YSA kullanılarak sensörlerden gelen bilgilerin değerlendirilmesi son yıllarda kullanılan akıllı yöntemler arasında önemli bir yer tutmaktadır.
- *Tam ve kesin olmayan bilgi ile çalışma:* YSA da insanlar gibi eksik yani tam olmayan bilgi ile çalışabilir. YSA belirgin olmayan durumlarda bile mevcut duruma en uygun cevabı üretebilmektedir.
- *Sınırlı bir sahada karışık problemlerin çözümü:* YSA insan yeteneklerini aşan karışık problemlerin çözümünde kullanılabilir.

2.1 Yapay Sinir Ağları

Yapay sinir ağları, teorik hale getirilmiş zeka ve beyin faaliyetlerinin matematiksel modelleridir. Ancak biyolojik sistemler o kadar karmaşıktır ki yapay sinir ağı için kullandığımız modeller biyolojik modellerin fazlaca basite indirgenmiş biçimleri şeklindedir.

Beyin çok karmaşık, doğrusal olmayan ve paralel bir (bilgi işleme sistemi) bilgisayardır. Beyin, nöronları organize ederek şekil tanıma, algılama ve motor kontrolü gibi belirli hesaplamaları bugün mevcut olan en hızlı bilgisayarlardan daha hızlı yapabilme kapasitesine sahiptir. Örneğin bilgi işleme yolu olan görmeyi düşünelim. (Churcland, 1992, Marr,1982) Görme sisteminin fonksiyonu çevremizi tanımlamayı sağlama, daha da önemlisi çevreyle ilişkiyi sağlayacak bilgiyi sağlamaktır. Daha belirli olarak, beyin rutin bir şekilde 100-200 ms mertebesinde somut hatırlama, algılama işlevi görür (örneğin tanıdık olmayan bir resim içinde bilinen (tanınan) bir yüzü algılayıp tanıyabilir), daha basit karmaşıklıkta problemi en ileri bilgisayarlarla çözmek için günler gerekir (Churcland, 1986).

Yapay sinir ağları ya da kısaca YSA insan beyninin çalışma sisteminin yapay olarak benzetimi çalışmalarının bir sonucu olarak ortaya çıkmıştır. En genel anlamda bir YSA insan beynindeki birçok nöronun ya da yapay olarak basit işlemcilerin birbirlerine değişik etki

seviyeleri ile bağlanması ile oluşan karmaşık bir sistem olarak düşünülebilir. Önceleri temel tıp bilimlerinde insan beynindeki nöronların matematiksel modelleme çabaları ile başlayan çalışmalar geçtiğimiz on beş yirmi sene içerisinde disipline bir şekil almıştır. YSA bugün fizik, matematik, elektronik ve bilgisayar mühendisliği gibi çok farklı bilim dallarında araştırma konusu haline gelmiştir. Yapay sinir ağları ile devre gerçekleştirme ve bu devreyi eğiterek istenen fonksiyonun sentezini elde etme bilimin hedef aldığı ilerlemelerdendir. YSA'nın pratik kullanımı genelde çok farklı yapıda ve formlarda bulunabilen bilgi verilerini hızlı bir şekilde tanımlama ve algılama üzerinedir. Aslında mühendislik uygulamalarında YSA'nın geniş çaplı kullanımının en önemli nedeni klasik tekniklerle çözümü zor problemler için etkin bir alternatif oluşturmastır (Haykin, 1999).

2.1.1 Yapay Sinir Ağının Yapısı

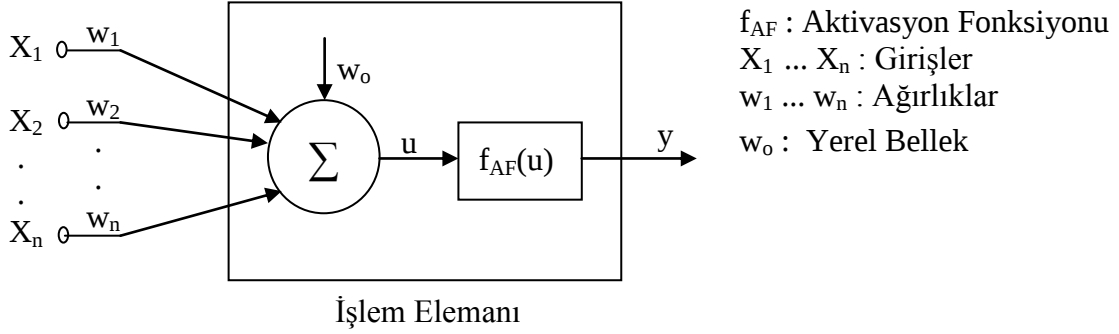
Bir YSA'nın temel ögesi hücreler yani işlem birimleridir (Şekil 2.1). Bir YSA, işlem birimleri (elemanları) ile bağlantı geometrisinden oluşan eylem birimi ile bunlara ait bir öğrenme kuralı olarak tanımlanır.

YSA'nın anatomisi yönlü bir graf biçimindedir. Her düğüm hücre denilen n . dereceden doğrusal olmayan dinamik bir devredir.

YSA'ların elektrik devreleri bakımından tanımı özet olarak aşağıdaki gibi sıralanabilir (Haykin, 1999):

- YSA'nın düğümleri birer işlem elemanlarıdır.
- Düğümler arasındaki bağlantılar tek yönlü işaret iletim yollarıdır.
- Her işlem elemanına istenildiği kadar giriş bağlanabilir.
- Her işlem elemanında tek bir çıkış elemanı olabilir (fakat bu bağlantı kopyalanabilir).
- İşlem elemanları yerel bellek taşıyabilir.
- Her işlem elemanının bir transfer (aktivasyon) fonksiyonu vardır. Kabul edilebilir ki giriş işaretleri yerel bellekte bulunan işaretlerden biri olabilir. Transfer fonksiyonu sürekli ya da kısmen sürekli olabilir. Kısmen sürekli çalışma konumunda aktif halde eleman bir çıkış işareti üretir.
- Giriş işaretleri YSA'na bilgi taşır, sonuç ise çıkış işaretlerinden alınır.
- Genel işlem elemanı ancak işlem elemanı 'aktif' konumunda ise giriş işaretleri ve yerel bellekteki işarete göre çıkış işareti üretir.
- YSA aynı transfer fonksiyonuna sahip alt gruplara ayrılabilir. Bunlara katman denir.
- Pek çok YSA giriş katmanı içerir, ancak bu katmanın bir transfer fonksiyonu yoktur.

- YSA'nın transfer fonksiyonu, yerel bellek elemanları ve bağlantı aralıkları, öğrenme kuralı ile giriş çıkış işareti arasındaki bağıntıya göre ayarlanır.
- Aktif yapma girişi için bir zamanlama girişi gerekir.
- Bağlantılarda, taşınan işaretin cinsi tanımlanmalıdır. Bağlantıların geometrisi YSA için önemlidir. Bağlantı işareti her cinsten olabilir.



Şekil 2.1 İşlem elemanı yapısı

Bağlantı ağırlık katsayıları, ağ geometrisi ve hücrelerin içyapısı ve parametreleri belirli bir öğrenme kuralı ile her bir giriş olasılığına göre değiştirilmesi 'on-line process' ya da bütün giriş olasılıkları değerlendirildikten sonra değiştirilmesi 'off-line process' olarak adlandırılır.

Bir YSA'dan beklenen görev gerçek dünyadaki nesnelerle biyolojik sinir ağının yaptığı işlemi benzer bir yolla yerine getirmesidir. YSA'nın giriş veri tipleri ikili (binary) 0-1 veya sürekli değerlerdir. Bu giriş tiplerinden başka işlem elemanlarına ait girişleri matematiksel olarak da sınıflandırmak gerekmektedir. Çünkü bir işlem elemanına gelen girişlerin bir kısmı azaltıcı uyarma girişleri olmaktadır. Bu artırıcı ve azaltıcı giriş sınıflarını oluşturur.

2.1.2 Yapay Sinir Ağlarının Kullanım Nedenleri

Öncelikle resim tanıma (Pattern Recognition) tekniğinin gerekliliği, gerçek dünya ile bilgisayar ilişkisinin başlamasıyla ortaya çıkmıştır. Bu önem YSA'nın çok güçlü örnek tanıma tekniği olarak ortaya çıkmasına ve gelişmesine neden olmuştur. Uygulamada YSA'larının kıymetini anlayabilmek için öncelikle bu konudaki algoritmaları ve geliştirme tekniklerini iyi kavramak ve özümsemek gerekir.

YSA'larının bazı uygulamalardaki kullanımı için yapılan geliştirmeler, bunların bu uygulamalar için ne kadar güçlü ya da yetersiz olduklarının bilinmesine bağlıdır.

YSA'ları gerçek dünyaya ait ilişkileri tanıyabilir. Sınıflandırma, tahmin ve fonksiyon uydurma gibi görevleri yerine getirebilirler. Bunların genel ilişkilerle, ayrık örnekler arası boşluğu birbirlerine bir köprü gibi bağladığını da söylemek yanlış olmaz. YSA'larının ani

değişen değerlerden örnek olarak, doğrudan doğruya örneklerin birbirleri arasındaki benzer ilişkileri öğrenme yetenekleri vardır. YSA'ları bir konuda veya olaydaki verilerden hareketle önceki bilgileri bilmesine bile sonuç çıkarma yetenekleri de vardır. Çünkü YSA'ları klasik programlama ile çalışmazlar. Bir YSA'nın geliştirilmesi bildiğimiz yazılım geliştirmeye benzemez. Zaten aralarındaki en büyük fark ağların bir işi yapmaları için eğitime gereksinim duymalarıdır. Bildiğimiz gibi klasik programlama böyle değildir.

Bu eğitime işlemleri değişkenlerin tanımlanması, çevrimlerin oluşturulması, şartların tespiti ve bunların testi ile bir derleyici üzerinde çalıştırma veya yazılan kodun hata denetiminden (debug) geçirilmesi gibi işlemleri gerektirmezler. İşte bütün bunların yerine eğitime yöntemleri seçim, analiz ve verilerin bir araya getirilmesi ile başlar. Bunlardan başka istatistik ve işaret işlemekten de bazı teknikleri kullanır. Bir YSA'nın geliştirilmesindeki ilk ve en kritik adım budur.

Bir ağ gerekli ilişkileri oluştururken ağı geliştiren kişi bunun farkına varmaz. Ağ bu ilişkileri bulup yapar ve eğer bir örnek sonuç çıkarılacaksa bunu da bulup ortaya çıkarır. Oysa klasik programlamada kodun derlenmesi sırasında kaynak programın adım adım izlenmesi mümkündür, hatta yerine göre gereklidir. Bir YSA verilerle uğraşırken yineleme çevrimi olarak bunların nasıl öğrenileceğinin kontrolünü yapmak için de bir takım parametrelere sahiptir. İşte bu parametreler seçilen değerlerle iyi eğitilmiş bir ağın ne kadar etkili olacağını belirler. Deneyler yaparak uygun parametre değerlerinin bulunması özellikle bazı algoritmaların çok fazla hesaplama zamanı gerektirmesi nedeniyle bu ağların geliştirilmesine engel olmuştur. Öyle ki bir tek öğrenme işlemi çok güçlü bir iş istasyonunda bile saatler veya günlerce sürebilir. Bu yüzden paralel işlemcili mimarilerden yararlanmak yoluna gidilmiştir. Bilgisayar teknolojisindeki baş döndürücü gelişme bu problemi de sorun olmaktan çıkarma yolundadır.

YSA'ların yeni ortaya çıkmış bir disiplin olmasına rağmen uygulama alanları birçok konuda hızla artmaktadır. Bazı problemlerin çözümünde oturup bir program yapmaktan daha etkin ve hızlı olabilmektedirler. Ancak bütün bunların yanında YSA'ların uygun olmadığı durumlar da söz konusudur. Bunun en büyük sebebi eğitime işleminin hedef uzayının çok geniş olması durumunda, zor olması ve uzun zaman almasıdır.

YSA kullanmak istenmesinin sebepleri:

- YSA'lar verilerden hareketle, bilinmeyen ilişkileri akılcıca hemen ortaya çıkarabilirler. Bu özellikleri uygulama açısından son derece önemlidir. Ayrıca veri toplama için bir ön

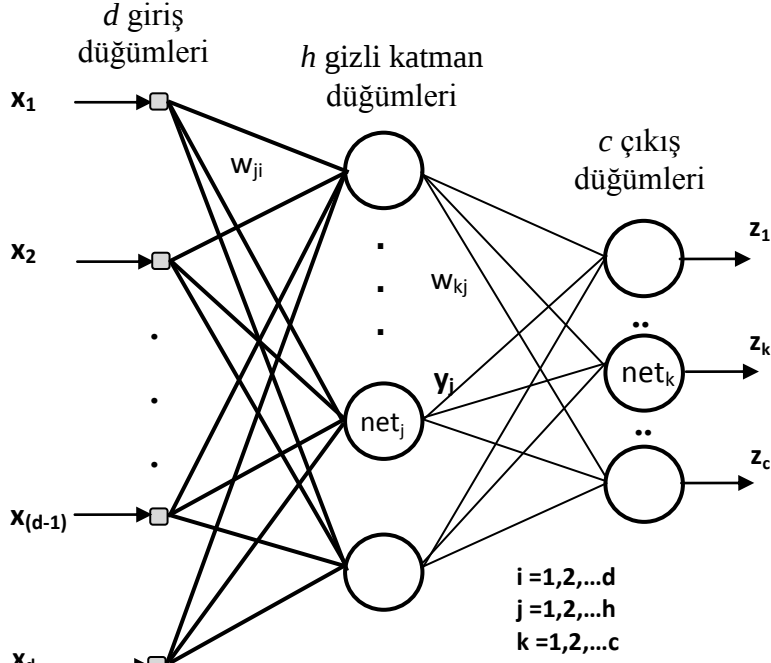
sorgulama ya da açıklama gerekmez.

- Ağlar genelleştirilebilir. Bir örnekten hareketle diğer örneklerdeki benzerleri doğru olarak anlayabilirler. Genelleştirme yapılabilmesi çok önemli bir özelliğidir. Çünkü gerçek dünya verilerinde sürekli olarak gürültü ve bozucu etkiler mevcuttur.
- YSA'ları doğrusal değildir. Bu özellikleri nedeni ile daha karmaşık problemleri lineer tekniklerden daha doğru çözerler. Doğrusal olmayan davranışlar hissedilir, algılanır, bilinebilir ancak bu davranışları ya da problemleri matematiksel olarak çözmek zordur.
- YSA'ları son derece paralellığe sahiptir. Bağımsız işlemleri aynı anda çok hızlı yürütebilirler. Paralel donanımlar, yapıları gereği YSA'larına uygun olduğundan alternatiflerinden daha elverişlidir. Piyasada elektronik olarak gerçekleşmiş YSA işlemcileri mevcuttur. YSA'nın belli başlı uygulama alanları olarak görüntü sınıflandırma, hedef tanıma, robot uygulamaları, risk analizi, sonar işaret sınıflandırma, metinden sese dönüştürme, modelleme, işlem izleme, kelime veya ses tanıma, uyarlamalı kanal denkleme sayılabilir.

2.1.3 Çok Katmanlı Algılayıcı: ÇKA (Multi Layer Perceptron: MLP)

Çok katmanlı algılayıcı, giriş ve çıkış katmanları arasında birden fazla katmanın kullanıldığı YSA sistemleridir. Gizli katman (hidden layer) olarak isimlendirilen bu katmanlarda, düğümleri aracısız giriş olmayan ve aracısız çıkış veremeyen üniteler vardır. Bu yapıda, ağırlıklı toplam işlemi yapılarak aktivasyon fonksiyonundan geçirilme işlemi vardır. Şekil 2.2'de çok katmanlı algılayıcı genel yapısı görülmektedir ve gizli katmanda j . nöronun ve çıkış katmanında k . nöronun çıkışı için genel eşitlik (2.1)'de verilmiştir. Burada f_{AF} , herhangi bir aktivasyon fonksiyonu, w_{ji} , j . gizli nöron ve i . giriş arasındaki ağırlık katsayısı, w_{kj} ise j . gizli nöron ve k . çıkış nöronu arasındaki ağırlık katsayısı, b_j ve b_k ise sırasıyla gizli katman ve çıkış katmanı nöronlarına uygulanan eşik (bias) değeridir.

$$y_j(x) = f_{AF}(\sum_{i=1}^j w_{ji} \cdot x_i + b_j), \quad z_k(x) = f_{AF}(\sum_{j=1}^k w_{kj} \cdot y_j + b_k) \quad (2.1)$$



Şekil 2.2 Çok katmanlı algılayıcı (MLP) yapısı

2.1.3.1 Geriye Yayılma Algoritması: GYA (Back Propagation Algorithm: BPA)

Bu çalışmada kullanıldığı için üç katmanlı bir YSA'nın geriye yayılma algoritması (GYA) ile eğitilmesini göz önüne alalım. Ağdaki her bir düğüm tek bir işlem elemanıdır. Genelde daha önce de belirtildiği gibi düğümler katmanlarda düzenlenir. Veri girişleri giriş düğümlerinden yapılır. Giriş düğümleri pasiftir ve hesaplanabilir değildir. Giriş ile çıkış katmanları arasında kalan gizli düğümlere ağırlıklı veri düğümleri bu katmandan iletilir.

(2.1) bağıntısından da görüldüğü gibi her bir düğüm için ayrıca bir eşik (bias) değer girişi daha mevcuttur. Bu girişler düğümün kutuplaması ya da yerel belleği olarak adlandırılır. Bütün gizli katman düğümleri tüm giriş verilerini alır. Fakat her biri farklı bir ağırlık kümesine sahip olduğu için değerler kümesi de farklıdır. Her bir gizli katman düğümü kendisine gelen girişleri işleyerek sonucu çıkış katmanı düğümlerine aktarır. Çıkışlar da farklı ağırlık kümesine sahiptir. Geri yayılma algoritması için gizli ve çıkış katmanı düğümleri kendisine giren girişleri iki aşamada işlerler. Her giriş kendisinin ağırlığı ile çarpılır, çarpımlar toplanır. Sonra bu toplam bir fonksiyon üzerinde (aktivasyon fonksiyonu) çıkış elde edebilmek üzere, bir sonraki katmana geçirilir. Bu transfer fonksiyonuna aktivasyon fonksiyonu denir. Aktivasyon fonksiyonları çeşitlidir. Aktivasyon fonksiyonu bir lineersizlik oluşturur. Bu lineersizlik ağıneteneğine daha fazla güvenilmesini sağlar.

GYA ile eğitilme sırasında ağ her giriş örneğini, çıkış düğümlerinde sonuç üretmek üzere gizli katmanlardaki hataları bulmak için amaçlanan hedef sonuçtan gerekli sonucu elde eder. Bundan sonra ağ çıkış hatalarının türevini çıkış katmanından geriye doğru saklı katmanlara geçirirler. Bunu yaparken de orijinal ağırlık bağıntılarını kullanırlar. GYA'na ismini veren de işte bu hataların geriye doğru yayılması özelliği olmuştur.

Her çıkış ve gizli düğümlerin hata değerleri bulunduktan sonra düğümler kendi hatalarını azaltmak için kendi ağırlıklarını ayarlar. Ağırlık değiştirme denklemleri ağdaki hataların karelerinin toplamını minimize edecek şekilde düzenler. Genelleştirilmiş delta kuralı eğitime için kullanılır.

2.1.3.2 Öğrenme ve Momentum Katsayıları

GYA'da ele alınacak bir konu da düzgün bir öğrenme katsayısının (η) ayarlanmasıdır. Ağırlıkları çok yüksek tutmak davranışın bozulmasına neden olabilir. O nedenle öğrenme katsayısını böyle bir davranışı önlemek için küçük tutmak gereklidir. Öğrenme katsayısı, genelde $0 < \eta < 1$ aralığında seçilen sabit bir sayıdır. Öte yandan çok küçük bir öğrenme oranı da, öğrenme işleminin yavaşlamasına yol açar.

Momentum (α) fikri bu noktadan hareketle ortaya atılmıştır. Momentum mevcut delta ağırlığı üzerinden önceki delta ağırlığının belli bir kısmını besler. Böylece daha düşük öğrenme katsayısı ile daha hızlı öğrenme elde edilir. Momentum katsayısı genellikle $0 < \alpha < 1$ aralığında değişen sabit bir sayıdır.

2.1.4 Radyal Tabanlı Fonksiyon: RTF (Radial Basis Function: RBF)

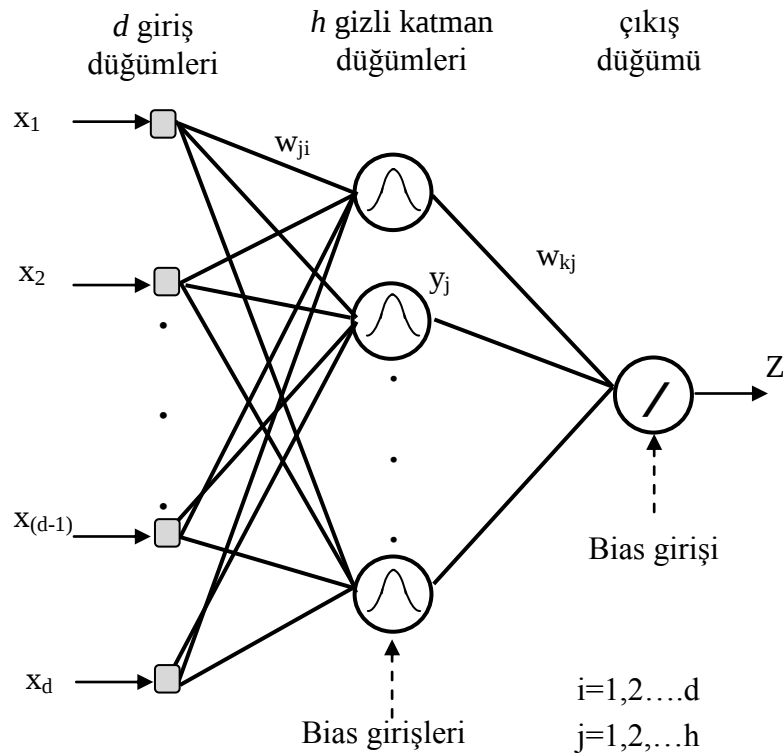
Matematikten mühendislik dallarına kadar birçok dalda çok boyutlu veriler için parametre kestiriminde yaklaştırma yöntemleri kullanılır. Radyal Tabanlı Fonksiyon ağlarında (RTF, Radial Basis Functions-RBF) temel fikir, bir grup radyal taban fonksiyonunu istenen fonksiyona yaklaştıracak şekilde ağırlıklandırarak toplamaktan ibarettir (Buhmann ve Ablowitz, 2003). Radyal tabanlı fonksiyon ağları, çok boyutlu uzayda eğri uydurma yaklaşımıdır. Eğri uydurma teorisi, herhangi bir çok değişkenli ve sürekli fonksiyonu yaklaştırma problemi ile ilgilidir. Üç katmanlı bir yapı olup tek gizli katmandan oluşan RTF ağında, gizli katmanda bulunan nöronlar radyal tabanlı fonksiyonlardan oluşmaktadır. Giriş katmanından gizli katmana dönüşüm, radyal tabanlı aktivasyon fonksiyonları ile doğrusal olmayan sabit bir dönüşümdür. Gizli katmandan çıkış katmanına ise doğrusal bir dönüşüm gerçekleştirilir.

Giriş katmanı giriş vektör uzayıyla, çıkış katmanı ise örüntü sınıfları ile ilişkilidir. Böylece tüm yapı gizli katmanın yapısı ve gizli katman ile çıkış katmanı arasındaki ağırlıkların belirlenmesine indirgenir. Gizli katmandaki nöronların aktivasyon fonksiyonları (2.2)'de ifade edildiği gibi Öklid uzaklıklarını üstel fonksiyondan geçiren Gauss fonksiyonu ile belirlenir. Burada, c_j , j . merkezi ve σ ise Gauss fonksiyonunun genişliğini ifade eder.

$$G_j(\|x - c_j\|) = e^{-\frac{\|x - c_j\|^2}{2\sigma^2}} \quad (2.2)$$

Çıkış katmanındaki k . nöronun çıkışı için genel eşitlik ise (2.3)'te verilmiştir. Burada w_{kj} , j . gizli nöron ve k . çıkış nöronu arasındaki ağırlık katsayısı, b_k ise ağırlıklı toplamaya eklenen eşik (bias) terimidir.

$$z_k(x) = \sum_{j=1}^k w_{kj} y_j(\|x - c_j\|) + b_k \quad (2.3)$$



Şekil 2.3 Radyal tabanlı fonksiyon (RTF) ağ yapısı

RTF ağ yapısı Şekil 2.3'te verilmiştir. Lokal aktivasyon fonksiyonuna sahip RTF, n boyutlu giriş uzayını hiperkürelere ayırır. Ağın eğitiminde uyarlanabilecek serbest parametreler; merkez vektörleri, Gauss fonksiyonunun genişliği ve çıkış katman ağırlıklarıdır. Çıkış katmanına bağlı ağırlıkların uyarlanmasında genelde eğim düşme yöntemi kullanılır. Merkez değerleri, girişler arasından rastgele ve sabit olarak seçilebilmekle birlikte RTF'nin

performansını iyileştirmek amacıyla merkez vektörlerinin ve genişliğin uyarlanması için çeşitli yöntemler geliştirilmiştir. Merkez vektörleri, eğim düşme yöntemi kullanılarak veya kendiliğinden düzenlemeli eğiticişiz öğrenme yöntemiyle giriş örneklerinden öbekleme yapılarak da uyarlanabilir.

2.1.5 Yapay Sinir Ağlarının Elektronik Devre Olarak Gerçeklenmesi

YSA'ların devre gerçeklemeleri farklı şekillerde olabilmektedir. Fakat VLSI ve YSA yapılarının birbirine benzeyen yönlerinden dolayı VLSI YSA üzerinde durulacaktır.

2.1.5.1 VLSI YSA

VLSI devreleri hızla gelişen bir teknolojiye sahip olması nedeniyle yapay sinir ağlarının donanım olarak gerçekleştirilmelerinde ideal bir ortamdır. VLSI teknolojisinde tek bir yarıiletken yongaya milyarlarca transistor sığdırılabilme kapasitesi vardır. VLSI teknolojisi iki temel nedenden dolayı YSA'larına uygun bulunur:

- Yüksek yoğunluğa (birim yüzeye sığdırılan eleman sayısı) VLSI teknolojisinin imkân vermesi nedeniyle tek bir yongaya çok sayıda birbirinin aynısı eş zamanlı çalışan nöronların uygulanmasına olanak tanır. Böylece YSA'ların doğal paralellliğini etkin olarak tamamıyla kullanmayı mümkün kılar.
- YSA'larının düzenli topolojileri, VLSI devrelerinin tasarım ve üstten görünüş planını büyük ölçüde basitleştirir.

Nöron Tasarım Gereksinimleri / Sık Karşılaşılan Temel İşlemler:

- matris-vektör çarpımı
- matris ve vektörlerin, toplanmaları ve çıkarılmaları
- skaler iki sayının çarpılması
- lineer olmayan aktivasyon fonksiyonun üretilmesi

Yukarıda sayılan temel işlemlere ek olarak YSA yapısına göre üs alma, uzaklık hesaplama gibi bloklar gerekmektedir.

Bu VLSI uygulamaları analog ya da sayısal olabilir. Analog devreler sayısal uygulamalarda zor veya fazla zaman tüketen belirli hesaplamaları kolaylıkla yapabilir. Buna ilaveten daha az güç harcar ve daha az yer kaplar.

Bilindiği gibi, yük taşıyıcıları olarak elektron ve delikleri kullanan, n-kanal ve p-kanal MOS transistorlara dayandırılan teknoloji, tamamlayıcı MOS (CMOS) olarak anılır. MOS

transistorunun işleyişi savak akımı I_d 'nin hesaba alınması ile anlaşılabilir. Bu da zaten geçit-kaynak V_{GS} geriliminin fonksiyonu olarak tanımlanmıştır.

Savak gerilimi sabit tutulursa, iki bölge aşağıda belirtilen fonksiyonel bağımlılıkla tanımlanabilir.

- *Eşik üstü bölgesi:* Bu bölgede savak akımı I_D , V_{GS} geçit-kaynak geriliminin ikinci dereceden polinomu şeklindedir.
- *Eşik altı bölgesi:* Bu bölgede transistor düşük geçit-kaynak geriliminde çalışır ve savak akımı I_D geçit-kaynak geriliminin üstel fonksiyonudur.

Bu bölgeler hemen hemen aynı işi görür, üstel lineersizlik tercih sebebidir. Çünkü birim akım başına daha çok iletkenliği sağlar. MOS transistorların çok düşük güç tüketimi, YSA' ların donanım olarak VLSI teknolojisi ile analog devreler kullanılarak gerçekleştirilmesinde çok önemli bir faktördür. Sonuç olarak, analog devreler, geleneksel MOS teknolojisi veya eşik altı MOS teknolojisine dayandırılan, yapay sinir ağlarının uygulanmasında hesaplama açısından çok etkin bir tekniktir.

Sabit ağırlıkların olduğu, öğrenmenin olmadığı yapılarda üretim aşamasında donanım olarak kurulmuş sabit kazançlı çarpıcılar kullanılır. Bu durumda ağ çalışmaya başlamadan önce ağırlıklar donanım olarak sabit şekilde yapılacağından ağırlıkların belli olması gerekir. Bu da ağırlıkların modelini kullanan bir bilgisayarda hesaplamayla elde edilir. Performans, en çok kullanılan modelle gerçek devre arasındaki ilişkiye bağlıdır.

YSA tasarımında dikkat edilmesi gereken noktalardan biri de kullanılan nöron yapılarının ağırlıklar, girişler ve önceki katmanlardan gelen işaretler gibi giriş etkileri dışında devrenin içyapısına bağlı olarak ortaya çıkan, örneğin istenmeyen akım çekme durumları gibi (yani yükleme durumları gibi), sorunların nöronların arasında olmamasıdır. Çünkü sinir ağlarında nöronların tıpkı bir adacık gibi çevresel sistemlerden giriş etkileri dışında izole edildiği kabul edilir. Tasarlanacak olan nöron yapısında, hem nöronun içyapısındaki hem de nöronlar arasındaki bağlantılar MOS transistorların geçitleriyle ilişkilendirilirse ve MOS transistorların ihmal edilebilecek düzeyde akım çektiği düşünülürse, etkileşim olmadığı kabul edilebilir. Böylece modüler bir nöron yapısı elde edilerek nöronların birbirine bağlanmasıyla YSA' lar kolayca oluşturulabilir.

2.1.5.2 YSA Yapılarının Belirlenmesi

Sık kullanılan YSA yapıları aşağıda verilmiştir:

- Çok Katmanlı Algılayıcı Ağlar(ÇKAA)
- Radyal Temelli Fonksiyon Ağları (RTFA)
- Genelleştirilmiş Regresyon Sinir Ağları (GRSA)
- Konik Kesit Fonksiyonlu Sinir Ağları (KKFSA)

YSA' larda kullanılan çeşitli analog devre blokları aşağıda görüldüğü gibidir, sayısı daha da arttırılabilir fakat yukarıdaki sık kullanılan ağ yapılarında bunlar kullanılmaktadır:

- Çarpıcı
- Toplayıcı
- Çıkarıcı
- Üs alıcı
- Karekök alıcı
- Öklid, Manhattan uzaklığı hesaplayıcı
- Sigmoid fonksiyon üretici
- Gauss fonksiyon üretici

Görüldüğü üzere, farklı YSA yapılarının farklı hesaplamalara ve farklı işlem birimlerine ihtiyaçları vardır. Burada değişik devre blokları tasarlamak gerekmektedir. Bu bloklardan en sık kullanılanları eşikaltı bölgesinde çalışan FGMOS transistörlerle tasarlanmıştır.

ÇKA ve RTF YSA yapılarının oluşturulmasına yönelik olarak, tasarımı yapılan blokların seçilen ağ yapısının gereksinimlerini karşılayacak biçimde ve sayıda, modüler olarak bir araya getirilmesiyle düşük gerilimde çalışan, çok az güç tüketen ve daha az yer kaplayan YSA tümdevreleri elde edilmiştir.

YSA tümdevresi çalışmalarında üç tür eğitim işlemi vardır. Bunlar, yonga üzerinde eğitim, yonga dışında eğitim ve döngü içinde yonga şeklinde karşımıza çıkmaktadır. Bu üç farklı yöntemin yapılmak istenen çalışmaya göre birbirine göre avantajlı tarafları vardır. Hangi yöntemin kullanılacağı tasarımcının hedeflerine en uygun olacak şekilde tercih edilir. Bu çalışmada yonga dışı eğitim tercih edilmiştir. Burada, “Eğitim sürecinin tümdevre üzerinde gerçekleştirilmesi yani yonga üzerinde eğitim işlemi daha anlamlı olabilir mi?” sorusu akla gelebilir. Ancak bu çalışmada, eşikaltı FGMOS transistörler kullanılarak düşük gerilimde çalışan analog YSA devre bloklarını tasarlamak esas amacı teşkil etmektedir. Yonga üzerinde

eğitim tercih edilirse, örneğin gereken devre bloğu sayısı çok artmaktadır (türev alıcı, hafıza, dekoder gibi ek bloklar), bu da ek iş gücü, süre ve maliyet olarak ortaya çıkar. Döngü içinde yonga yöntemi tercih edildiğinde işlemler çok uzun zaman alırken, yonga üzerinde eğitim seçildiğinde bu süre çok daha artmaktadır. Aynı zamanda yonga üzerinde çalışma tercih edilirse, örneğin genellikle sayısal tasarımla gerçekleştirilen hafıza blokları tasarımı gibi, tamamen farklı bir alana geçilmesi gerekmekte ve bu tezde esas odaklanılması gereken düşük gerilimde çalışan ve çok az güç tüketen devre bloklarının tasarımı amacından uzaklaşmaktadır. Ayrıca eğitimin yonga dışında yapılmasıyla kazanılan zamanın bir kısmı devre idealsizliklerini daha uygun hale getirmek için kullanılabilir. Bu tezden elde edilen sonuçlar doğrultusunda ileriki çalışmalarda yonga üzerinde eğitim yöntemi uygulanabilir.

2.2 Eşikaltı Bölgesinde Çalışma Prensibi ve Özellikleri

Bir MOS transistorda geçit-kaynak geriliminin eşik geriliminden büyük olması halinde transistorun akım-gerilim ilişkisi doyma bölgesinde karesel bağıntıyla verilmektedir. Genellikle, geçit-kaynak gerilimi eşik geriliminden küçük olduğunda savak akımı ihmal edilir. Gerçekte yüzeye yakın bölgelerde bir elektron yoğunluğu bulunduğundan savak akımı sıfır değildir. Bu bölgeye eşikaltı bölgesi, bu bölgedeki akıma da eşikaltı akımı adı verilir. Eşiküstü bölgesinde akan savak akımı sürüklenme akımı, buna karşılık eşikaltı akımı ise bir difüzyon akımıdır. Geçit-kaynak gerilimi eşik gerilimine doğru yaklaştıkça, MOS transistorun akım-gerilim karakteristiği karesel bağımlılıktan üstel bağımlılığa dönüşür. Bu bölgede transistor düşük geçit-kaynak geriliminde çalışır ve savak akımı I_d geçit-kaynak geriliminin üstel fonksiyonudur ve birim akım başına daha çok iletkenlik sağlar.

Geçit gerilimi eşik geriliminden biraz küçük ($V_{GS} < V_T$) olduğu zaman bu çalışma bölgesine ilişkin akım gerilim denklemi;

$$I_D = I_0 e^{\frac{V_{GS}}{nU_T}} \left(1 - e^{\frac{-V_{DS}}{U_T}} \right) (1 + \lambda V_{DS}) \quad (2.4)$$

şeklinde olup, bu ifadede λ ve V_{DS} 'nin etkileri ihmal edilirse (2.4) bağıntısı şu hale gelir:

$$I_D \cong I_0 e^{\frac{V_{GS}}{nU_T}} \quad (2.5)$$

$$I_0 = I_{ON} e^{\frac{-V_T}{nU_T}} \quad (2.6)$$

ve

$$I_{ON} = 2n\beta U_T^2 \quad (2.7)$$

olmak üzere, (2.4) bağıntısında yerine konulursa;

$$I_D = I_{ON} \cdot e^{\left(\frac{V_{GS} - V_{ON}}{nU_T}\right)} \quad (2.8)$$

şeklinde ifade edilir. I_{ON} , $V_{GS} = V_{ON}$ için kuvvetli evirtimdeki akımdır. V_{ON} ise zayıf ile kuvvetli evirtim bölgesi arasındaki sınır değer olup;

$$V_{ON} = V_T + nU_T \quad (2.9)$$

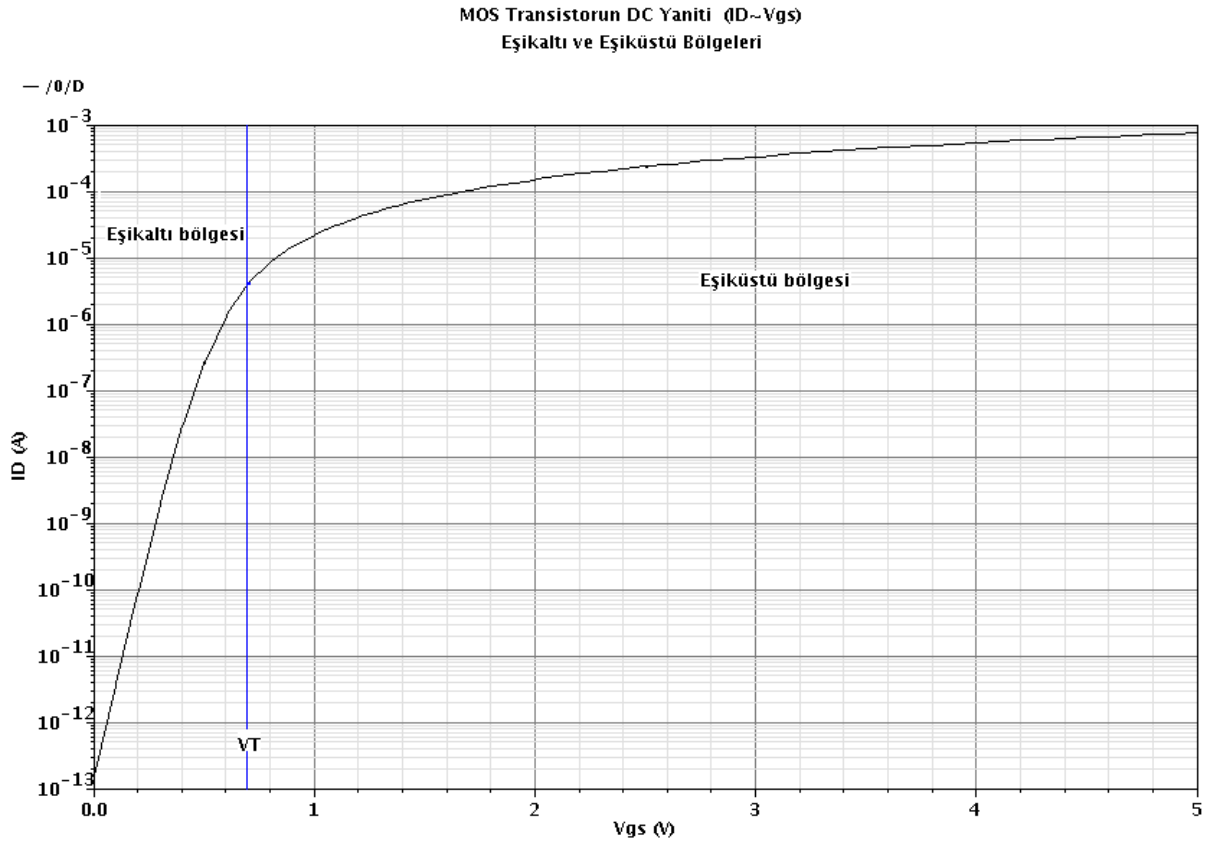
şeklinde tanımlanır. Burada n eşikaltı eğim faktörü olup;

$$n = 1 + \frac{qN_{FS}}{C_{OX}} + \frac{C_D}{C_{OX}} \quad (2.10)$$

bağıntısıyla verilir. N_{FS} model parametresi ve C_D fakirleşmiş bölgeye ilişkin kapasite değeridir

$$C_D = \frac{dQ_B}{dV_{BS}} = \frac{\gamma}{2\sqrt{2}\phi_F - V_{BS}} \quad (2.11)$$

şeklinde ifade edilir. γ gövde etkisi parametresi, ϕ_F Fermi potansiyeli ve V_{BS} taban kaynak gerilimi olarak tanımlanır (Antognetti, 1988).



Şekil 2.4 MOS transistorun çalışma bölgeleri

Şekil 2.4'te geçit geriliminin savak akımı ile değişimi verilmiştir.

2.3 FGMOS Transistorların Yapısı, Çalışma Şekli ve Özellikleri

1967 yılında Kahng ve Sze ilk “yüzen-geçit” (floating-gate) yapısını değişken olmayan bilgiyi saklamaya yarayan bir mekanizma olarak ortaya atmıştır (Kahng,1967).

Bu zamandan sonra FGMOS transistorlar, uzun süre boyunca dijital bilgiyi saklamada EPROM’lar, EEPROM’lar ve Flash Memory’ler gibi yapılarda yaygın olarak kullanılmıştır. FGMOS transistorlar aynı zamanda analog uygulamalarda sabit bilgiyi uzun süre saklamak için de kullanılmıştır.

1983’de Wada ve arkadaşları “dual-control-gate EEPROM” olarak bilinen yeni bir EEPROM adresleme yapısı tanımlamışlardır. Burada iki kontrol geçidi transistorun yüzen-geçit’ine eşit ağırlıklı olarak bağlıdır (Hieada, 1983).

1992’ye gelindiğinde ise, Shibata ve Ohmi FGMOS transistorlar hakkında yeni bir müthiş düşünce tarzı ortaya atmışlardır -Tohoku Üniversitesi-(Shibata ve Ohmi, 1992).

Burada çoklu kontrol girişleri yüzen geçit’e kapasitif etkiyle bağlanarak, bir kapasitif gerilim bölücü üzerinden giriş gerilimlerinin ağırlıklı toplamaları şeklinde yüzen geçit gerilimi sağlanmış olur. Bu yüzen geçit gerilimi, yüzen geçit’in altındaki silikonun içindeki kanaldan akan akımı yani bir MOS transistorun içinden akan akımı ayarlar. Shibata ve Ohmi, bu birleşik elemana **neuron MOS (neuMOS veya vMOS) transistor** adını takmışlardır. neuMOS transistorlar ve sinir sistemindeki hücreler tarafından gerçekleştirilen fonksiyonların benzerliğinden dolayı bu ad verilmiştir. Yang, Andreou ve Boahen böyle elemanlara çok-girişli FGMOS adını vermektedir (Yang, 1994). Ramirez-Angulo, bunlara çok-girişli yüzen-geçitli (MIFG) transistorlar demektedir (Ramirez,1996).

Shibata ve Ohmi tarafından FGMOS transistorlar hakkında ortaya atılan bu düşünce tarzı, çok sayıda ilginç analog ve dijital bilgi işleme devrelerinin gerçekleştirilmesine olanak sağlamıştır. Bunlardan rastlanan örnekler şöyle sıralanabilir; basit D/A çeviriciler, dört bölgeli çarpıcılar, eşik lojik birimlerine dayanan yeniden biçimlendirilebilen sayısal lojik, sinir ağları, ‘winner-take-all’ devreleri, FGMOS geçiş iletkenliği devreleri (Jamuar vd., 2008). Özetle, Shibata ve Ohmi’nin kavramsal geliştirmesi “FGMOS transistorlar sadece bilgi depolamaktan ibaret değildir, aynı zamanda bilgi işleme aygıtları olarak da kullanılabilir” demiştir.

2.3.1 Biyolojik Nöron İle Yüzen Geçitli-Çok Girişli MOS Transistorun İşlevsel Benzerliği

McCulloch-Pits'in basitleştirilmiş biyolojik nöron modelinde nöron, girişlerine (sinapslarına) uygulanan işaretlerin ağırlıklandırılmış toplamı belli bir " t " eşik değerini aştığında, çıkışını "lojik 0" kabul edilen seviyeden "lojik 1" olarak belirlenmiş seviyeye anahtarlayabilen birim olarak tanımlanmıştır. Yani, x_i yalnızca "0" ve "1" değerlerini alabilecek n -adet giriş, w_i bu girişlere ait ağırlıklar ve y de çıkış olmak üzere, bir nöronun işlevi aşağıdaki bağıntıyla modellenmiştir (Werner, 1996):

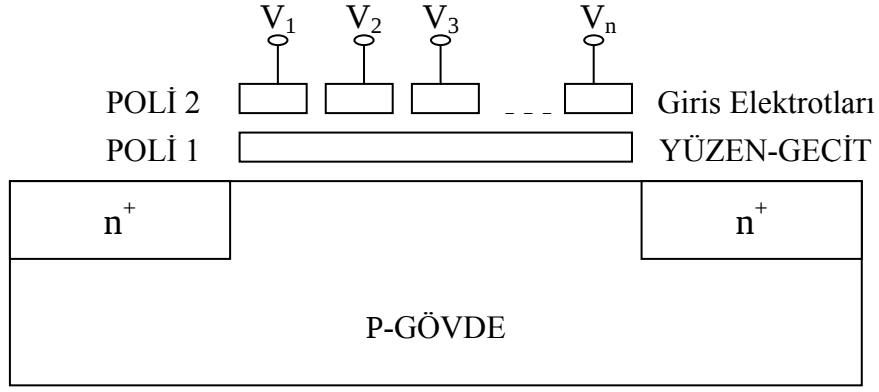
$$y = \begin{cases} 1, & \sum_{i=1}^n x_i w_i > t \text{ ise} \\ 0, & \text{aksi halde} \end{cases} \quad (2.12)$$

Bunu izleyen bölümlerde, bir yüzen geçitli-çok girişli MOS transistorda, (2.12) bağıntısındaki " y " büyüklüğüne transistorun savak akımının, " x_i " büyüklüğüne transistorun i . giriş geriliminin, w_i ağırlığına i . girişle yüzen geçit arasındaki kapasitenin yüzen geçide bağlı toplam kapasiteye oranının, t 'ye ise transistorun yüzen geçidinden görülen ve V_T ile sembolize edilen eşik geriliminin karşılık geldiği görülür. Açıktır ki analog uygulamalarda herhangi bir değer alabilecek giriş işaretlerinin ağırlıklandırılmış toplamı, transistorun "açık" ve "kapalı" konumlarını kontrol etmenin dışında, savak akımının miktarını da belirleyecektir.

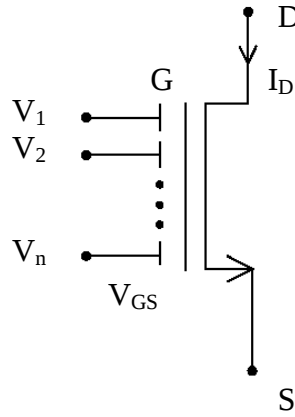
Çalışma şeklinin, (2.12) bağıntısına uygunluğu dolayısıyla, yüzen geçitli-çok girişli MOS transistora "nöron MOS transistor" veya kısaca "vMOS" adı verilmiştir (Shibata ve Ohmi, 1992).

2.3.2 n-Kanallı FGMOS Transistor Yapısı, Çalışma İlkesi ve Analitik Bağıntılar

Basitleştirilmiş kesidi Şekil 2.5'te verilmiş olan n-kanallı FGMOS transistor, geçidi "yüzen" bırakılmış bir NMOS transistor ve bu yüzen geçit üzerinde, ikinci polisilisyum tabakasıyla oluşturulmuş ve yüzen geçitle kapasitif etki oluşturan birden fazla girişten oluşur. Giriş ağırlıklarını gerçekleyen poli1-poli2 kapasitelerinin bir kısmı veya tamamı alan oksidi üzerinde de oluşturulabilir (Werner, 1996). n-kanallı FGMOS transistorun sembolü Şekil 2.6'da verilmiştir.



Şekil 2.5 N-girişli n-kanallı FGMOS transistorun basitleştirilmiş kesidi



Şekil 2.6 N-girişli n-kanallı FGMOS transistorun sembolü

Şekilden de görüldüğü gibi MOS transistordan farkı çok girişli olması ve yüzer geçite sahip olmasıdır. Her bir girişin etkisi giriş ile yüzer geçit arasındaki kapasitif oranla belirlenir ve girişlerin ağırlıklı toplamı geçit geriliminin değerini belirler.

Bir FGMOS transistorda yüzen geçit gerilimi, giriş uçları ile transistorun yüzen geçit altında kalan kısmının, yüzen geçide olan kapasitif oranı ile belirlenir. FGMOS transistorun çalışması, geçidin bu şekilde kutuplanması dışında, sıradan bir MOS transistorla aynıdır. n adet giriş yüzen geçide kapasitif olarak bağlanmıştır. V_{FG} 'nin yüzen geçitteki gerilim ve V_{Gi} 'nin i . kontrol geçidinin gerilimi olduğu kabulü altında;

$$V_{FG} = \frac{C_{FGD}V_D + C_{FGS}V_S + C_{FGB}V_B + \sum C_{Gi}V_{Gi}}{C_T} \quad (2.13)$$

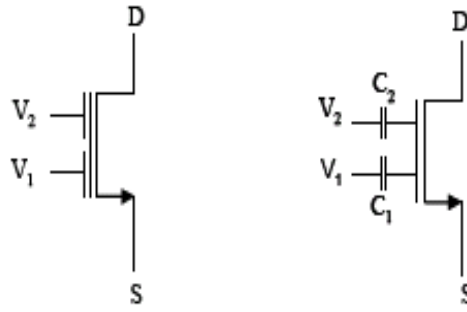
$$C_T = C_{FGD} + C_{FGS} + C_{FGB} + \sum_{i=1}^n C_{Gi} \quad (2.14)$$

ifadeleri elde edilir. Kontrol girişleri ile ilgilenilmiyorsa, FGMOS transistorun fiziksel yapısı klasik MOS transistor ile aynıdır denilebilir. Dolayısı ile FGMOS transistorda $I_D - V_{FGS}$ karakteristiği de MOS transistor ile aynıdır. Buradan yola çıkılarak, FGMOS transistoru modellenirken klasik MOS modelleri kullanılabilir.

2.3.3 FGMOS Makro Modeli

FGMOS transistorla simülasyon yapılırken girişe seri kapasiteler geleceğinden makro modellere ihtiyaç duyulmaktadır. Makro modeller çıkarılırken transistorda ve yüzen-geçitte parazitik ve örtüşme kapasiteleri de uç gerilimleri ve uç akımları hesaplamalarında yer almalıdır.

Girişlerine V_1 ve V_2 işaretleri, savağına besleme gerilimi V_{DD} uygulanmış, kaynak ucu toprakta olan 2-girişli bir n-kanallı FGMOS transistorun eşdeğeri Şekil 2.7’de verilmiştir (Ochiai ve Hatano, 1999). Poli1-poli2 arası giriş kapasiteleri C_1 ve C_2 ile yüzen geçidin bulunduğu düğüm de FG ile gösterilmiştir.



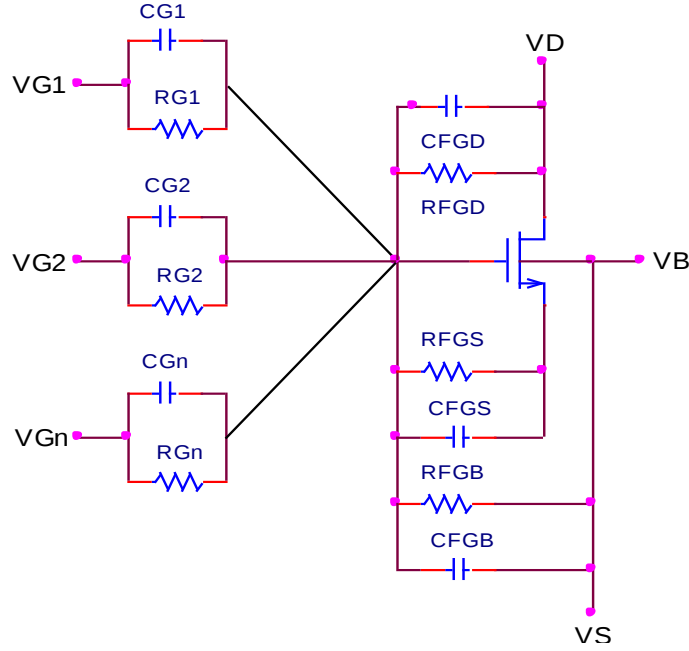
Şekil 2.7 İki-girişli n-kanallı FGMOS transistorun eşdeğer devresi

FG düğümünden toprağa DC bir yol bulunmadığından benzetim programı, FG düğümünü yüzen bir düğüm olarak algılamakta ve Şekil 2.7’deki eşdeğer devrenin simülasyonunu gerçekleştirememektedir. Dolayısıyla yüzen geçit potansiyelini girişler ve transistorun diğer uç gerilimleri cinsinden hesaplayan bir modele ihtiyaç vardır.

Literatürde farklı FGMOS makro modellerine rastlanılmaktadır. Bu makro modellerin en sık kullanılanları ana hatlarıyla “Kapasitif kuplaj katsayılı makro model” (Sanchez-Sinencio, 2000) ve “Gerilim kontrollü gerilim kaynaklı makro model” (Ramirez, 1996) dir. Literatürde yer alan diğer makro modeller (Ochiai ve Hatano, 1999; Pavan vd., 2002; 2004) incelendikten sonra, yayınlarda en çok kapasitif kuplaj katsayılı modellerden olan Sanchez-Sinencio’nun modelinin kullanıldığı belirlendiğinden tezde de bu makro model kullanılmıştır. Bu model Şekil 2.8’de verilmiştir.

Modelleme esnasında benzetim programları toprağa DC bağlantısı olmayan yüzen noktaları kabul etmediği için her bir kapasite ile birlikte bir de direnç bağlanmıştır. Bu dirençlerin değerleri, devreye getirecekleri yükleme etkisinin minimuma indirilebilmesi için çok büyük seçilmelidir. Buna ek olarak her bir kolun aynı zaman sabitine sahip olması için zaman sabiti (2.15)’te verildiği gibi olmalıdır.

$$R_{G1}C_{G1} = R_{G2}C_{G2} = \dots = R_{Gn}C_{Gn} = R_{FGD}C_{FGD} = R_{FGS}C_{FGS} = R_{FGB}C_{FGB} \quad (2.15)$$



Şekil 2.8 FGMOS makromodeli

(2.15)'te verilen koşul sağlanırsa, yüzen geçidin DC gerilimi dirençlerin tanıtılmasından etkilenmeyecektir. Bunu gösterebilmek için yüzen geçidin DC düğüm denklemleri kapasitelerin etkileri göz ardı edilerek yazıldığında (2.16) bağıntısı elde edilir:

$$V_{FG} \left(\frac{1}{R_{FGD}} + \frac{1}{R_{FGS}} + \frac{1}{R_{FGB}} + \sum_{i=1}^n \frac{1}{R_{Gi}} \right) - V_D \frac{1}{R_{FGD}} - V_S \frac{1}{R_{FGS}} - V_B \frac{1}{R_{FGB}} - \sum_{i=1}^n V_{Gi} \frac{1}{R_{Gi}} = 0 \quad (2.16)$$

Direnç ve kapasite çarpımları birbirine eşit olduğundan (2.13) bağıntısına ulaşılır. Genellikle bir FGMOS transistorda giriş kapasiteleri diğer kapasitelerden daha büyüktür.

$$C_{Gi} \gg C_{FGD}, C_{FGS}, C_{FGB} \quad (2.17)$$

2.3.4 Dört-Uçlu Elemanların Esnek Yapısı, İki-Uçlu ve Üç-Uçlu Elemanlarla Karşılaştırılması

Daha esnek bir donanım yapısına sahip olmak için temel eleman seviyesinde fonksiyonel geliştirme şarttır. Bu nedenle, üç-uçlu elemanlar olarak bilinen MOS transistörlerden ve bipolar transistörlerden daha üstün işlevsel özelliklere sahip bir dört-uçlu eleman kavramı ileri sürülmüştür (Ohmi, 1997).

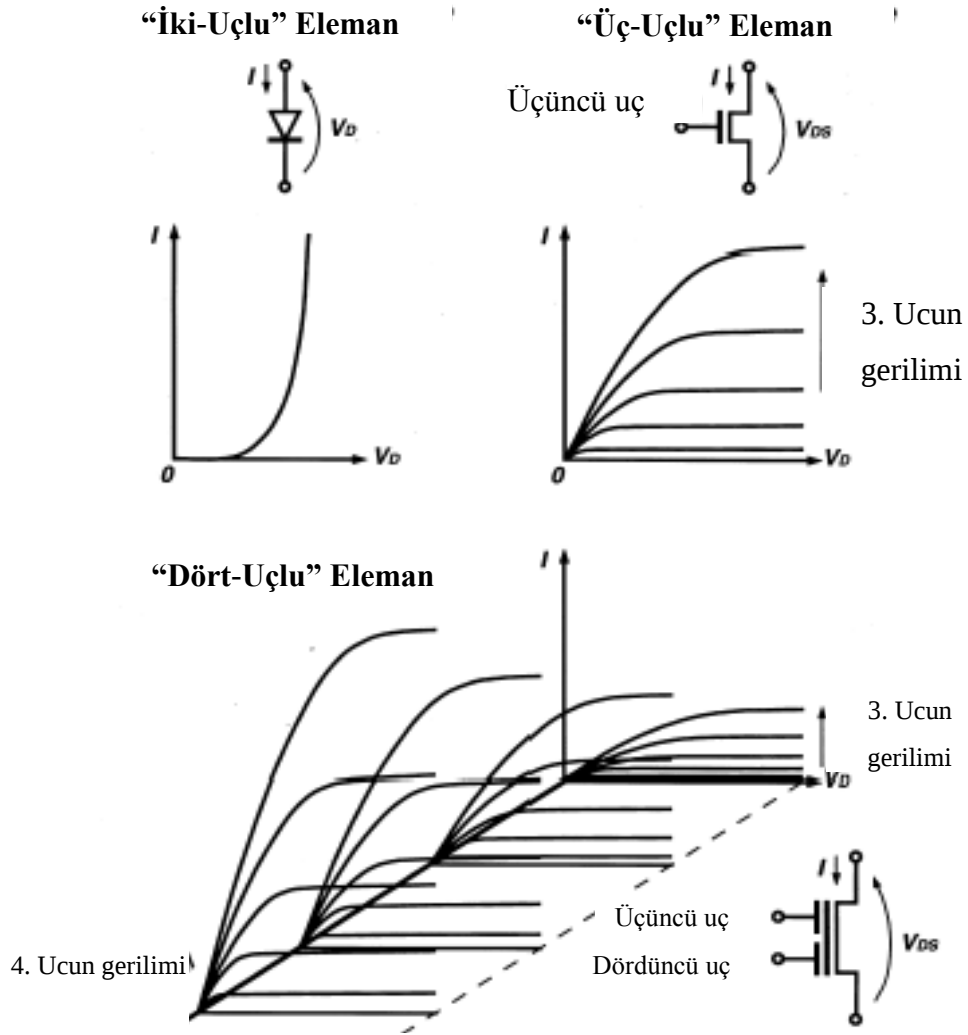
İki-uçlu elemanlardan dört-uçlu elemanlara kadar olan fonksiyonel gelişmeyi Şekil 2.9 özetler. İki-uçlu eleman olan bir diyotta, üzerinden geçen akımı sadece uçları arasındaki gerilim farkı belirler. Böyle ilkel bir çalışma biçiminden ancak gelişmemiş, karmaşık olmayan bir uygulama ortaya çıkar. MOS transistörler ve bipolar transistörler gibi üç-uçlu elemanlarda

ise, iki ana uçtan akan akım üçüncü bir ucun gerilimi tarafından kontrol edilebilir. Bunun sonucu olarak, akımın kontrol edilebilirliği iki-boyutlu bir ortama genişletilmiştir. Bu ise, kuvvetlendiricileri, osilatörleri ve sayısal hesaplama sistemleri gibi sistemleri içeren elektronik devreler kavramını geliştirmeye izin verir. 20. yüzyıldaki elektronik, üç-uçlu elemanlar tarafından oluşturulduğundan çok fazla bir şey söylemeye gerek kalmaz.

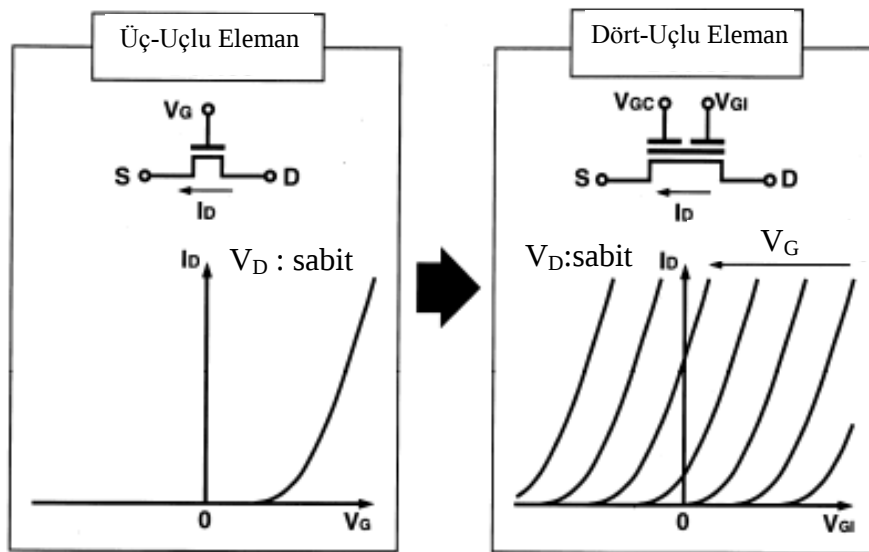
Biliyoruz ki; üç-uçlu elemanda (MOS transistor) savak akımı, Şekil 2.10'da gösterildiği gibi savak geriliminin sabitlenmesiyle sadece üçüncü ucun gerilimi (geçit-kaynak gerilimi) tarafından belirlenir. Doğrusal olmayan akım-gerilim karakteristiği lojik bir yapı oluştururken bir akım anahtarlama gibi kullanılabilir. Bu, katı ikili sayısal algoritma için çok uygundur fakat esneklikten çok uzaktır. Bir dört-uçlu elemanda akım aynı koşullar altında tek başına belirlenmez çünkü üçüncü uç tarafından kontrol edilen akımın davranış şekli ek olarak dördüncü uçla daha fazla kontrol altına alınabilir. Başka bir deyişle, dört-uçlu elemanda akımı kontrol altına almada serbestlik derecesi Şekil 2.9'da gösterildiği gibi üç boyutlu bir ortama taşınmıştır. Donanım üzerinde esnek bir bilgi işleme tasarımını gerçekleyebilmek için temel elemanda böyle bir fonksiyonel geliştirme şarttır.

2.3.5 FGMOS Transistorun Kullanım Alanları ve Avantajları

- Bu yapının umut verici özellikleri gelişmiş bilgi işleme uygulamalarında kanıtlanmaktadır: çok geniş bir alana hitap etmektedir; binary dijital devreler, gerçek zamanlı konfigüre edilebilir lojik kapılar, kendi kendine öğrenen nöral ağlar, görüntü işleme, analog çarpıcılar, WTA entegrelerini gerçekleştirme gibi
- FGMOS'larla simetrik fonksiyonları gerçeklemek kolay olmaktadır
- VLSI tasarımı normal MOS'lara göre daha az güç harcaması vardır
- Bir giriş ucunun kontrol ucu alınması ile eşikaltı bölgede tutabilme özelliği
- Çoklu-değerli lojik yapılara uygunluk doğasında var
- Analog tasarım için özellikle düşük gerilim operasyonlarında yeni imkânlar sağlayan birkaç özelliği var
- Diğer MOS'lara göre yani tek girişli MOS'lara göre akımın kontrol edilebilmesi daha genişletilmiştir ve bu çok büyük bir esneklik sağlamaktadır (yani akımı kontrol altına almak daha özgürce)
- Çok-düşük gerilimli devrelerin tasarımına olanak sağlamaktadır.



Şekil 2.9 Temel elemanlarda iki-uçlu elemandan dört-uçlu elemana doğru işlevselliğin geliştirilmesi (Ohmi, 1997)



Şekil 2.10 Bir üç-uçlu ve bir dört-uçlu elemanın (FGMOS) karşılaştırılması (Ohmi, 1997)

3. EŞİKALTI FGMOS TRANSİSTORLARLA TASARLANAN ANALOG DEVRE BLOKLARI

Eşiküstü bölgesinde çalışan MOS transistörler düşük besleme gerilim uygulamaları için dinamik aralığın azalmasına sebep olduğundan, düşük güç uygulamalarında çalışmaya uygun değildir. Çok düşük güçlü sistemlerin gelişmesinde, işaret işleme enerji verimliliği önemli bir tasarım ölçütüdür. Düşük besleme gerilimi ve güç tüketimi seviyeleri bu yeni duruma adapte edilmiş yeni analog tasarım stratejilerini gerektirmektedir. Bu doğrultuda tasarımcılar yeni yöntemler arayışıyla, hem akım tekniklerini yeniden gözden geçirmeli hem de bu amaca yönelik yeni elemanlar bulmaya çalışmalıdır. Bunlardan bir tanesi eşikaltı bölgesinde çalışan FGMOS transistörlerin kullanılmasıdır. Böylece analog akım modlu devre tekniğinin, eşikaltında çalışan FGMOS transistörlerle birleştirilmesiyle bu amaca yönelik kompakt ve etkin bir şekilde çalışan devreler elde edilmiş olur (Croz-Blas vd., 2005).

Farklı YSA yapılarının farklı hesaplamalara ve farklı işlem birimlerine ihtiyaçları vardır. Burada değişik devre blokları tasarlamak gerekmektedir. Bu çalışmada eşikaltı bölgesinde çalışma tercih edilmiş ve hem besleme gerilimlerini hem de devre bağlantı topolojilerinin karmaşıklığını düşürecek şekilde (elemanda artan uç sayısı belirli bir matematiksel fonksiyonu sağlamak için ihtiyaç duyulan topolojinin basitleştirilmesine olanak sağlar) çalışmaya imkân tanıyan FGMOS transistörler kullanılmıştır.

Tezde kullanılan tüm transistörler eş transistördür. 0,35µm teknolojisinde boyutlar; n-kanallı transistörler için $L=0,8\mu\text{m}$, $W=1,2\mu\text{m}$ 'dir, p-kanallı transistörlerde genişlik 2,75 katı seçilmiş olup $L=0,8\mu\text{m}$, $W=3,3\mu\text{m}$ 'dur. Bu durum hem tasarım hem de üretim açısından önemli kolaylıklar sağlamaktadır.

Tasarlanan her devrenin güç tüketimlerinin literatürdeki devrelerle karşılaştırmaları devre anlatımlarının sonunda verilmiştir. Bölüm sonunda ise güç tüketim çizelgesi toplu olarak görülmektedir.

3.1 FGMOS Transistörün Eşikaltında Çalışması

FGMOS transistörün bağıntıları, eşikaltı çalışma bağıntılarında yerine konursa, yani konvensiyonel bir n-kanallı MOS transistörde eşikaltı bölgesindeki (2.5) akım bağıntısında V_{GS} yerine V_{FGS} ifadesi olan (2.13) bağıntısı yerine konulursa n-kanallı FGMOS transistörün eşikaltı doyma bölgesindeki savak akımı aşağıdaki gibi olur ($V_{GS} < V_T$, $V_{BS} = 0$, $V_{DS} > 4U_T$).

$$I_D = I_0 e^{\frac{V_{FGS}}{nU_T}} \quad (3.1)$$

Burada, yüzer-geçit gerilimi V_{FG} bağıntısında geçen toplam kapasite ifadesi (2.14) ve giriş kapasiteleriyle parazitik kapasitelerin ilişkisi (2.17) bağıntılarında verilmiştir. Bu kapasite değerleri, FGMOS transistorun boyutlarına ve kullanılan teknoloji parametrelerine bağlı olarak değişmektedir ve eşikaltı bölgesinde çalışma koşulları için aşağıdaki gibi hesaplanmaktadır (Rodriguez-Villegas, 2006):

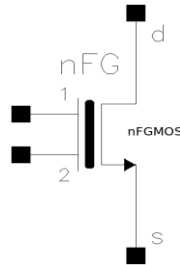
$$C_{FGB} = C_{OX}.W.L + C_{GBO}.L \quad (3.2)$$

$$C_{FGS} = C_{GSO}.W \quad (3.3)$$

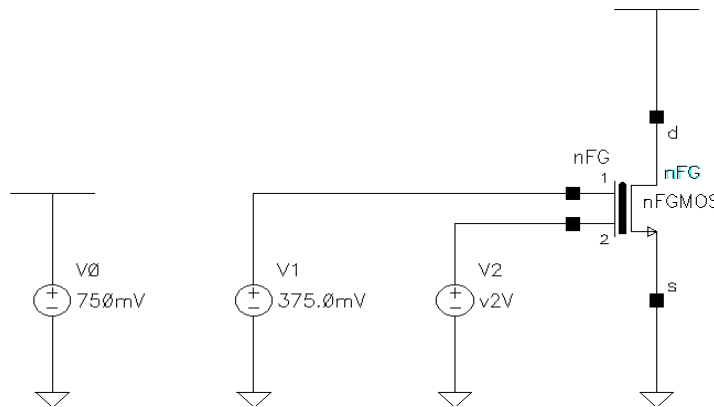
$$C_{FGD} = C_{GDO}.W \quad (3.4)$$

Burada, C_{GBO} , C_{GSO} ve C_{GDO} teknolojiye bağlı parametreler olup MOS transistorun birim etkin uzunluk başına düşen örtüşme kapasitelerini ifade eder ve parametre setinde yer almaktadır. C_{ox} aktif bölgenin birim alan başına düşen kapasite miktarı, W , L ise transistorun boyutlarıdır. Giriş kapasiteleri (2.17) bağıntısından görüleceği gibi diğer kapasitelerden oldukça büyük seçilmelidir, bu oran C_{FGB} kapasitesinin 9 katı olarak belirlenmiştir.

Girişlerine V_1 ve V_2 işaretleri uygulanmış iki-girişli n-kanallı bir FGMOS transistorun CADENCE programında oluşturulan sembolü Şekil 3.1’de ve eşikaltı çalışma bölgesindeki özeğrileri çıkarmak için kullanılan devre Şekil 3.2’de verilmiştir. CADENCE programında simülasyonla elde edilen geçiş ve çıkış özeğrileri Şekil 3.3 ve Şekil 3.4’te verilmiştir.

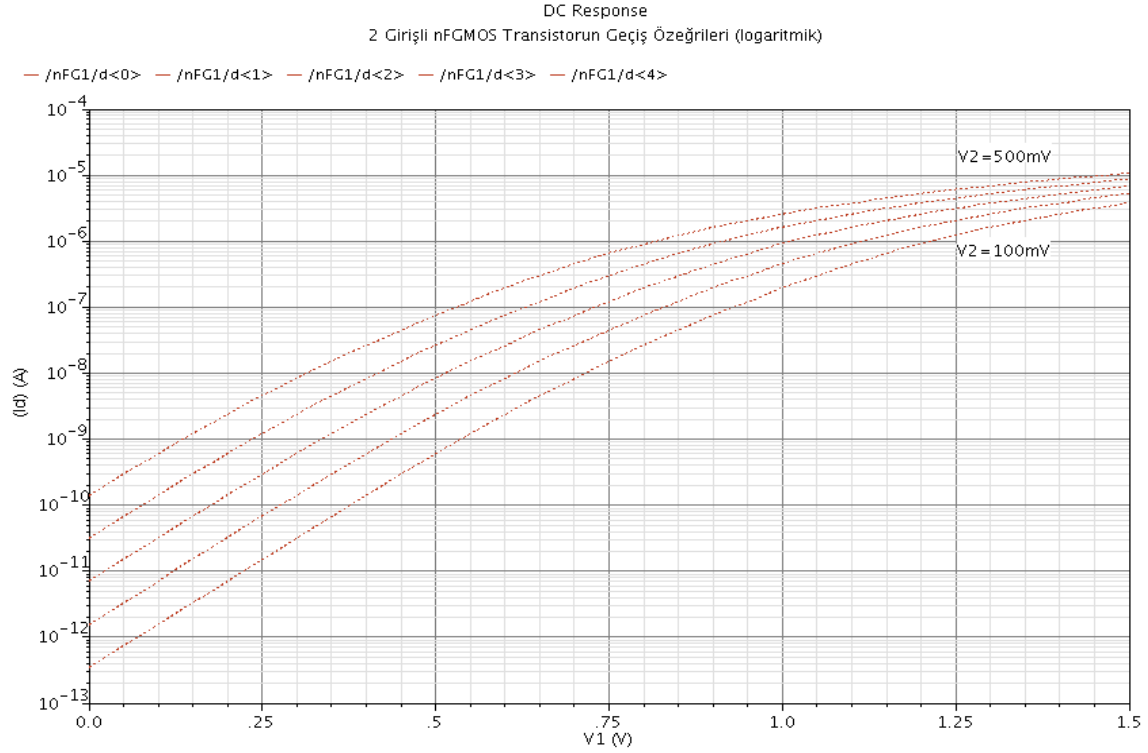


Şekil 3.1 nFGMOS transistorun sembolü

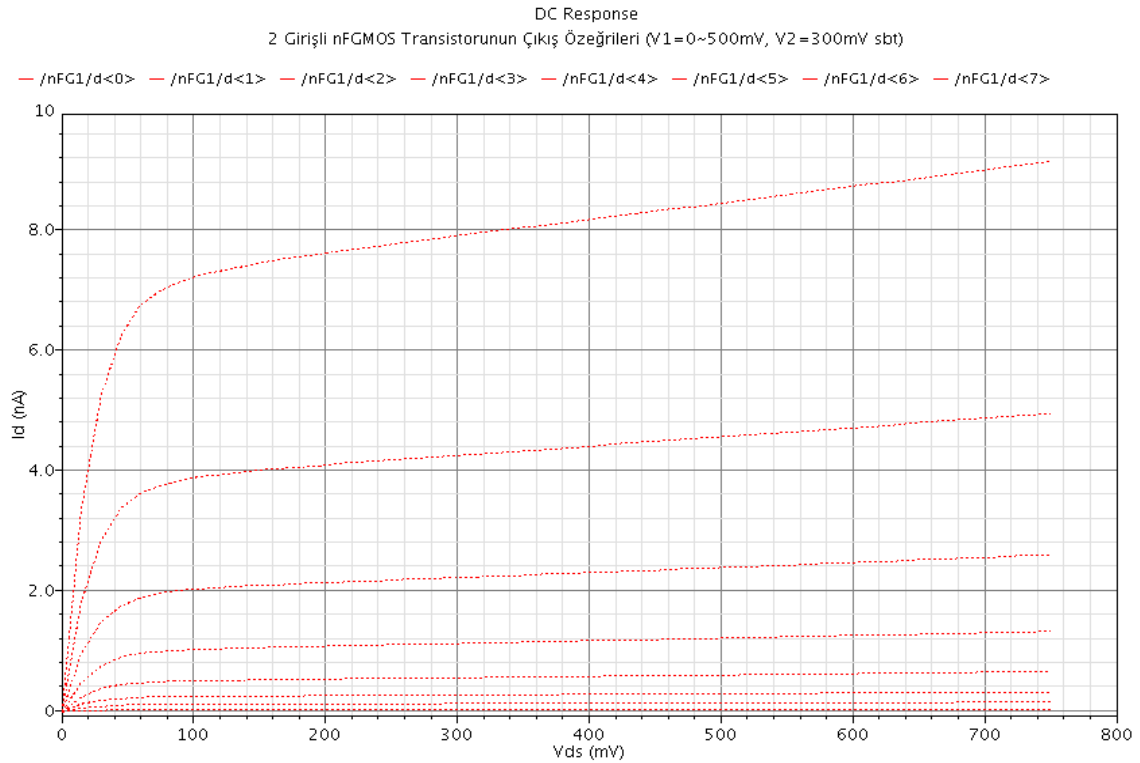


Şekil 3.2 İki girişli n-kanallı FGMOS transistorun özeğrileri için devre şeması

Şekil 3.2’de görülen devrede besleme gerilimi 0,75V alınmıştır. Simülasyonlarda TSMC 0,35 μ m CMOS parametreleri kullanılmış olup transistor geometrisi ile ilgili değerler; $W=0,8\mu\text{m}$, $L=0,8\mu\text{m}$, $C_1=C_2=13\text{fF}$ ve $C_T = 29\text{fF}$ ’tır



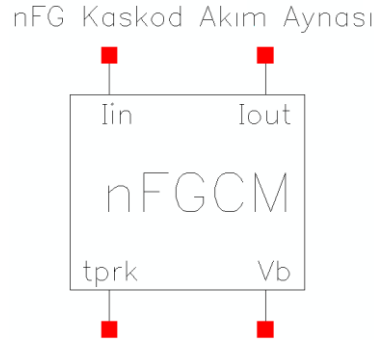
Şekil 3.3 Eşikaltında çalışan iki girişli n-kanallı FGMOS transistorun geçiş özeğrileri



Şekil 3.4 Eşikaltında çalışan iki girişli n-kanallı FGMOS transistorun çıkış özeğrileri

3.2 Kaskod Akım Aynası Devresi

Analog devre tasarımında akım modlu devrelerin tasarımında kullanılan en önemli yapı taşı akım aynalarıdır. Toplama, çıkarma, sabit katsayı ile çarpma, akım aynalama, akım tersleme gibi temel işlemlerden, daha karmaşık işlemlere kadar birçok işlem akım aynaları kullanılarak yapılır. Akım modlu tasarımların başından sonuna kadar akım aynaları kullanılmaktadır. Bu sebeplerden dolayı akım aynalarının minimum yansıtma oranı hatasıyla çalışması çok önemlidir. Şekil 3.5'te düşük gerilimde çalışan FGMOS kaskod akım aynası devresinin blok şeması ve Şekil 3.6'da devrenin iç yapısı görülmektedir.



Şekil 3.5 nFGMOS kaskod akım aynasının blok şeması

Düşük gerilimde çalışan yapının çıkış noktasını, alttaki giriş transistorunun geçidinin üstteki transistorun savak ucuna bağlanarak, çift katlı yapıda besleme gerilimi açısından tek katlı bir yapı mantığından hareket edilmesi oluşturmaktadır (Razavi, 2001). Bu değinilen yapı eşiküstü bölgesinde çalışan konvansiyonel MOS transistorlarla oluşturulmuş bir yapıdır. Bu çalışmada ise kaskod transistorlar FGMOS transistorlarla Şekil 3.6'da görüldüğü gibi değiştirilmiş ve eşikaltı çalışma bölgesinde tasarlanmıştır.

Bilindiği gibi eşikaltı bölgesinde çalışma şartı $V_{GS} < V_T$ ve doyma için ise $V_{DS} > 4 \sim 6U_T$ olmalıdır. N_{in} transistoru için şartlar;

$$V_{bS,in} < V_T \quad (3.5)$$

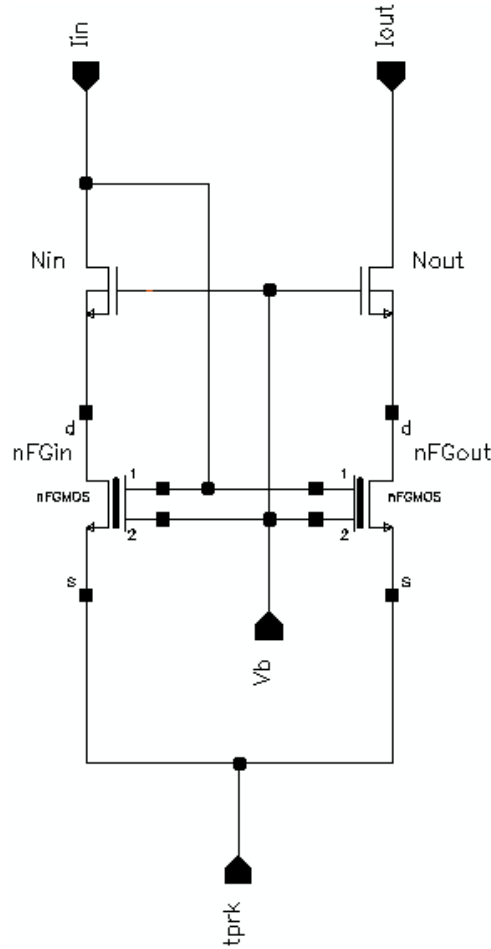
$$V_{DS,in} > 4U_T \quad (3.6)$$

nFG_{in} transistoru için ise;

$$\frac{c_1}{c_T} V_{D,in} + \frac{c_2}{c_T} V_b < V_T \quad (3.7)$$

$$V_{D,in} = V_{DS,FGin} + V_{DS,in} \quad (3.8)$$

olduğundan minimum $8U_T$ olmalıdır. nFG_{in} transistoru için yazılan eşikaltı bölgesinde çalışma şartı düzenlenirse,



Şekil 3.6 nFGMOS kaskod akım aynasının iç yapısı

$$V_{D,in} < \frac{c_T}{c_1} V_T - \frac{c_T^2}{c_1 c_2} V_b \quad (3.9)$$

elde edilir. Elde edilen bu şart

$$V_{D,in} \geq 8U_T \quad (3.10)$$

şartı ile birleştirilirse,

$$8U_T \leq V_{D,in} \leq \frac{c_T}{c_1} V_T - \frac{c_T^2}{c_1 c_2} V_b \quad (3.11)$$

olarak yeni bir sınır aralığı belirlenmiş olur. Bu aralık koşulları V_b için yeniden düzenlenirse,

$$\frac{c_T}{c_2} V_T - 8 \frac{c_1}{c_2} U_T \geq V_b \quad (3.12)$$

sonucuna ulaşılır. Böylece eşikaltında tüm transistörlerin doymada çalışmaları için V_b 'nin alabileceği maksimum değer bulunmuş olur. Uygun boyutların seçimi ile $V_{FG,in} = V_{FG,out}$ sağlandığında uygun V_b 'nin de seçimi ile $V_{DS,FGin} = V_{DS,FGout}$ elde edilir, böylece nFG_{out} ve N_{out} transistörleri minimum marjda çalışırken I_{in} akımının düzgün bir şekilde kopyalanması

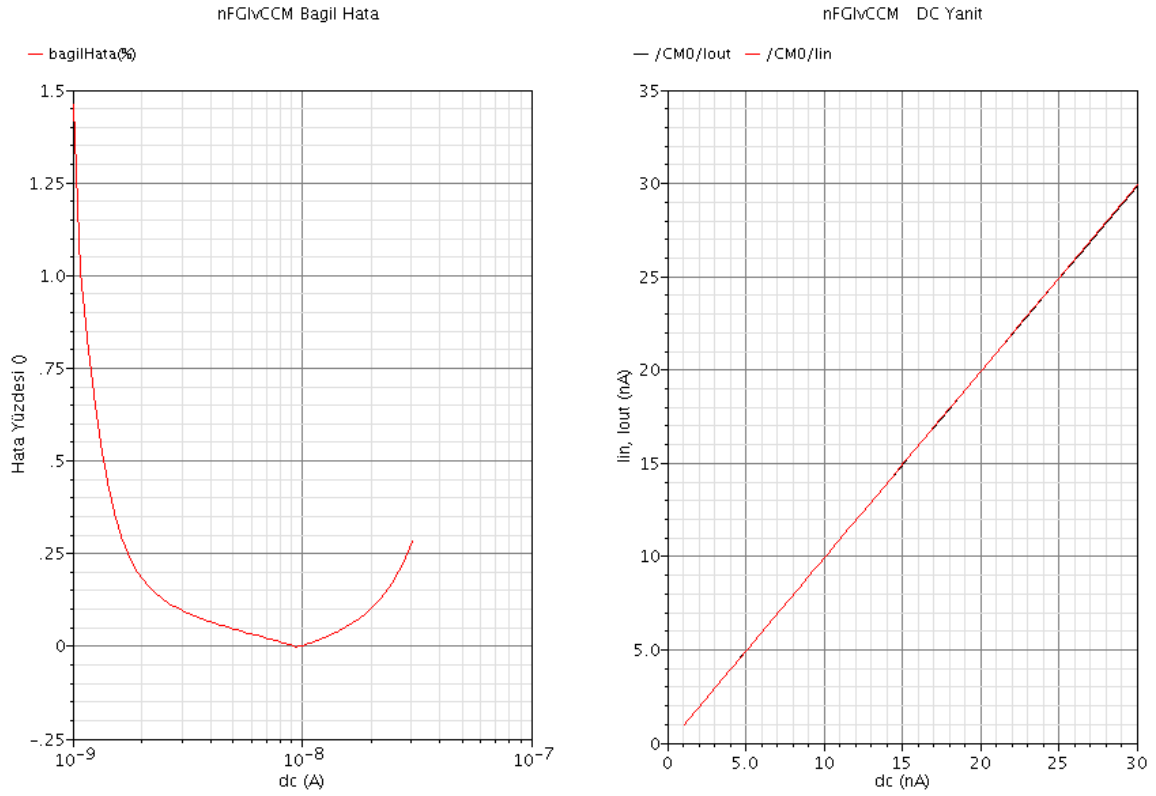
sağlanır. Böylece akımı aynalanan transistorla tüm uçlar aynı gerilim değerlerine sahip olacağından akım mümkün olan en iyi şekilde aktarılmış olur.

V_b gerilimi değiştirilerek çalışmak istenilen bölgede hata minimuma indirilebildiğinden FGMOS akım aynası konvansiyonel akım aynasına göre çok daha esnek yapıya kavuşmuştur. Tezde kullanılan devrelerin giriş/çıkış akımları $[-5\text{nA}, 5\text{nA}]$ aralığındadır fakat devrelerin içinde 30nA 'ler mertebesine çıkabilmektedir. Bundan dolayı akım aynalarının 30nA 'ler mertebesine kadar iyi çalışması gerekmektedir. Şekil 3.7'den görüldüğü gibi eşikaltı çalışma bölgesinde çıkış akımı giriş akımını çok iyi bir şekilde takip etmektedir ($V_b=375\text{mV}$). Hata dağılım grafiğine bakıldığında 1nA 'de hata %1,4 iken 10nA civarında hatanın sıfıra çok yaklaştığı ve 30nA 'de %0,26'ya çıktığı görülmektedir. Şekil 3.8'de pFGMOS akım aynasının grafikleri görülmektedir ($V_b=-250\text{mV}$). Bu grafikte ise, hata 1nA 'de %2,5 iken 8nA 'de sıfıra yaklaşmış ve 30nA 'de %0,1 olmuştur.

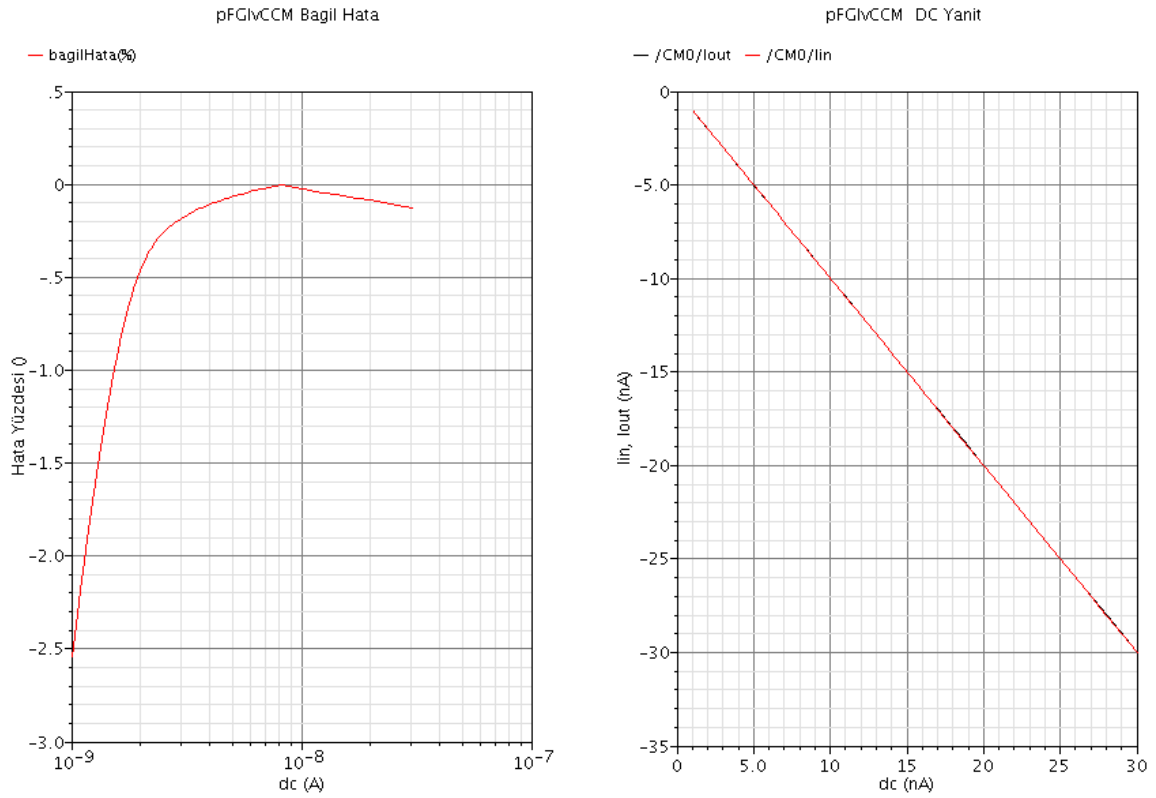
MOS akım aynasında çıkış akımı belli bir değerden sonra doymaya girmekte ve giriş-çıkış akımları arasında doğrusallık ilişkisi bozulmaktadır. Buna karşın, nFGMOS akım aynasının tüm giriş akım aralığı boyunca çıkış akımının giriş akımını mükemmel bir şekilde takip ettiği görülmektedir.

FGMOS akım aynası MOS akım aynasına göre daha düşük besleme geriliminde çalışabilmektedir. Ayrıca, FGMOS transistorlar birden fazla giriş ucuna sahip olduğundan üretim aşamasında oluşabilecek eşik gerilimi uyumsuzlukları bu çoklu girişlere uygulanan farklı kutuplama gerilimleri sayesinde giderilebilir.

Tasarımı yapılan akım aynasında transistor boyutları $L=0,8\mu\text{m}$, $W=1,2\mu\text{m}$ (p-tipi akım aynası için $W=3,3\mu\text{m}$) alınmıştır. Besleme gerilimi $0,5\text{V}$ olup, giriş/çıkış akımı 5nA iken maksimum güç tüketimi $3,5\text{nW}$ 'dir.



Şekil 3.7 nFGMOS akım aynasının bağıl hatası ve çıkış akımının giriş akımıyla değişimi



Şekil 3.8 pFGMOS akım aynasının bağıl hatası ve çıkış akımının giriş akımıyla değişimi

3.3 Dört Bölge Akım Çarpıcı Devresi

Yapay sinir ağları dâhil olmak üzere çarpıcı devreleri her alanda kullanılmaktadır. Tümdevre tasarımında kullanılan çarpma devresinin doğrusal olarak çalışması, tümdevrenin çalışmasını doğrudan etkilemektedir. Bu yüzden literatürde, çeşitli çarpıcı devreleri farklı teknikler kullanılarak yer almaktadır. Bu tekniklerden bir tanesi de “**Translineer çevrim**” tekniğidir. Bu teknik kullanılarak tezin amacına uygun olan düşük güç tüketimi ve düşük gerilimde çalışabilme gereksinimini karşılayan devreler tasarlamak mümkündür. Bipolar transistörler için geliştirilen bu yöntem, eşikaltında çalışan MOS transistörlere de akımın üstel karakteristiğinden dolayı benzer şekilde uygulanabilmektedir (Wang vd., 2007). Saat yönünde (cw) olan transistörlerin V_{GSi} gerilimlerinin toplamının, saat yönüne ters (ccw) olan transistörlerin V_{GSj} gerilimlerinin toplamına eşit olduğu (3.13)’te verilmiştir.

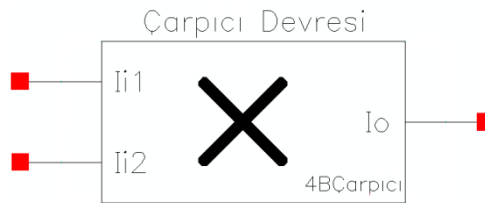
$$\sum_{cw} V_{GSi} = \sum_{ccw} V_{GSj} \quad (3.13)$$

$$V_{GS} = nU_T \ln \frac{I_D}{I_o} \quad (3.14)$$

$$\prod_{cw} I_{Di} = \prod_{ccw} I_{Dj} \quad (3.15)$$

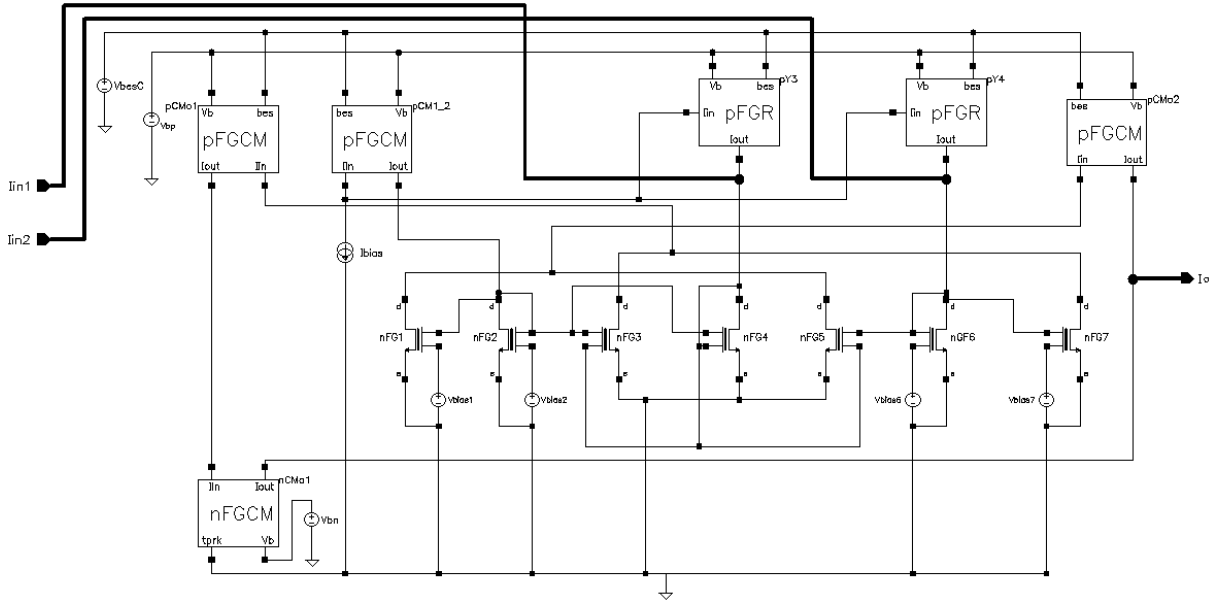
Eşikaltı doyma bölgesinde çalışan MOS transistörün akım ifadesi olan (2.5) bağıntısından, V_{GS} gerilimi (3.14)’deki gibi elde edilip (3.13)’te yerine konulursa, akımların çarpımı ifadesine (3.15) ulaşılır. Buradan, V_{GS} gerilimleri saat yönünde olan transistörlerin akımları çarpıldığında bunlara zıt yöndekilerin akımlarının çarpımına eşit olduğu sonucuna varılır.

Şekil 3.8’de dört bölge akım çarpıcı devresinin blok şeması ve Şekil 3.9’da ise iç yapısı görülmektedir. Eşikaltında çalışan nFGMOS ve pMOS transistörlerden oluşan dört bölge akım çarpıcı devresinin çıkış akımı giriş akımlarının çarpımlarını vermektedir. Bu devre bir bölge çarpıcıdan elde edilmiş olup, çıkışla giriş arasındaki ifade “Translineer çevrim” prensibine dayanarak elde edilir.



Şekil 3.9 Dört bölge akım çarpıcı devresinin blok şeması

Şekil 3.10’da verilen devre, Rodriguez-Villegas ve Alam’ın iki çıkış ucuna sahip çarpıcı devresinden yola çıkarak tek çıkış ucu (I_o) olacak şekilde türetilmiştir (Rodriguez-Villegas ve Alam, 2006). Çarpıcı çıkışlarının bağlanacağı devrelerin girişleri gerilim olması gerektiğinden



Şekil 3.10 Dört bölgeli akım çarpıcı devresinin içyapısı

çarpıcı çıkışı gerilime dönüştürülmelidir. Bu dönüşümde, referans devrenin çıkış aralığı çok yüksek olmadığından, çıkış akımlarının farkının tek çıkış ucundan alınabilmesi için akım aynaları yerine eşikaltı FGMOS kaskod akım aynaları (pFGCM, pFGR) kullanılmıştır. Böylece tek çıkış ucundan elde edilen I_o akımı gerilime dönüştürüldüğünde sonraki devrelerin giriş aralığına uygun hale getirilerek çıkış aralığı oldukça artmıştır.

Bu devrede çekirdek transistorlar, bir bölgeli çarpıcıların yapısında olan nFG_2 , nFG_4 , nFG_5 ve nFG_6 eşikaltında çalışan FGMOS transistorlardır. Çekirdek transistorlardaki akımlar, aşağıda verildiği gibidir:

$$I_{nFG2} = I_{nFG1} = I_b \quad (3.16)$$

$$I_{nFG3} = I_{nFG4} = I_{in1} + I_b \quad (3.17)$$

$$I_{nFG5} = \frac{I_{nFG4} \times I_{nFG6}}{I_{nFG2}} = \frac{(I_{in1} + I_b)(I_{in2} + I_b)}{I_b} \quad (3.18)$$

$$I_{nFG6} = I_{nFG7} = I_{in2} + I_b \quad (3.19)$$

$$|I_{in1}|, |I_{in2}| < I_b \text{ ise;}$$

$$I_{O1} = I_{nFG1} + I_{nFG5} = I_b + \frac{(I_{in1} + I_b)(I_{in2} + I_b)}{I_b} \quad (3.20)$$

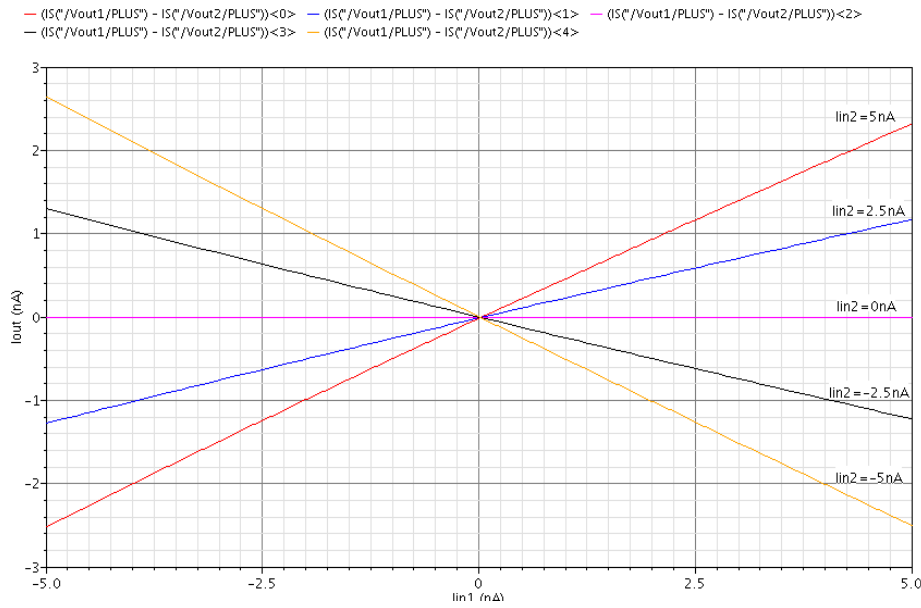
$$I_{O2} = I_{nFG3} + I_{nFG7} = (I_{in1} + I_b) + (I_{in2} + I_b) \quad (3.21)$$

$$I_o = I_{O1} - I_{O2} = \frac{I_{in1} \times I_{in2}}{I_b} \quad (3.22)$$

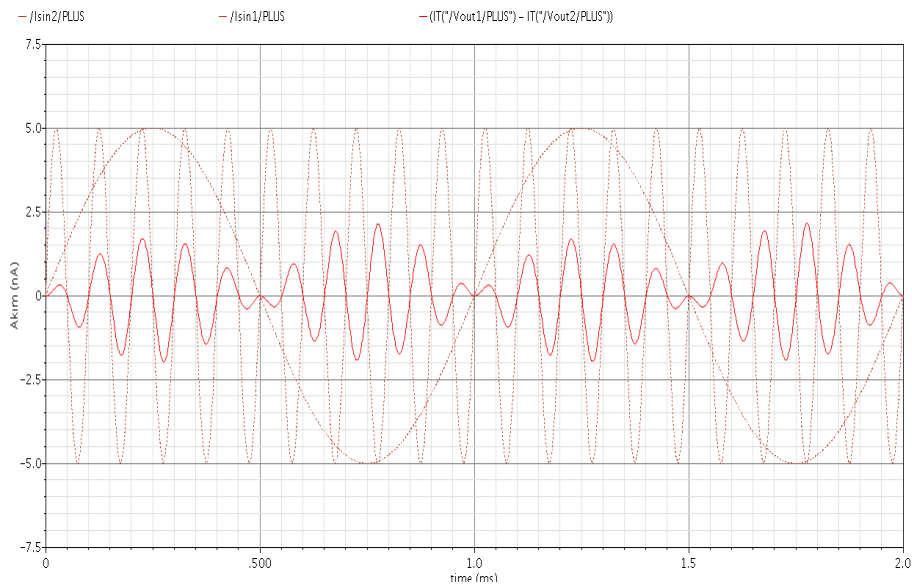
(3.22) ile ifade edilen çıkış akımı I_o , R_o direnci üzerinden gerilime dönüştürüldüğünde çıkış gerilimi V_o , (3.23)'te verildiği gibi olur.

$$V_o = R_o \cdot (I_{O1} - I_{O2}) \quad (3.23)$$

Devrenin DC çıkış eğrileri ve transient analiz sonuçları, sırasıyla Şekil 3.11 ve Şekil 3.12'de verilmiştir. Şekil 3.11'de I_{in1} akımı $\pm 5\text{nA}$ olarak taratılırken, I_{in2} akımı da -5nA 'den 5nA 'e kadar $2,5\text{nA}$ 'lık adımlarla artırılmış ve çıkış akımları da $\pm 2,5\text{nA}$ aralığında değer almıştır. Devrede eleman boyutları n-tipi transistorlar için $L=0,8\mu\text{m}$, $W=1,2\mu\text{m}$, p-tipi transistorlar için $L=0,8\mu\text{m}$, $W=3,3\mu\text{m}$ seçilmiştir. Kutuplama akımı I_b 10nA , besleme gerilimi ise $0,75\text{V}$ 'tur.



Şekil 3.11 Dört bölgeci akım çarpıcının DC geçiş karakteristiği



Şekil 3.12 Dört bölgeci akım çarpıcının transient cevabı (giriş-çıkış işaretleri)

Literatürde yer alan dört-bölgeli çarpıcı yapılarından olan MOS çarpıcı, eşikaltında çalışan MOS çarpıcı ve eşikaltında çalışan FGMOS çarpıcı yapılarının güç tüketimleri karşılaştırıldığında şu sonuçlara ulaşılmıştır. MOS çarpıcıda (Hashiesh vd., 2005) besleme gerilimi 1,5V, güç tüketimi 0,72mW, eşikaltı MOS çarpıcıda (Chang, ve Liu, 1998) besleme gerilimi 1,2V, güç tüketimi 214,5nW, eşikaltı FGMOS çarpıcıda (Rodriguez-Villegas ve Alam, 2006) ise besleme gerilimi 0,9V, güç tüketimi 87,2nW olarak verilmiştir. Besleme gerilimi 0,75V olan Şekil 3.10'daki eşikaltı FGMOS kaskod akım aynaları kullanılan çarpıcı devresinin iki çıkış uçlu durumda maksimum güç tüketimi 62nW, tek çıkış uçlu durumda ise 115nW olarak elde edilmiştir. Değerlerden yola çıkıldığında, eşikaltı çalışmayla konvansiyonel çalışma arasında çok önemli farklar göze çarpmaktadır, ayrıca eşikaltı FGMOS transistorların kullanılmasıyla bu farklar daha da artmakta, özellikle güç tüketimi açısından bakıldığında eşikaltı çalışma 10^3 mertebelerinde bir iyileştirme sağlarken eşikaltı FGMOS transistorların kullanılmasıyla bu iyileştirmeler 10^4 mertebelerine ulaşmaktadır.

3.4 Öklid Uzaklık Hesaplayıcı Devresi

Öklid uzaklık hesaplayıcı devresi birçok alanda kullanılır. YSA'larda özellikle RTFA'larda girişler ile merkezler arasındaki uzaklığın hesaplanmasında bu devre kullanılmaktadır. 2-boyutlu bir uzayda Öklid uzaklığı (3.24)'te verildiği gibidir. Burada, w ve x terimleri 2-boyutlu bir vektörün bileşenlerini ifade etmektedir.

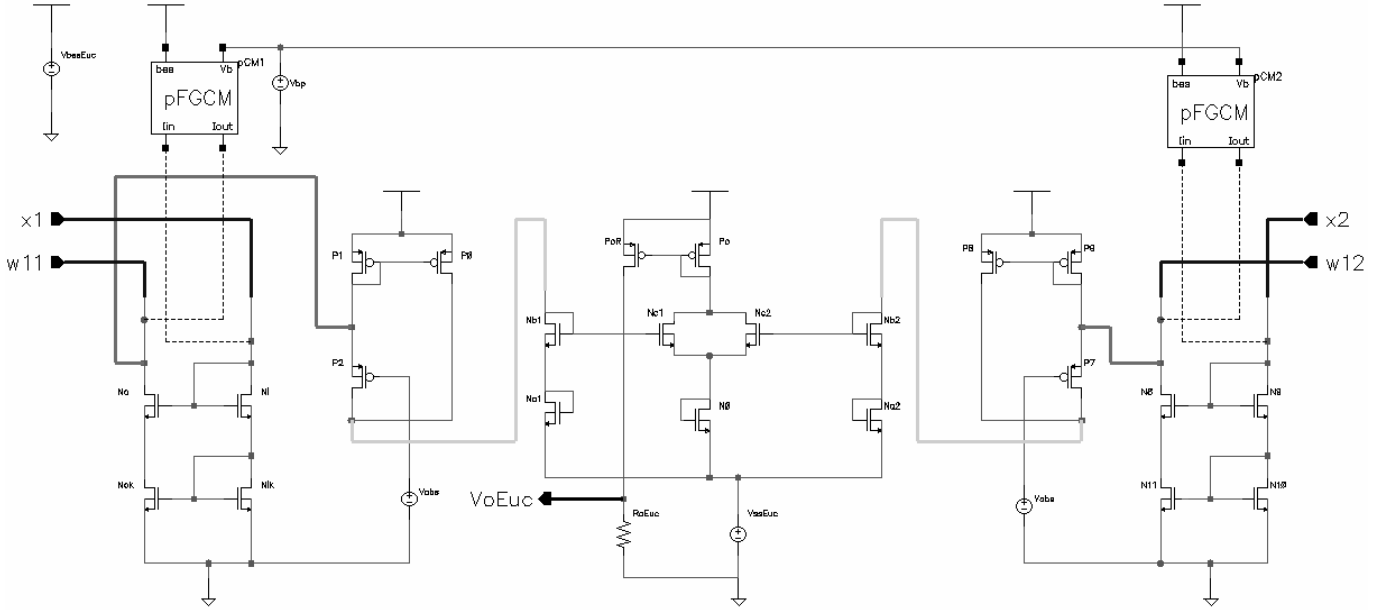
$$E = \sqrt{(w_{11} - x_1)^2 + (w_{12} - x_2)^2} \quad (3.24)$$

Şekil 3.13'te 2-boyutlu Öklid uzaklık hesaplayıcı devresinin blok şeması ve Şekil 3.14'te ise içyapısı görülmektedir.



Şekil 3.13 Öklid uzaklığı hesaplayıcı devresinin blok şeması

Şekil 3.14'te verilen devre üç farklı yapı içermektedir. Bu yapılar, Öklid devresinin orta kısmında yer alan vektör uzunluğu hesaplayıcı devre ile bu devrenin her iki yanında simetrik olarak yer alan mutlak değer alıcı devre ve akım çıkarma devreleridir.



Şekil 3.14 Öklid uzaklığı hesaplayıcı devresinin içyapısı

2-boyutlu bir uzayda vektör uzunluğunu hesaplayan devre “translineer çevrim” tekniğine dayanmakta ve bu bağlamda iki çevre içermektedir (Wang vd., 2007). (3.13) – (3.15)’te verilen translineer çevrim bağıntılarına göre N_0 ’ı ortak kullanan bu iki çevrede ilgili akım ifadeleri yazılırsa,

$$I_1^2 = I_{C1} I_0 \quad (3.25)$$

$$I_2^2 = I_{C2} I_0 \quad (3.26)$$

$$I_0 = I_{C1} + I_{C2} = \frac{(I_1^2 + I_2^2)}{I_0} \quad (3.27)$$

elde edilir. Son olarak, (3.28)’deki çıkış akımı ifadesine ulaşılır.

$$I_0 = \sqrt{I_1^2 + I_2^2} \quad (3.28)$$

Öklid devresinin çıkışının bağlanacağı devrelerin girişleri gerilim olması gerektiğinden Öklid devresinin çıkışı gerilim çıkışlı olmalıdır. Bu çıkış akımı, akım aynası ile aynalanarak R_o direncine aktarılmış ve bu direnç üzerinden (3.29)’dan görüldüğü gibi gerilime dönüştürülmüştür.

$$V_{oEuc} = R_{oEuc} I_0 \quad (3.29)$$

Mutlak değer alma devresinin (Masmoudi vd., 2002) giriş akımı (I_e) akım çıkarma devresinin çıkış akımıdır. Bu devrenin fonksiyonu giriş akımının mutlak değerini almaktır ve şu şekilde ifade edilebilir.

$$I_b = |I_e| \quad (3.30)$$

Bu devre üç transistordan meydana gelmektedir. P_2 transistörünün geçidi uygun kutuplandığında devre I_e 'nin mutlak değerini almaktadır. V_b kutuplama gerilimi devreye dışarıdan uygulanmaktadır. V_b 'nin değişiminin çıkış akımı üzerine etkisi çok azdır. I_e negatif olduğunda, P_1 iletime girmeye zorlanır ve kaynak-geçit gerilimi V_{SG1} oluşmaya başlar. V_{SG1} arttıkça, $V_{SG2} = V_{DD} - V_{SG1} - V_b$ eşik geriliminden az olur ve P_2 kesime girer. Bu durumda giriş akımı devreye P_1 ve P_0 tarafından oluşturulan akım aynası ile iletilir ve vektör uzunluğu hesaplayıcı devresine aktarılır. Giriş ve çıkış akımları arasındaki bu ilişki tekrar yazılmak istenirse;

$$I_b = -I_e, I_e < 0 \quad (3.31)$$

Diğer taraftan I_e pozitif olduğunda P_1 'den akım akmaz ve P_1 ve dolayısıyla P_0 kesime girer. Bu durumda V_{SG1} sıfır olur ve $V_{SG2} = V_{DD} - V_{SG1} - V_b$ eşik geriliminin mutlak değerinden daha büyük olur. Böylece, pozitif I_e akımı P_2 tarafından akıtılır. Giriş ve çıkış arasındaki bu durum ise şöyle ifade edilebilir.

$$I_b = I_e, I_e > 0 \quad (3.32)$$

(3.31) ve (3.32) bağıntılarının bir araya getirilmesi ile mutlak değer alma devresinin fonksiyonu verilmiş olur.

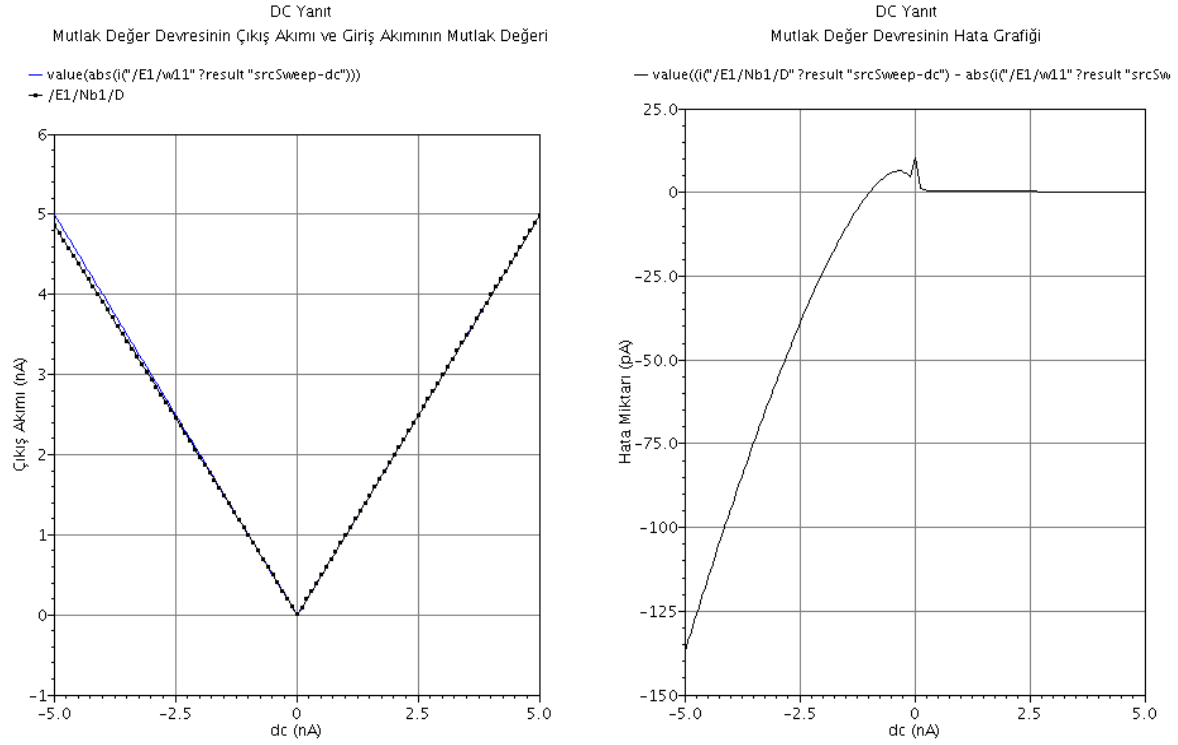
(3.24)'te verilen Öklid uzaklığı fonksiyonunda yer alan w ve x terimleri Öklid devresinin giriş akımlarıdır. Bu giriş akımları, akım çıkarma devresine uygulanarak çıkışta (w_{11-x1}) ve (w_{12-x2}) farksal terimleri simetrik olarak elde edilmektedir. Elde edilen bu farksal terimler, mutlak değer alıcı devresine uygulanarak elde edilen çıkış akımları I_1 ve I_2 , vektör uzunluğu hesaplayıcı devresine aktarılmakta ve (3.25) – (3.28) bağıntılarından da görüldüğü gibi vektör uzunluğu devresinin çıkışında (3.24)'te verilen Öklid uzaklığı elde edilmiş olmaktadır.

Şekil 3.15'te mutlak değer alıcı devresinin giriş çıkış eğrileri ve hata dağılım grafiği verilmiştir. Şekil 3.16'da ise, Öklid uzaklığı hesaplayıcı devrenin örnek bir vektör dizisi (0,3; 0,4; 0,5) üzerinden giriş ve çıkış eğrileri görülmektedir.

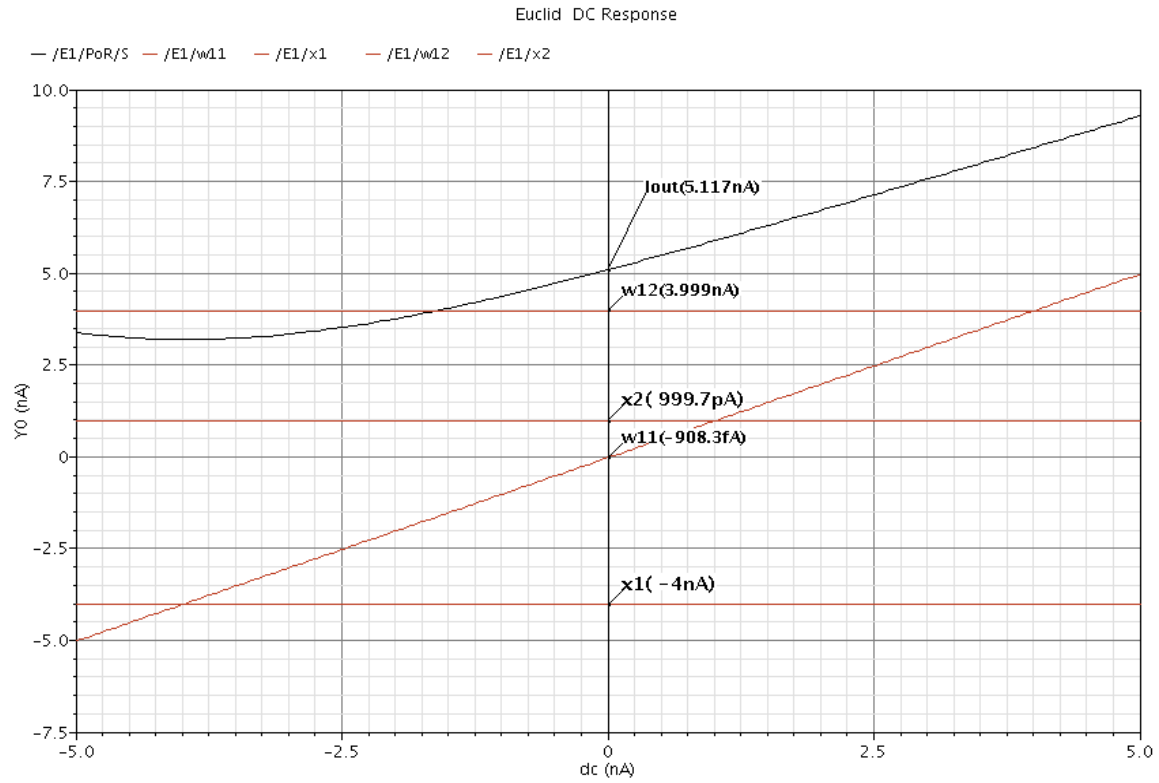
Devrede eleman boyutları n-tipi transistörler için $L=0,8\mu\text{m}$, $W=1,2\mu\text{m}$, p-tipi transistörler için $L=0,8\mu\text{m}$, $W=3,3\mu\text{m}$ seçilmiştir. Besleme gerilimi ise $\pm 0,75\text{V}$ 'tur.

Literatürde yer alan bazı Öklid uzaklık hesaplayıcı devrelerin güç tüketimleri karşılaştırıldığında şu sonuçlara ulaşılmıştır. Liu, Chen ve Tsao'nun devresinde güç tüketimi 15mW (Liu vd., 2000), Gopalan ve Titus'un devresinde 184 μW (Gopalan ve Titus, 2003),

Panovic ve Demosthenous'un devresinde ise $24\mu W$ 'tır (Panovic ve Demosthenous, 2006). Bu çalışmada ise maksimum güç tüketimi $53nW$ olarak elde edilmiştir.



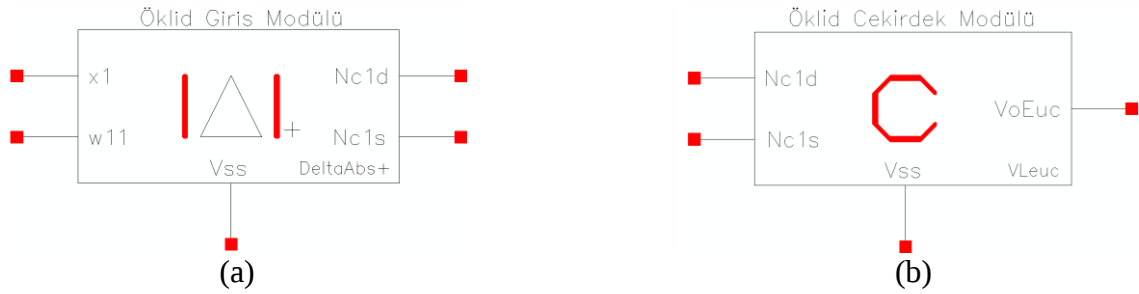
Şekil 3.15 Mutlak değer alıcı devresinin giriş çıkış eğrileri ve hata dağılım grafiği



Şekil 3.16 Öklid uzaklığı hesaplayıcı devrenin örnek bir vektör üzerinden giriş ve çıkış eğrileri

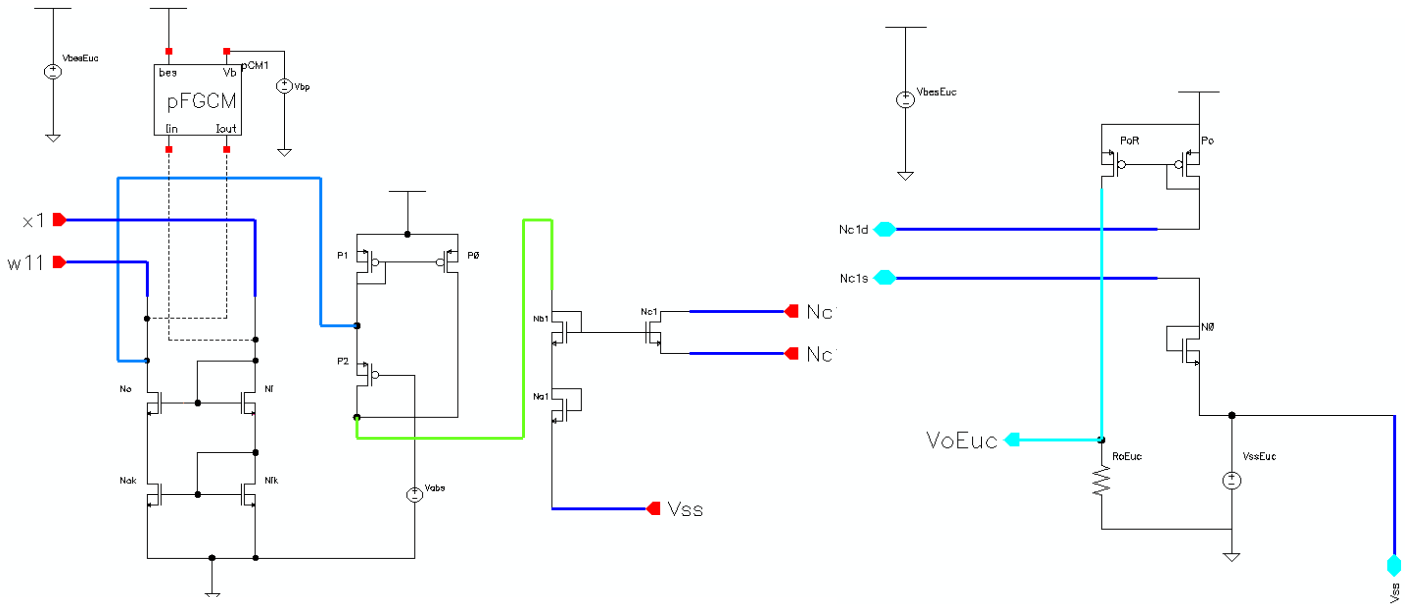
3.4.1 N-Boyutlu Öklid Uzaklık Hesaplayıcı Devresi

Devre tasarımında, özellikle de YSA donanımlarında modülerlik çok önemli bir yere sahiptir. RTF ağlarında giriş sayısı ve nöron sayısı arttıkça Öklid uzaklığının boyutu da artmaktadır. Bu da, her seferinde boyut sayısına göre Öklid devresi oluşturmak anlamına gelir. Fakat devreler modüler hale getirilirse buna gerek kalmaz. Şekil 3.17a’da blok şeması gösterilen “Öklid Giriş Modülü”, her bir boyutu gerçeklemek üzere, Şekil 3.14’teki Öklid devresinin bir tane çıkarıcı devresinden, bir tane mutlak değer alıcı devresinden ve vektör uzunluğu devresinin ilgili kısmından oluşturulmuştur. Şekil 3.17b’de ise vektör uzunluğu hesaplayıcı devresinin geri kalan kısmından oluşturulan “Öklid Çekirdek Modülü” nün blok şeması gösterilmektedir.



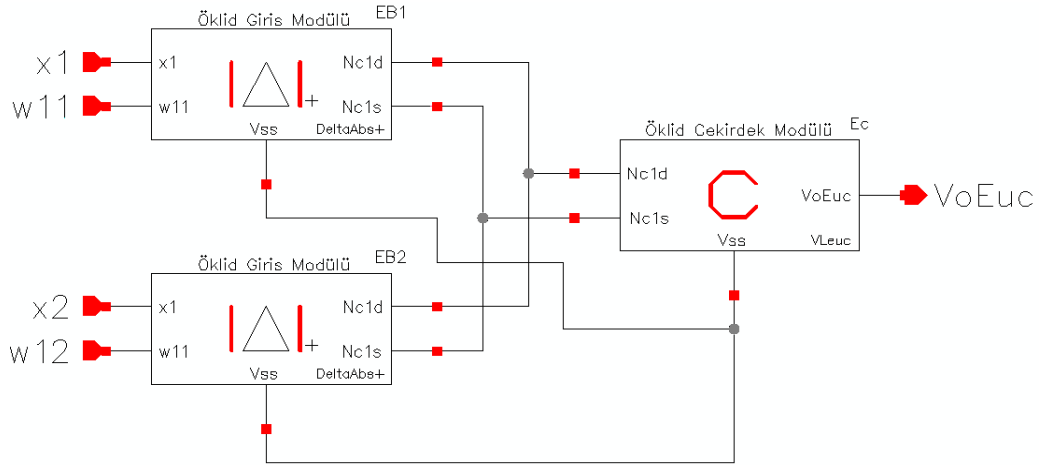
Şekil 3.17 Öklid giriş ve çekirdek modülleri

Burada, devrelerin çalışma prensibi tamamen bölüm 3.4’te anlatıldığı gibi olup sadece devrelerin modüler hale getirilip nasıl kullanılacağı konusuna değinilmiştir. Devrelerin iç yapıları Şekil 3.18’de verilmiştir.

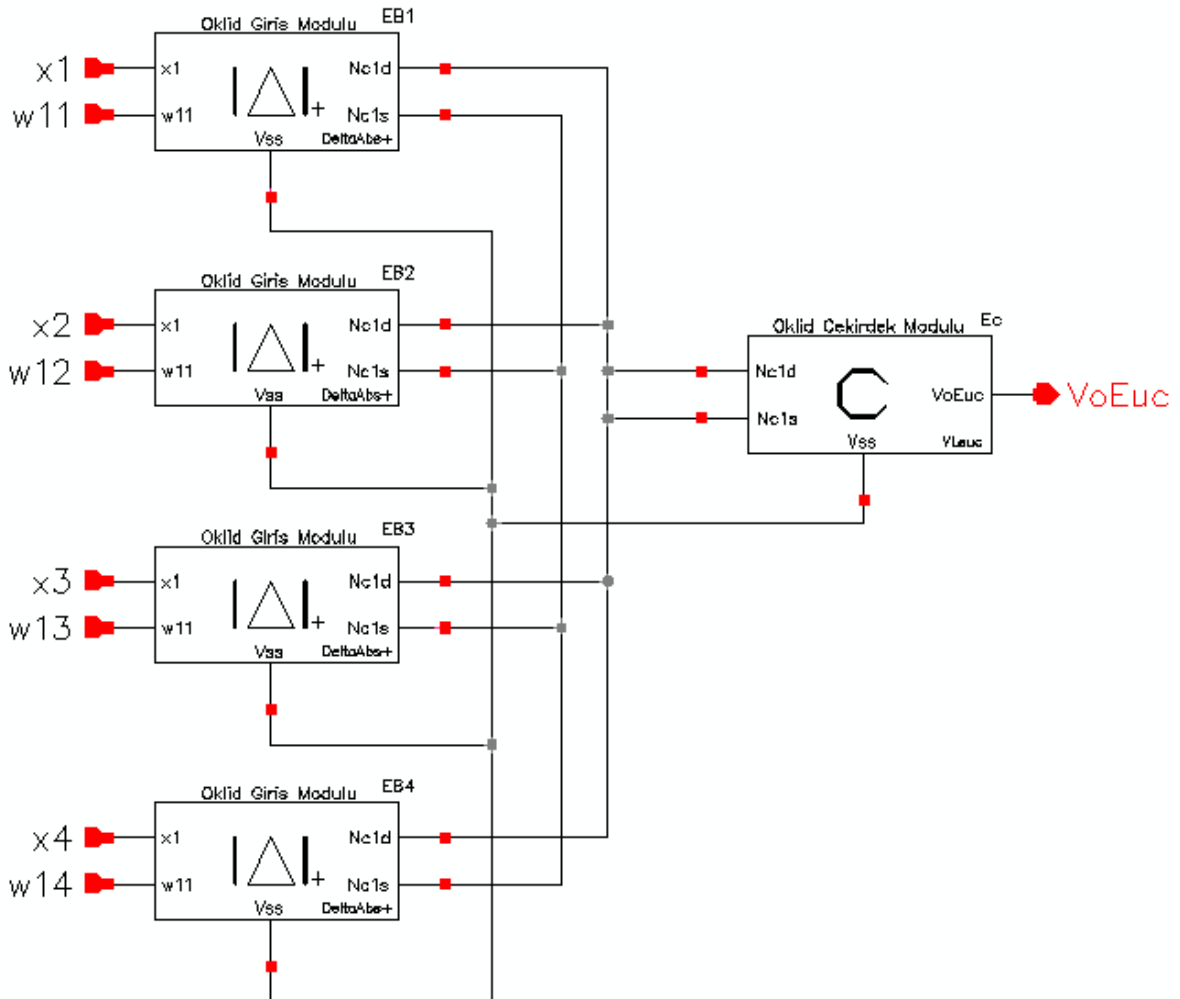


Şekil 3.18 Öklid giriş ve çekirdek modüllerinin iç yapıları

Boyut sayısı kadar giriş modülü ve bir tane çekirdek modülü kullanılarak N-boyutlu Öklid uzaklık hesaplayıcı devresi elde edilir. Modüler 2-boyutlu ve 4-boyutlu Öklid uzaklık hesaplayıcı devreleri sırasıyla Şekil 3.19 ve Şekil 3.20’de verilmiştir.



Şekil 3.19 2-boyutlu Öklid uzaklık hesaplayıcının şematik gösterimi



Şekil 3.20 4-boyutlu Öklid uzaklık hesaplayıcının şematik gösterimi

3.5 Aktivasyon Fonksiyonu Üretici Devreleri

Çeşitli ağ yapılarında farklı aktivasyon fonksiyonları kullanılmaktadır. ÇKA ağlarında sigmoid ve doğrusal aktivasyon fonksiyonları daha çok kullanılırken, RTF ağlarında Gauss ve doğrusal aktivasyon fonksiyonları kullanılmaktadır.

3.5.1 Tanjant Sigmoid (Tansig) ve Logaritmik Sigmoid (Logsig) Üretici Devreleri

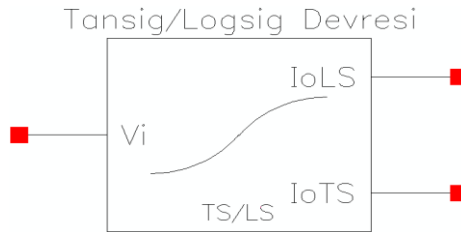
En çok kullanılan aktivasyon fonksiyonu, yumuşak geçişli doğrusal olmayan bir fonksiyon olan sigmoid fonksiyonudur. Aşağıdaki gibi tanımlanabilir:

$$\varphi(y_j) = \frac{1}{1+e^{-(y_j)}} \quad (3.33)$$

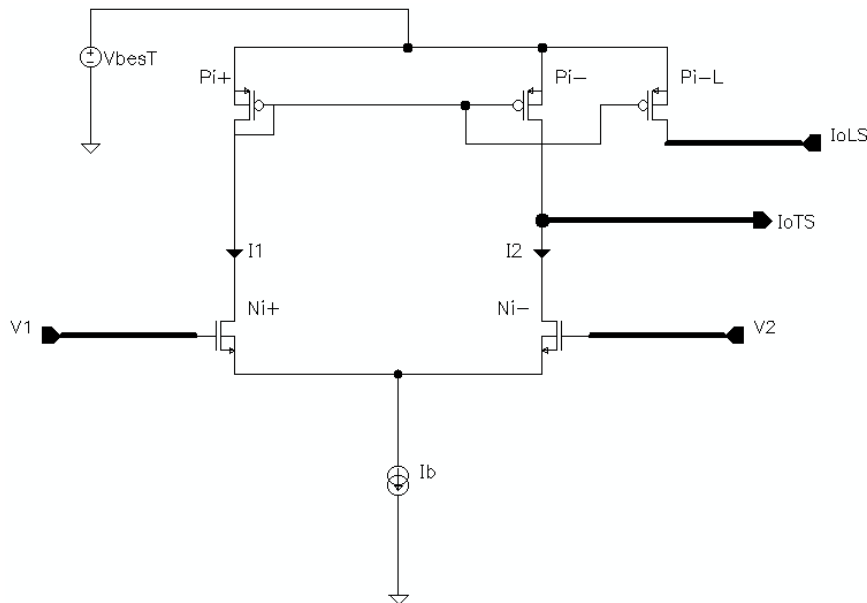
tanjant hiperbolik aktivasyon fonksiyonu da şu şekilde ifade edilir:

$$\varphi(y_j) = \tanh(y_j) = \frac{e^{(y_j)} - e^{-(y_j)}}{e^{(y_j)} + e^{-(y_j)}} \quad (3.34)$$

Şekil 3.21’de Tansig/Logsig üretici devresinin blok şeması ve Şekil 3.22’de ise iç yapısı görülmektedir.



Şekil 3.21 Tanjant ve logaritmik sigmoid üretici devresinin blok şeması



Şekil 3.22 Tanjant ve logaritmik sigmoid üretici devresinin iç yapısı

Bu iki sigmoid tip aktivasyon fonksiyonu arasında doğrusal bir ilişki vardır. Eşikaltında çalışan fark kuvvetlendiricinin çıkış akımı, girişlerindeki gerilim farkının tanjant hiperbolüğüdür. Aşağıdaki bağıntılardan bu ifadenin elde edildiği görülmektedir (Mead, 1989):

$$I_1 = I_0 e^{\frac{V_1 - V}{nU_T}}, I_2 = I_0 e^{\frac{V_2 - V}{nU_T}} \quad (3.35)$$

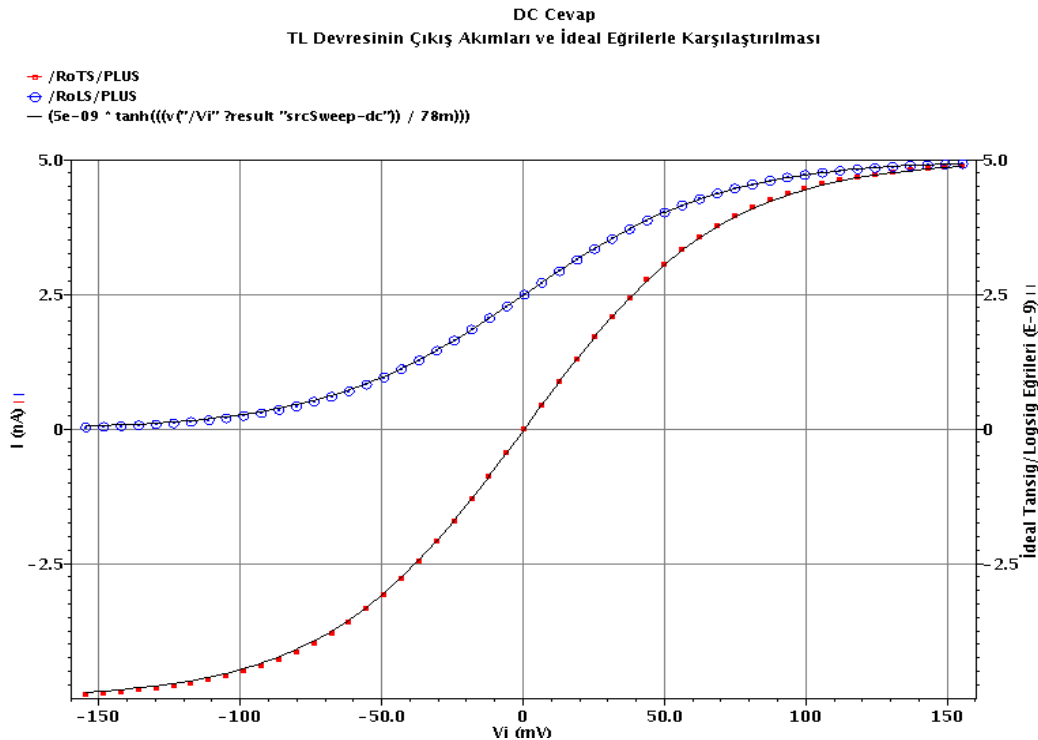
$$I_b = I_1 + I_2 = I_0 e^{-\frac{V}{nU_T}} (e^{\frac{V_1}{nU_T}} + e^{\frac{V_2}{nU_T}}) \quad (3.36)$$

$$e^{-\frac{V}{nU_T}} = \frac{I_b}{I_0} \frac{1}{(e^{\frac{V_1}{nU_T}} + e^{\frac{V_2}{nU_T}})}, I_1 = I_b \frac{e^{\frac{V_1}{nU_T}}}{(e^{\frac{V_1}{nU_T}} + e^{\frac{V_2}{nU_T}})}, I_2 = I_b \frac{e^{\frac{V_2}{nU_T}}}{(e^{\frac{V_1}{nU_T}} + e^{\frac{V_2}{nU_T}})} \quad (3.37)$$

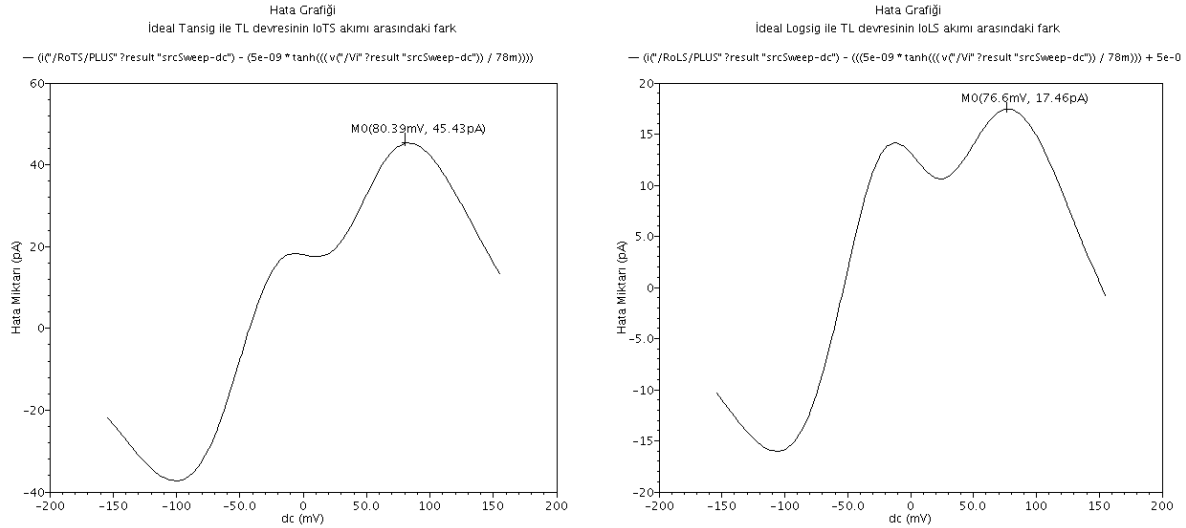
$$I_1 - I_2 = I_b \frac{(e^{\frac{V_1}{nU_T}} - e^{\frac{V_2}{nU_T}})}{(e^{\frac{V_1}{nU_T}} + e^{\frac{V_2}{nU_T}})}, I_1 - I_2 = I_b \frac{(e^{\frac{V_1 - V_2}{2nU_T}} - e^{-\frac{V_1 - V_2}{2nU_T}})}{(e^{\frac{V_1 - V_2}{2nU_T}} + e^{-\frac{V_1 - V_2}{2nU_T}})} \quad (3.38)$$

$$I_1 - I_2 = I_b \tanh \frac{V_1 - V_2}{2nU_T} \quad (3.39)$$

(3.39) bağıntısından da görüldüğü gibi tanjant hiperbolik (tanjant sigmoid) fonksiyonu bire bir elde edilmiş olur. P_i transistörü aynalanıp P_{i-L} transistörünün akımına bakıldığında, bu ifade de logaritmik sigmoid fonksiyonunu vermektedir. Çıkış akımları ve ideal eğrilerle karşılaştırılma grafikleri Şekil 3.23'te, hata dağılım grafikleri ise Şekil 3.24'de verilmiştir. Sigmoid fonksiyonlarının eğimi eleman boyutları ve kuyruk akımı I_b değiştirilerek ayarlanabilmektedir.



Şekil 3.23 Tansig/Logsig devresinin çıkış akımları ve ideal eğrilerle karşılaştırılması

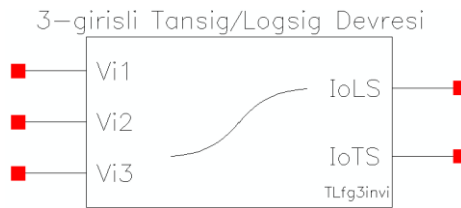


Şekil 3.24 Tansig/Logsig devresinin hata dağılım grafikleri

3.5.1.1 Çok Girişli Tansig / Logsig Üretici Devresi

FGMOS'un yapısında girişlere gelen gerilimleri belli ağırlık değerleriyle çarparak toplama işlemi vardır. Bu özellikten yararlanmak amacıyla Tansig/Logsig devresinin giriş transistorlarının yerine FGMOS transistorlar takılarak, eşikaltında çalışan çok girişli Tansig/Logsig devresi gerçekleştirilmiş olur.

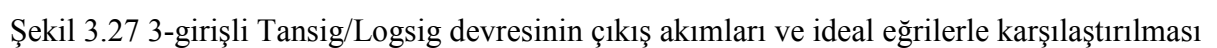
Ağırlıkların (giriş kapasitif etki oranları) değiştirilmesi şartıyla FGMOS transistorların giriş sayısı ikiden fazla olmak üzere artırılabilir. Örneğin, 3-girişli FGMOS transistorlar kullanılarak elde edilen 3-girişli Tansig/Logsig üretici devresinin blok şeması Şekil 3.25'te ve içyapısı ise Şekil 3.26'da verilmektedir.

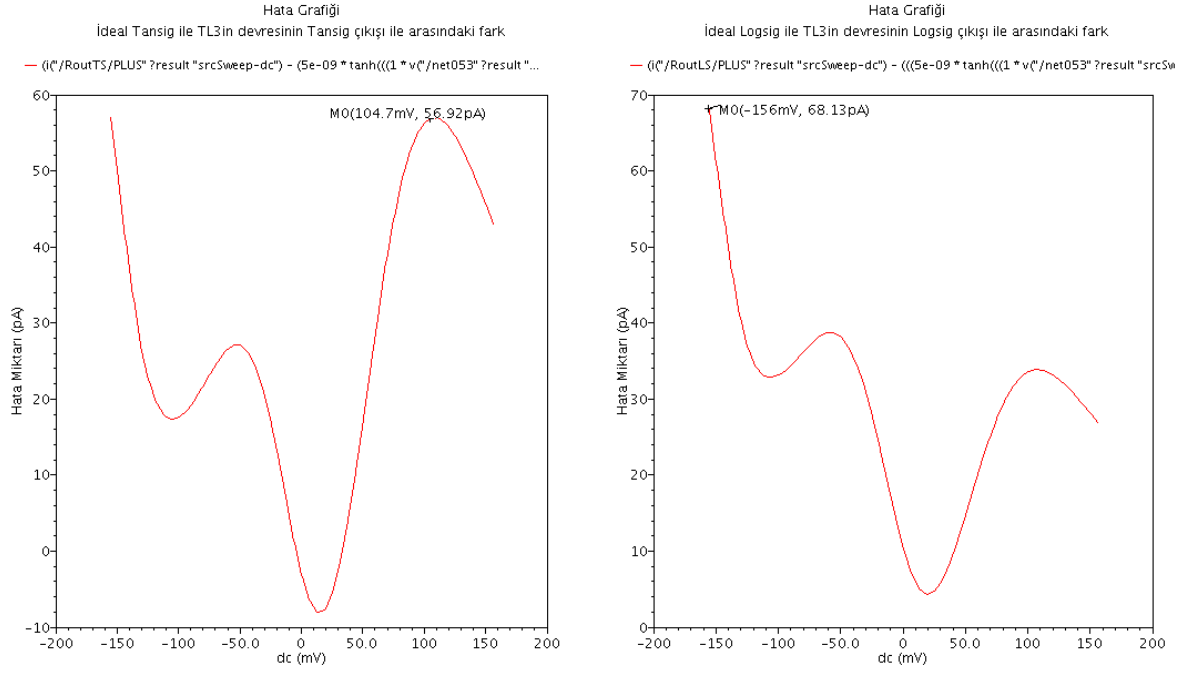


Şekil 3.25 3-girişli Tansig/Logsig üretici devresinin blok şeması

Bu yapıda ayrıca akım izleme hatasını düşürmek ve 3-girişli FGMOS transistorlardan dolayı ideal eğride oluşabilecek sapmayı azaltabilmek amacıyla düşük gerilimde çalışan eşikaltı FGMOS kaskod akım aynaları kullanılmıştır. Tek girişli Tansig/Logsig devresinin çıkış akımının eğimi eleman boyutları ve kuyruk akımı I_b değiştirilerek ayarlanabilmekteyken burada giriş uçlarının bir tanesi kontrol ucu alınarak eğim değiştirilebilmekte ve yatay eksen üzerinde ötelenebilmektedir.

3-girişli Tansig/Logsig devresinin çıkış akımları ve ideal eğrilerle karşılaştırılma grafikleri Şekil 3.27’de, hata dağılım grafikleri ise Şekil 3.28’te verilmiştir.





Şekil 3.28 3-girişli Tansig/Logsig devresinin hata dağılım grafikleri

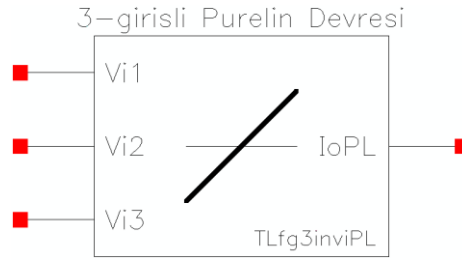
(3.39) bağıntısından görüldüğü gibi giriş gerilimi $2nU_T$ 'ye eşit olduğunda $\tanh(1)$ değerini, $2nU_T$ 'nin katlarında ise örneğin 2 katı olduğunda $\tanh(2)$ değerini almaktadır. Tezde kullanılan TSMC 0,35 μ m parametre setine göre $2nU_T$ değeri 78mV'a eşit olmaktadır ve grafiklerin de bu değerlere uyumluluk gösterdiği gözlenmektedir. Bu devre yapıları nöronların işlem bloklarını oluşturmaktadır. Bundan dolayı, çarpıcı devresinin çıkışları Tansig/Logsig devresinin girişlerine verilmektedir. Tansig/Logsig devresinin giriş gerilim aralığına uyması için çarpıcının çıkış ucuna bağlanan R_o direnci 79M Ω seçilmiştir.

Devrelerde eleman boyutları n-tipi transistorlar için $L=0,8\mu$ m, $W=1,2\mu$ m, p-tipi transistorlar için $L=0,8\mu$ m, $W=3,3\mu$ m seçilmiştir. Kutuplama akımı I_{in} 5nA, besleme gerilimi ise 0,5V'tur.

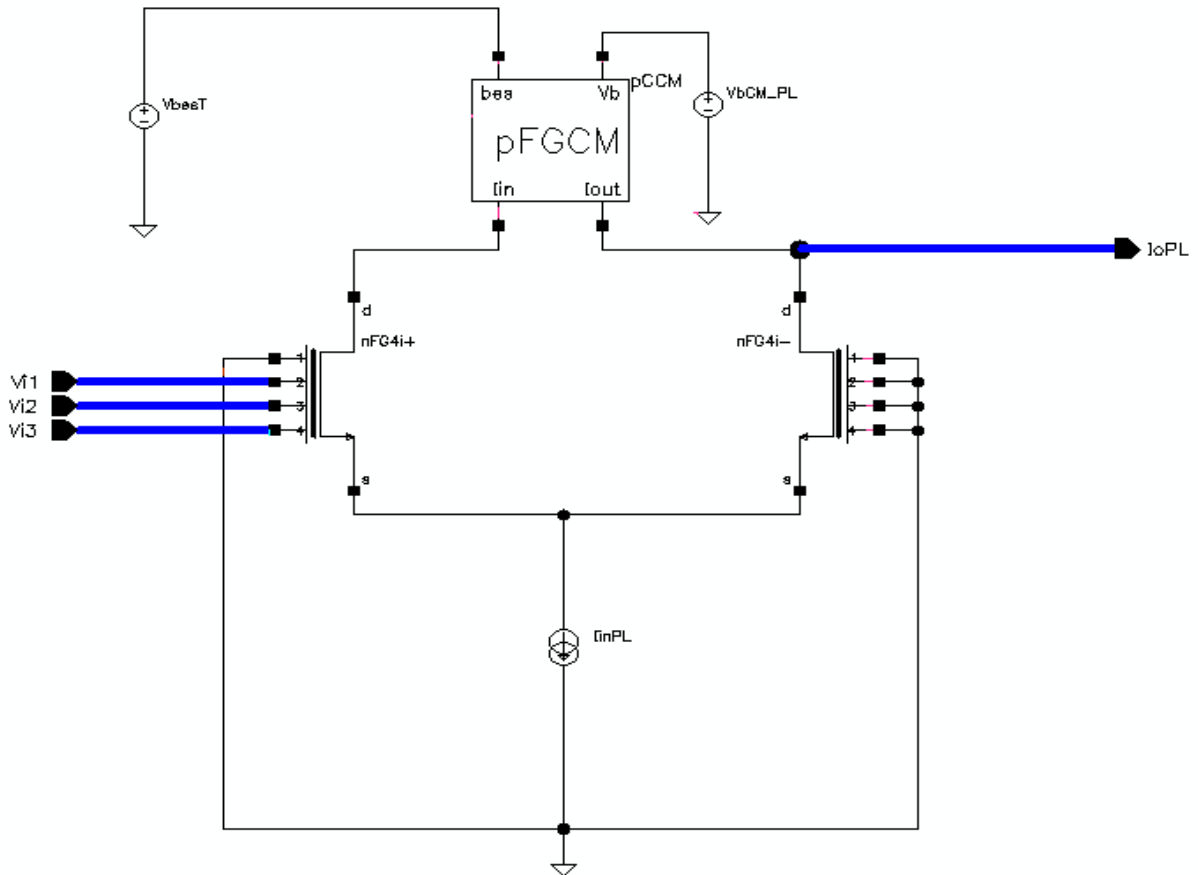
Literatürde yer alan tansig üretici devrelerinden olan MOS tansig üretici, FGMOS tansig üretici ve eşikaltında çalışan MOS tansig üretici devrelerinin güç tüketimleri karşılaştırıldığında şu sonuçlara ulaşılmıştır. MOS tansig üreticide (Abuelma'ati ve Shwehneh, 2006a) besleme gerilimi $\pm 1V$, güç tüketimi 15 μ W, FGMOS tansig üreticide (Babu vd, 2009) besleme gerilimi 0,75V, güç tüketimi 300nW, eşikaltı MOS tansig üreticide (Gupta ve Bhat, 2005) ise besleme gerilimi 3.3V, güç tüketimi 200nW olarak verilmiştir. Besleme gerilimi 0,5V olan Şekil 3.26'daki eşikaltı FGMOS kaskod akım aynaları kullanılan 3-girişli tansig/logsig üreticide maksimum güç tüketimi 7,3nW olarak elde edilmiştir. Değerlerden yola çıkıldığında, daha önceki yapılarda da görüldüğü gibi eşikaltı FGMOS transistorların kullanılmasıyla güç tüketiminde önemli bir düşüş görülmektedir.

3.5.1.2 Çok Girişli Doğrusal Fonksiyon Üretici Devresi

Tansig üretici devresinden türetilmiştir. Tansig eğrisinin doğrusal olduğu bölgeden yararlanılarak doğrusal fonksiyon (purelin) elde etmek mümkündür. FGMOS transistor kullanılarak birden fazla girişe sahip doğrusal fonksiyon üretici devreleri elde edilir. Şekil 3.29'da 3-girişli doğrusal fonksiyon üretici devresinin blok şeması ve Şekil 3.30'da ise içyapısı görülmektedir.



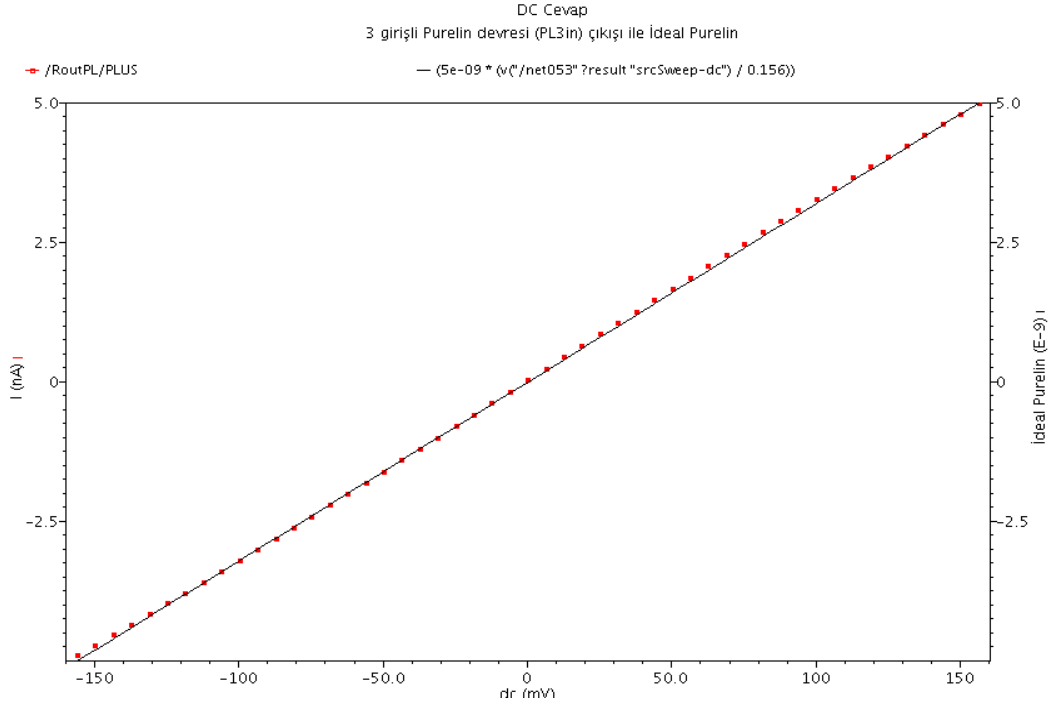
Şekil 3.29 3-girişli doğrusal fonksiyon üretici devresinin blok şeması



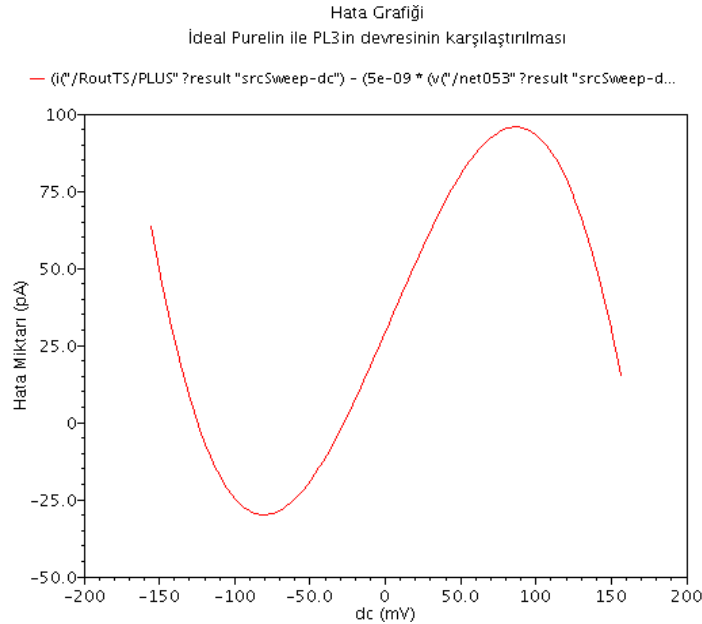
Şekil 3.30 3-girişli doğrusal fonksiyon üretici devresinin içyapısı

Devrenin içyapısından görüldüğü gibi bir uç kontrol ucu olarak seçilir ve bu ucun kapasitif kuplaj etkisiyle tansig eğrisinin doğrusal bölgesinde çalışacak şekilde eğim değiştirilir. Bu kontrol kapasitesinin değeri toplam giriş kapasitesinin %80'i olarak alındığında tamamen

doğrusal çıkış vermektedir. Şekil 3.31’de 3-girişli doğrusal fonksiyon devresinin çıkışı ideal doğrusal fonksiyon ile karşılaştırılmalı olarak verilmiştir. Şekil 3.32’de de hata dağılım grafiği görülmektedir.



Şekil 3.31 3-girişli doğrusal fonksiyon üretici devresinin çıkışı ve ideal eğri ile karşılaştırılması



Şekil 3.32 3-girişli doğrusal fonksiyon üretici devresinin hata dağılım grafiği

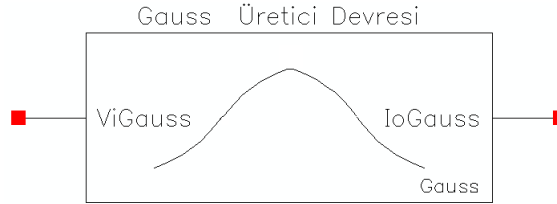
Devrede eleman boyutları n-tipi transistorlar için $L=0,8\mu\text{m}$, $W=1,2\mu\text{m}$, p-tipi transistorlar için $L=0,8\mu\text{m}$, $W=3,3\mu\text{m}$ seçilmiştir. Kutuplama akımı I_{in} 15nA, besleme gerilimi ise 0,5V’tur. Maksimum güç tüketimi 9,5nW’dır.

3.5.2 Gauss Devresi

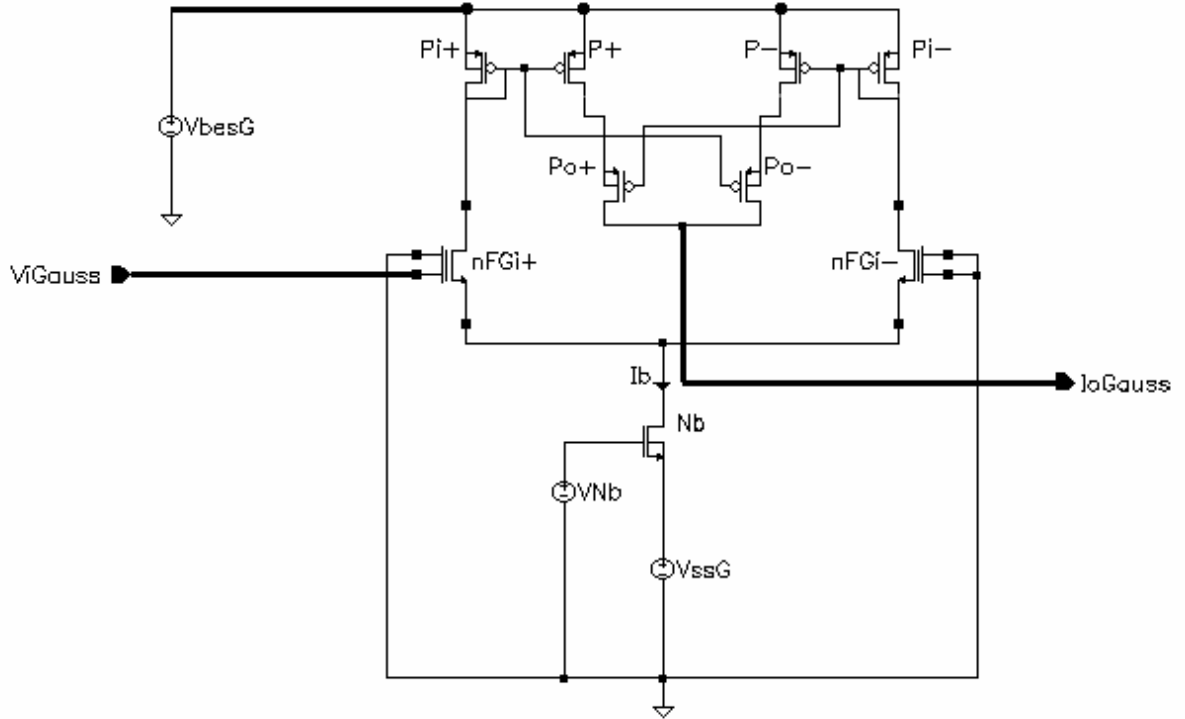
Sık kullanılan aktivasyon fonksiyonlarından bir diğeri de Gauss fonksiyonudur. σ dağılım genişliği olmak üzere Gauss fonksiyonu (3.40)'daki gibi tanımlanabilir.

$$G(x) = e^{-\frac{x^2}{\sigma^2}} \quad (3.40)$$

Gauss devresinin blok şeması ve içyapısı sırasıyla Şekil 3.33 ve Şekil 3.34'te verilmiştir.



Şekil 3.33 Gauss devresinin blok şeması



Şekil 3.34 Gauss devresinin iç yapısı

Şekil 3.34'teki Gauss devresi Lin, Huang ve Chiueh'in devresindeki giriş transistorları eşikaltı FGMOS transistorlar ile değiştirilerek elde edilmiştir (Lin vd., 1998). Eşikaltı çalışma bölgesinde, akım ifadesi (2.5) bağıntısında verildiği gibidir. Eşikaltı bölgesinde çalışan Gauss devresindeki nFGMOS transistorlardan akan I_+ ve I_- akımları incelenirse, basit fark kuvvetlendiricinin akım-gerilim karakteristiğine dayanarak şu şekilde ifade edilir.

$$I_+ = I_b \frac{1}{1 + e^{-\frac{V_i}{nU_T}}} \quad (3.41)$$

$$I_- = I_b \frac{1}{1 + e^{\frac{V_i}{nU_T}}} \quad (3.42)$$

Tüm transistorlarının eş olduğu kabulü ile çıkış akımı da şöyle verilmektedir.

$$I_o = 2 \frac{I_+ I_-}{I_+ + I_-} \quad (3.43)$$

(3.41) ve (3.42) bağıntıları (3.43) bağıntısında yerine koyulduğunda ifade şu hale gelir.

$$I_o = 2 \frac{I_+ I_-}{I_+ + I_-} = \frac{2I_b}{2 + e^{\frac{V_i}{nU_T}} + e^{-\frac{V_i}{nU_T}}} \quad (3.44)$$

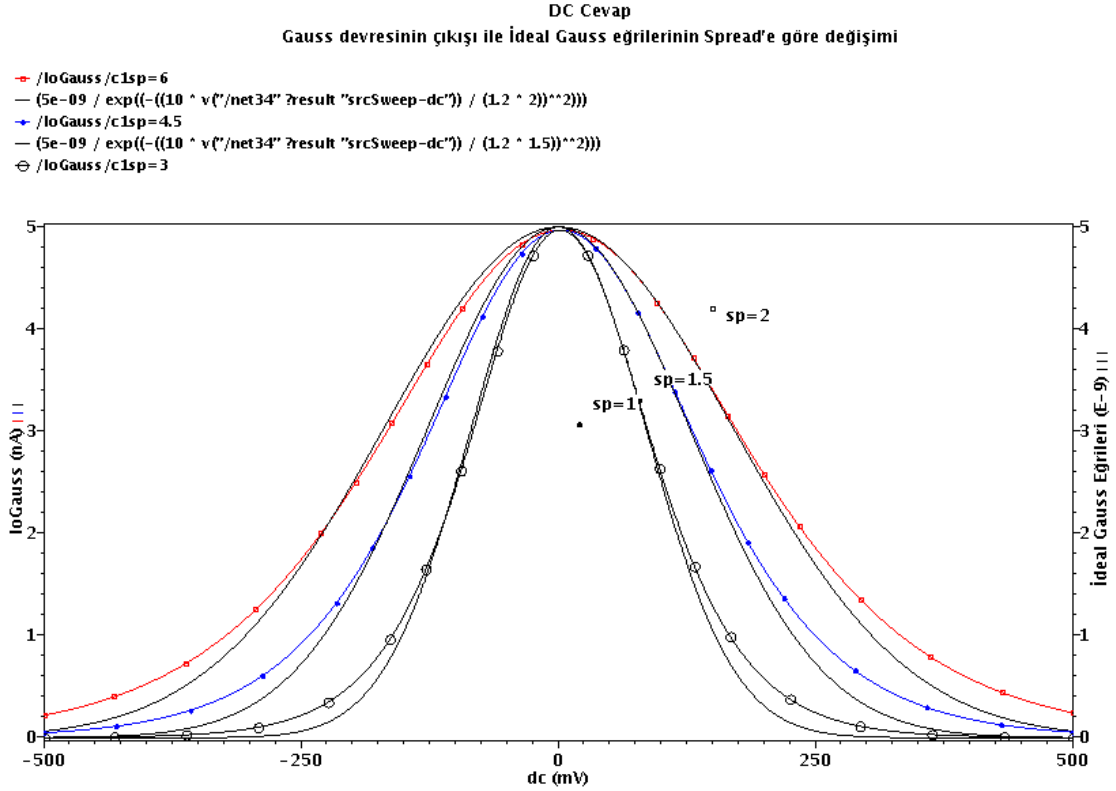
Gerekli matematiksel düzenleme yapıldığında (3.44) bağıntısı en son haline ulaşılmaktadır.

$$I_o = 2 \frac{I_+ I_-}{I_+ + I_-} = \frac{I_b}{2} \operatorname{sech}^2 \left(\frac{V_i}{2nU_T} \right) \quad (3.45)$$

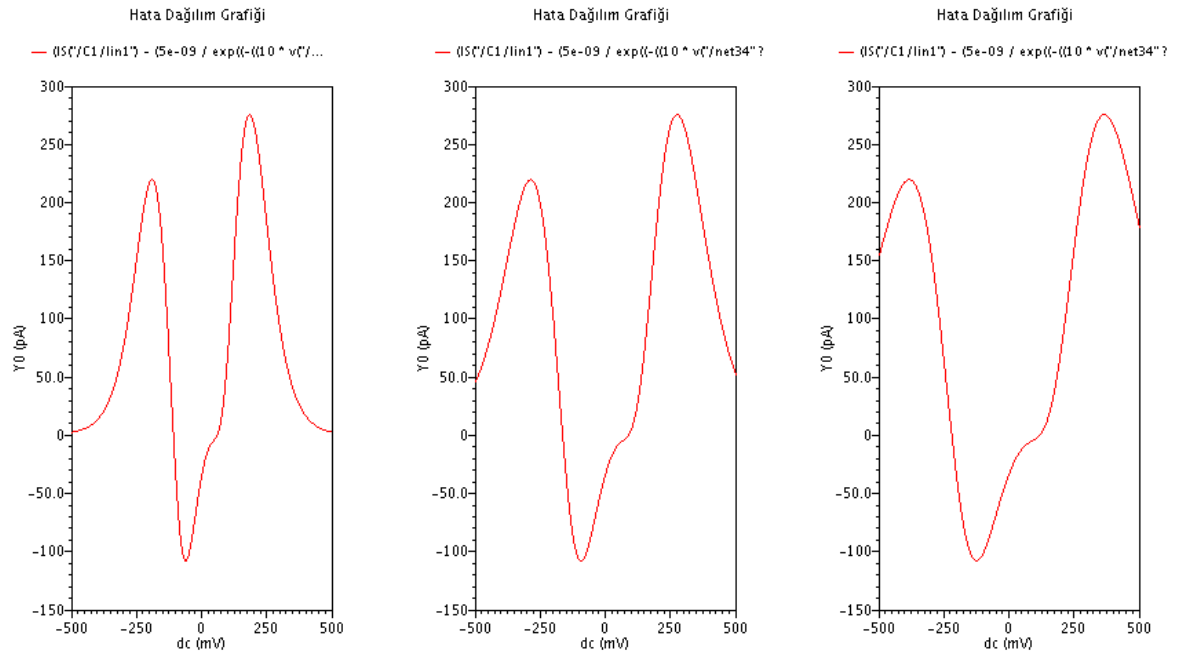
Bağıntıdan da görüldüğü gibi, merkez ve tepe genlik değerleri V_i ve I_b değerlerinin değiştirilmesi ile ayarlanabilmektedir. Giriş transistorları konvansiyonel MOS olduğunda genişlik değiştirilememektedir. Genişliğin değiştirilebilmesi için $I_+ + I_- (= I_b)$ değerinin sabit tutularak fark kuvvetlendiricinin eğiminin değiştirilmesi gerekmektedir. Bundan dolayı ek devrelere ihtiyaç duyulur. Oysa bu çalışmada, merkez ve tepe genlik değerleri yine V_i ve I_b değerlerinin değiştirilmesi ile ayarlanabilirken giriş transistorları FGMOS kullanılarak, yukarıda bahsedilen işlemlere ve devrelere gerek kalmadan direk nFGMOS transistorların giriş işareti uygulanmayan uçlarındaki kapasite değerlerinin değiştirilmesi ile ayarlanabilmektedir. Kontrol uçlarına gerilim uygulayarak bu gerilimin değişimiyle çıkış yatay eksen üzerinde ötelenebilmektedir.

YSA eğitiminde MATLAB yazılımı kullanıldığından, bu programın kullandığı aktivasyon fonksiyonları kullanılmıştır. RTF ağlarında kullanılan Gauss fonksiyonu MATLAB programında $\operatorname{radbas}(n)$ olarak tanımlanmış ve yayılım parametresi olan sp (*spread*)'ye göre değişmektedir. Radbas fonksiyonu n değeri 0,8326 iken 0,5 değerini alır ve bu durumda sp de 1'dir, sp parametresi 2 iken radbas fonksiyonu bir önceki n değerinin iki katında 0,5 değerini alır. FGMOS transistorlu Gauss devresinde ise kontrol kapasitesi (c_{1sp}) değiştirilerek devrenin farklı sp değerine göre çıkış üretmesi sağlanmaktadır. $sp=1$ için $c_{1sp}=(1/3)C_T$, $sp=2$ için ise $c_{1sp}=(2/3)C_T$ olmaktadır. Burada C_T toplam giriş kapasitesini temsil etmektedir.

Gauss devresinin çıkış akımları ile ideal eğrilerin karşılaştırılması ve yayılım parametresi olan sp 'ye göre değişimi Şekil 3.35'te, hata dağılım grafikleri ise Şekil 3.36'da verilmiştir.



Şekil 3.35 Gauss devresinin çıkış akımları ile ideal eğrilerin karşılaştırılması ve yayılım parametresi olan sp 'ye göre değişimi



Şekil 3.36 Gauss devresinin çıkış akımına ilişkin hata dağılım grafiği

Devrelerde eleman boyutları n-tipi transistorlar için $L=0,8\mu\text{m}$, $W=1,2\mu\text{m}$, p-tipi transistorlar için $L=0,8\mu\text{m}$, $W=3,3\mu\text{m}$ seçilmiştir. Çıkış akımının tepe değeri 5nA olacak şekilde kutuplama gerilimi $V_b=-125\text{mV}$ seçilmiştir, besleme gerilimi ise $\pm 0,5\text{V}$ 'tur.

Bu devre yapıları nöronların işlem bloklarını oluşturmaktadır. Bundan dolayı, Öklid uzaklık hesaplayıcı devrenin çıkışı Gauss devresinin girişine verilmektedir. Gauss devresinin giriş gerilim aralığına uyması için Öklid devresinin çıkışına bağlanan R_{oEuc} direncinin değeri 30 ile 75 M Ω arasında olmalıdır.

Literatürde yer alan Gauss devrelerinden olan MOS Gauss devresi ve eşikaltında çalışan MOS Gauss devrelerinin güç tüketimleri karşılaştırıldığında şu sonuçlara ulaşılmıştır. MOS Gauss devresinde (Abuelma'ati ve Shwehneh, 2006b) besleme gerilimi $\pm 1V$, güç tüketimi 23,7 μW , eşikaltı MOS Gauss devresinde (Masmoudi vd, 2002) besleme gerilimi 1,2V, güç tüketimi 200 μW , bir diğer eşikaltı MOS Gauss devresinde (Velmurugan vd., 2006) ise besleme gerilimi 3V, güç tüketimi 109 μW olarak verilmiştir. Besleme gerilimi $\pm 0,5V$ olan Şekil 3.34'teki girişlerinde eşikaltı FGMOS kullanılan Gauss devresinin maksimum güç tüketimi 11,8nW olarak elde edilmiştir. Değerlerden yola çıkıldığında, daha önceki yapılarda da görüldüğü gibi eşikaltı FGMOS transistorların kullanılmasıyla güç tüketiminde önemli bir düşüş görülmektedir.

3.6 Eşikaltı FGMOS Transistorlarla Tasarlanan Analog Devre Bloklarının Güç Tüketim Değerleri

Devre tasarımları, MOSIS [1] mikron altı tasarım kurallarına uyularak gerçekleştirilmiştir. Tasarımda TSMC 0.35 μm çift poli, çift metal standart CMOS parametreleri kullanılmıştır. TSMC tasarım parametrelerini içeren teknoloji kütüphanesi, North Carolina State University (NCSU) tarafından geliştirilmiştir[2]. TSMC 0.35 μm proses ve model parametreleri Ek 1'de verilmiştir. Bölüm içerisinde, devre anlatımlarının sonunda verilen güç tüketimleri, Çizelge (3.1)'de toplu olarak görülmektedir.

Çizelge 3.1 Eşikaltı FGMOS transistorlarla tasarlanan analog devre bloklarının güç tüketim çizelgesi

Devreler	Besleme Gerilimi [V]	Toplam Akım [nA]	Maksimum Güç [nW]
Kaskod Akım Aynası	0,5	7,1	3,5
4B Çarpıcı (tek çıkışlı)	0,75	153,5	115
2B Öklid Uz. Hes.	$\pm 0,75$	70,9	53
Tansig/Logsig Üretici	0,5	14,7	7,3
Doğrusal Fonk. Üretici	0,5	18,9	9,5
Gauss Fonk. Üretici	$\pm 0,5$	23,6	11,8

4. ANALOG NÖRON DEVRESİ TASARIMI

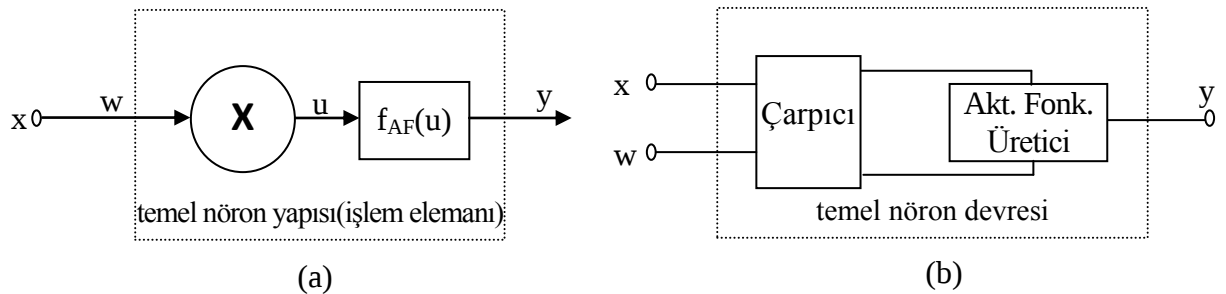
Bu bölümde, yapay sinir ağının temel yapı birimi olan nöronun elektronik devre olarak tasarımına değinilmiştir. Nöron temel olarak ağırlık değerleriyle çarpılan girişlerin toplanması ve bu toplamın aktivasyon fonksiyonundan geçirilmesi işlevlerine sahiptir.

Analog alt devreler birleştirilerek nöronlar, nöronlar birleştirilerek YSA tümdevreleri oluşturulduğundan, tasarımlar alt devrelerin tek başına çalıştırıldıklarındaki performansları, birleştirme sürecinde değişmeyecek şekilde gerçekleştirilmiştir. ÇKA ve RTF ağlarında yer alan nöronlardaki hesaplamalar farklılık göstermektedir. ÇKA ağlarında ağırlıklı çarpımların toplamı ve aktivasyon fonksiyonundan geçirilmesi işlemi yer aldığından, bu ağa ait nöronlar bu işlemleri yapacak şekilde tasarlanmıştır. RTF ağlarında ise, gizli katmanda girişler ile ağırlıklar arasında uzaklık hesabı yapılarak Gauss aktivasyon fonksiyonundan geçirilmesi ve çıkış katmanında ağırlıklı toplamın doğrusal aktivasyon fonksiyonundan geçirilmesi işlemi yer aldığından, bu ağa ait nöronlar da bu işlemleri yapacak şekilde tasarlanmıştır.

İlk olarak temel nöron yapısı tasarlanmıştır. Daha sonra, uygulaması yapılan YSA'ların gerektirdiği giriş sayısına göre nöron tasarımları gerçekleştirilmiştir. Gerçekleştirilen tüm nöron devrelerinin giriş ve çıkış akımları $[-5nA, 5nA]$ aralığında olup güç tüketimleri ise çok düşüktür, bu da yüksek yoğunluklu YSA devreleri için aranan bir özelliktir. Tasarlanan nöron devrelerinin güç tüketimleri, çizelge olarak bölüm sonunda verilmiştir.

4.1 Temel Nöronun Gerçeklenmesi

İlk olarak en basit, ama temel yapı olan bir girişli nöron gerçekleştirilmiştir. Şekil 4.1'de temel nöron yapısı ve temel nöron devresinin blok şeması verilmiştir.



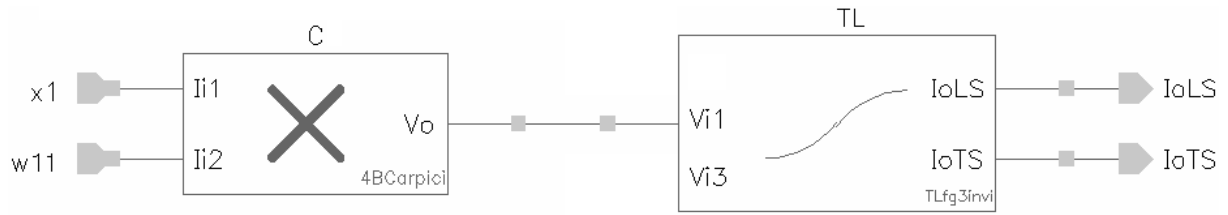
Şekil 4.1 (a) Temel nöron yapısı (b) Temel nöron devresinin blok şeması

Bu bir girişli yapıda dikkat edilecek olursa çarpımların toplamını almayı gerektirecek bir devreye ihtiyaç yoktur, bundan dolayı nöronun girişine gelen işaretin o girişle ilgili ağırlık değeriyle (burada zaten tek bir giriş olduğu için bir tane ağırlık değeri vardır) çarpılması ve

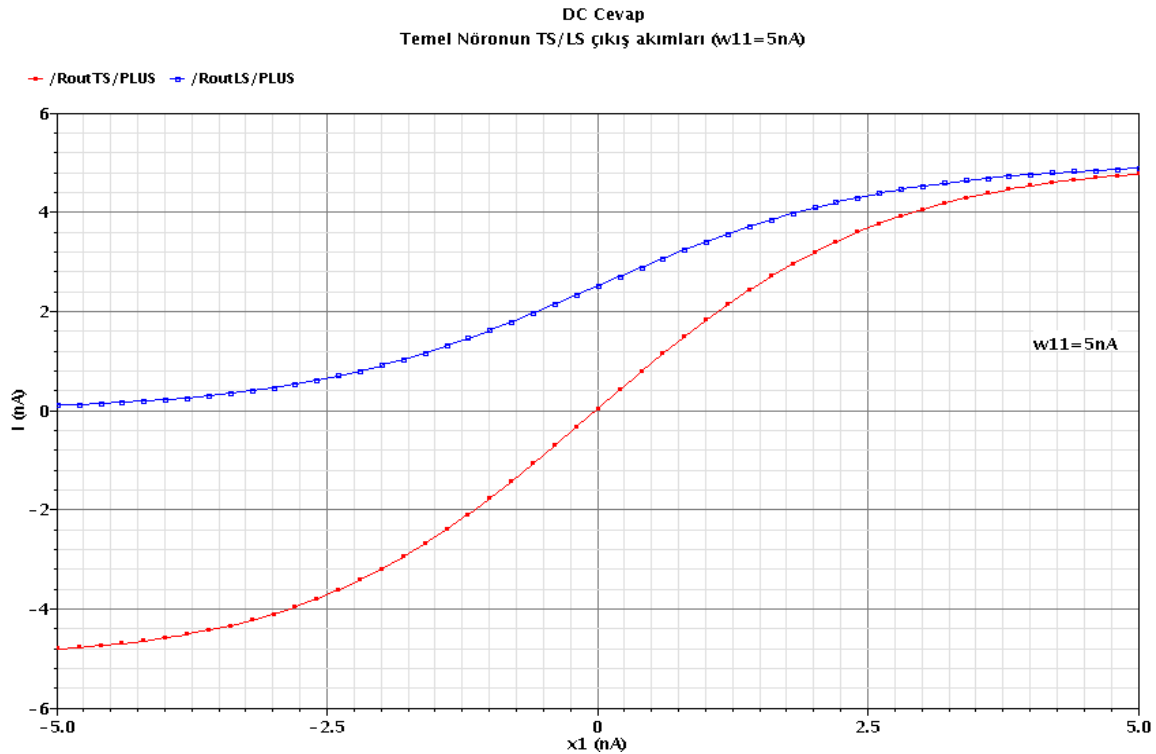
aktivasyon fonksiyonundan geçirilmesi sonuca ulaşmak için yeterlidir. Nöronun girişine gelen işaret ile ağırlık değerinin çarpılması Şekil 3.10'da verilen çarpıcı devresi ile gerçekleştirilirken, aktivasyon fonksiyonundan geçirilmesi işlemi de Şekil 3.22'de verilen sigmoid üretici devresi kullanılarak gerçekleştirilmiştir.

Biyolojik nöron yapısında, hücreye gelen birden çok uyarılara karşın, bu uyarıların toplanmasıyla bu toplamın belli bir eşiğin altında mı üstünde mi olduğuna karar verilip işlem yapılır. Temel nöronun yapısında ise girişin ağırlıklı çarpımından sonra toplama işlemi yoktur, sonuç olarak burada paralel işlem mantığı yer almamaktadır. Temel nöron yapısı, gerçek nöron yapısını oluşturmada bir ön adım olarak düşünülebilir.

Şekil 4.2'de temel nöron devresi, Şekil 4.3'te ise simülasyon sonucu görülmektedir. Devreye x girişi olarak -5 nA ile $+5$ nA arası değişen akım verilir, w ağırlık değeri 5 nA alınarak DC analiz yapılmıştır. Bu devrenin çıkışı hem tansig hem de logsig fonksiyonunu aynı anda verebilmektedir. Temel nöron devresinin maksimum güç tüketimi 122,3 nW'tır.



Şekil 4.2 Temel nöron devresi



Şekil 4.3 Temel nöron devresinin çıkış akımları

4.2 Çok Girişli Nöron Devresi

Nöron tasarımında giriş sayısı ve ağ yapısı önemli parametrelerdir. Uygulaması yapılan YSA'ların gerektirdiği giriş sayısı nöronların giriş sayısını bire bir etkilemektedir. Farklı ağ yapıları farklı nöronlar gerektirdiğinden, birden fazla girişe sahip nöron tasarımları ÇKA ve RTF ağları için ayrı ayrı yapılmıştır.

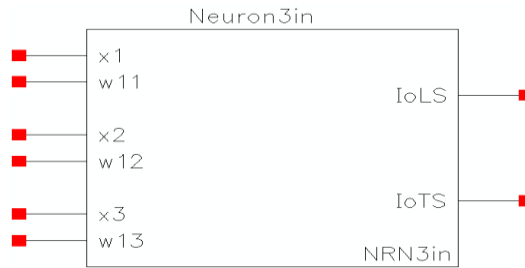
4.2.1 ÇKA Ağında Kullanılan Nöron Devreleri

Burada, bir ön adım olan temel nöron yapısı yerine artık gerçek nöron yapısı elektronik devre olarak gerçekleştirilmiştir. Literatürde rastlanan nöron tasarımlarında genelde (Bayraktaroğlu vd., 1997) akım çıkışlı bir çarpıcı, sonra bu çarpımların toplama işlemi için bir işlemsel kuvvetlendirici, daha sonra aktivasyon fonksiyonunu gerçekleştiren fonksiyon üreticiler kullanılmaktadır. Fakat tezde, toplama ve aktivasyon fonksiyonundan geçirme işleminin bir arada yapıldığı bir yapı olan eşikaltında çalışan FGMOS transistörlerle gerçekleştirilen sigmoid üretici devresi ile daha az eleman ve yapı kullanılarak aynı sonuca ulaşılmıştır.

YSA tümdevrelerinin sınanmasında kullanılan, XOR problemi ve Iris bitkisi sınıflama uygulamalarında ÇKA ağında yer alan nöron devreleri (her bir nörona ait bir bias girişi olduğundan, bias girişleri de dahil edilerek) 3-girişli ve 5-girişli nöronlardan oluşmaktadır. Bundan dolayı 3-girişli ve 5-girişli nöron devreleri anlatılmış, N-girişli nöron devresi için genelleme yapılmıştır.

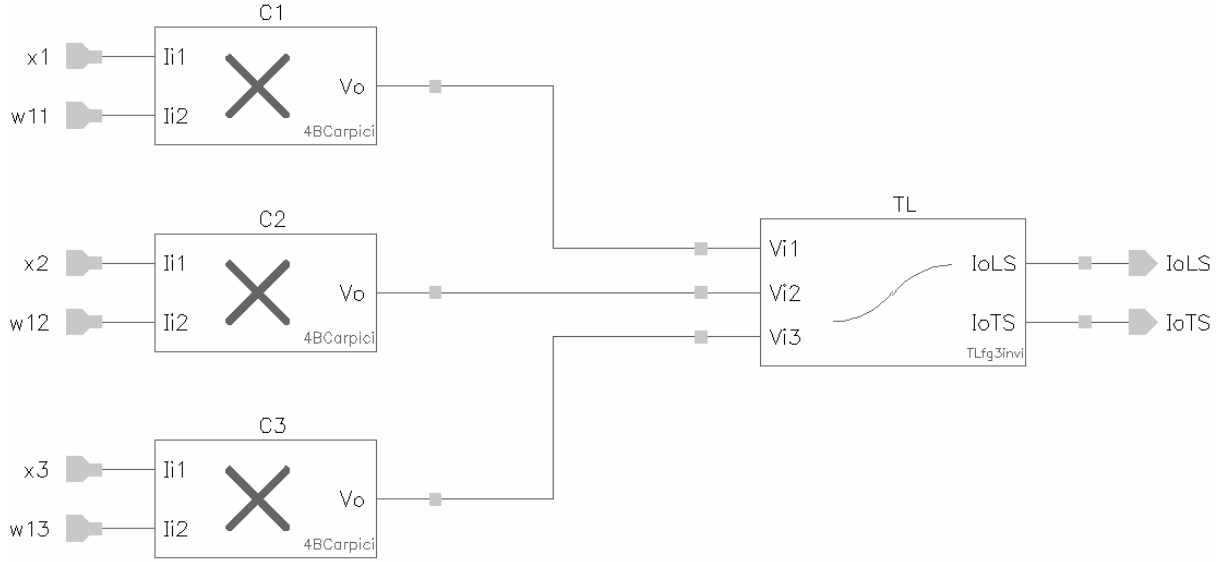
4.2.1.1 Üç-Girişli ve Beş-Girişli Nöron Devreleri

3-girişli nöron devresi üç tane girişe sahip olduğundan, üç tane çarpıcı ve bir tane 3-girişli sigmoid fonksiyon üretici kullanılarak tasarlanmıştır. 3-girişli nöron devresinin blok şeması ve iç yapısı, sırasıyla Şekil 4.4 ve Şekil 4.5'te verilmiştir.



Şekil 4.4 3-girişli nöron devresinin blok şeması

İç yapıda görülen çarpıcı ve sigmoid fonksiyon üretici devre blokları Bölüm 3'te ayrıntılarıyla ele alınmıştır. Nöronun her bir girişine gelen işaret ile o girişe ilişkin ağırlık değerinin çarpılması Şekil 3.10'da verilen çarpıcı devresi ile gerçekleştirilirken, aktivasyon fonksiyonundan geçirilmesi işlemi de Şekil 3.27'de verilen 3-girişli tansig/logsig üretici devresi kullanılarak gerçekleştirilmiştir.

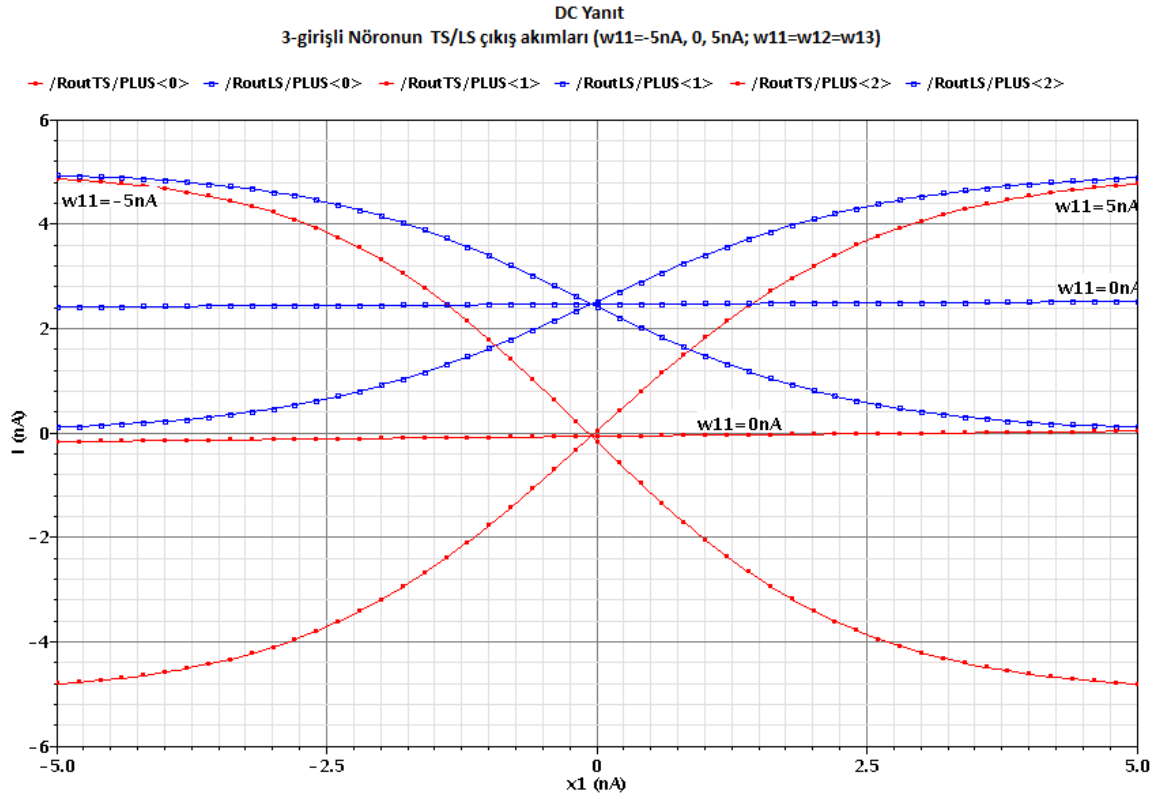


Şekil 4.5 3-girişli nöron devresinin iç yapısı

Şekil 4.5'ten görüldüğü gibi her bir giriş için eklenen çarpıcıların çıkışları 3-girişli tansig/logsig devresindeki FGMOS giriş transistorunun girişlerine girmektedir (burada kapasitif olarak ağırlıklı çarpımların toplamı işleminden geçirilerek sigmoid fonksiyonunun girişini oluşturur). 3-girişli tansig/logsig devresinin çıkışı ise nöronun çıkış akımıdır. Böylece elektronik olarak eşikaltı bölgesinde çalışan FGMOS transistorların kullanıldığı düşük gerilimli çok az güç tüketen 3-girişli nöron devresi tasarlanmıştır. Sonuç olarak tasarlanan nöronların giriş sayıları değiştirilerek ve nöron sayısı artırılarak YSA yapıları elde edilebilir hale gelmiştir.

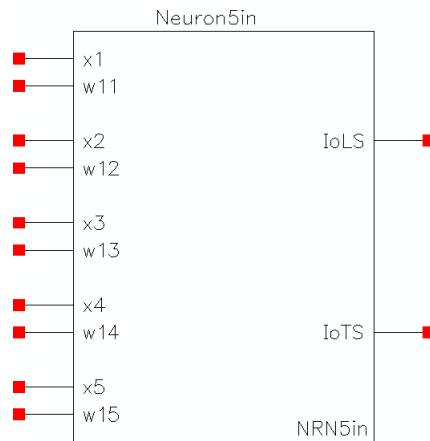
3-girişli nöron devresinde, girişler ve ağırlıklar birbirine eşit alınarak, ağırlıklar $-5nA$, 0 ve $5nA$ parametrik olarak değiştirildiğinde çıkış akımının giriş akımına göre değişimi Şekil 4.6'da görüldüğü gibi elde edilmiştir. Şekilden de görüldüğü gibi devre çıkışında tansig ve logsig fonksiyonları sağlanmaktadır.

Devrelerde eleman boyutları n-tipi transistorlar için $L=0,8\mu m$, $W=1,2\mu m$, p-tipi transistorlar için $L=0,8\mu m$, $W=3,3\mu m$ seçilmiştir. Nöron devresinin giriş ve çıkış akımları $[-5nA, 5nA]$ aralığında olup, besleme gerilimi $0,75V$ ve maksimum güç tüketimi $352,3nW$ 'tır.

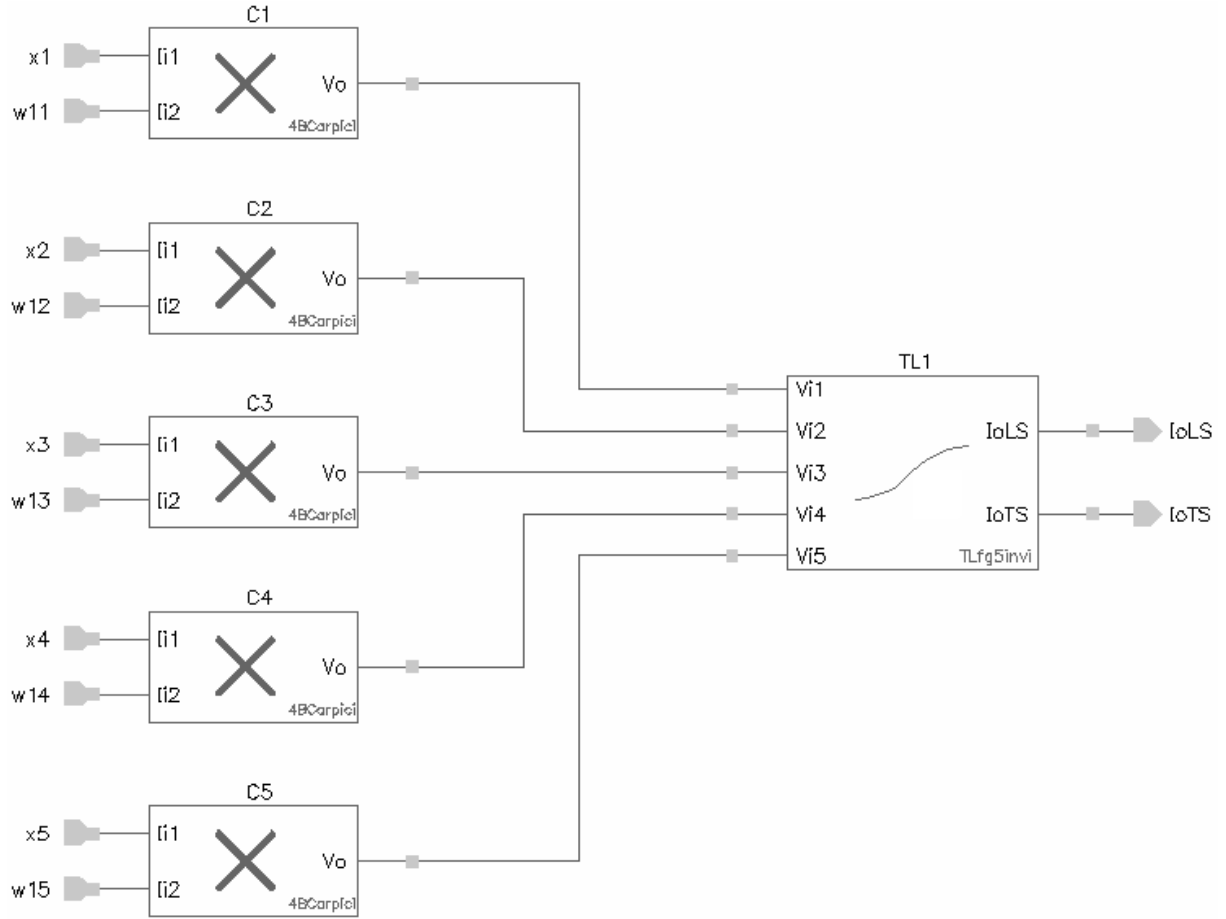


Şekil 4.6 3-girişli nöron devresinin çıkış akımının giriş akımına göre değişimi

5-girişli nöron devresi beş tane girişe sahip olduğundan, beş tane çarpıcı ve bir tane 5-girişli sigmoid fonksiyon üretici kullanılarak tasarlanmıştır. 5-girişli nöron devresinin blok şeması ve iç yapısı, sırasıyla Şekil 4.7 ve Şekil 4.8’de verilmiştir. Aynı yöntemle N-girişli nöron devresi tasarımı mümkündür.



Şekil 4.7 5-girişli nöron devresinin blok şeması



Şekil 4.8 5-girişli nöron devresinin iç yapısı

4.2.2 RTF Ağında Kullanılan Nöron Devreleri

YSA tümdevrelerinin sınanmasında kullanılan, XOR problemi ve Iris bitkisi sınıflama uygulamalarında RTF ağında yer alan nöron devreleri 2-girişli ve 4-girişli nöronlardan oluşmaktadır. Bundan dolayı 2-girişli ve 4-girişli nöron devreleri anlatılmış, N-girişli nöron devresi için genelleme yapılmıştır.

RTF ağlarında, gizli katmanda girişler ile ağırlıklar arasında uzaklık hesabı yapılarak Gauss aktivasyon fonksiyonundan geçirilmesi ve çıkış katmanında ağırlıklı toplamın doğrusal aktivasyon fonksiyonundan geçirilmesi işlemi yer aldığından, bu ağa ait nöronlar da bu işlemleri yapacak şekilde tasarlanmıştır. Gizli katmanda Gauss fonksiyonu kullanılan nöronlar, çıkış katmanında ise doğrusal fonksiyon kullanılan nöron yer almaktadır.

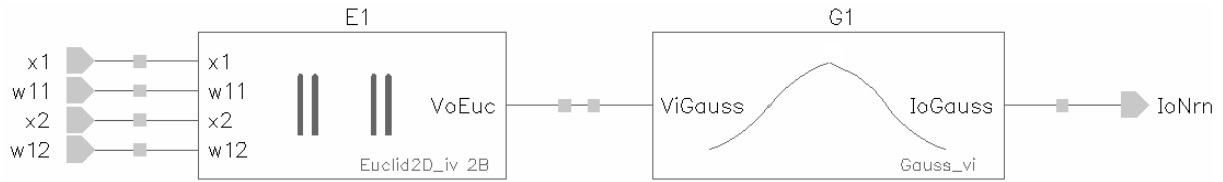
4.2.2.1 İki-Girişli ve Dört-Girişli Nöron Devresi

Gizli katmanda yer alan 2-girişli nöron devresi iki tane girişe sahip olduğundan, 2-boyutlu Öklid devresi ve bir tane Gauss fonksiyon üretici kullanılarak tasarlanmıştır. 2-girişli nöron devresinin blok şeması ve iç yapısı, sırasıyla Şekil 4.9 ve Şekil 4.10'da verilmiştir.



Şekil 4.9 2-girişli nöron devresinin blok şeması

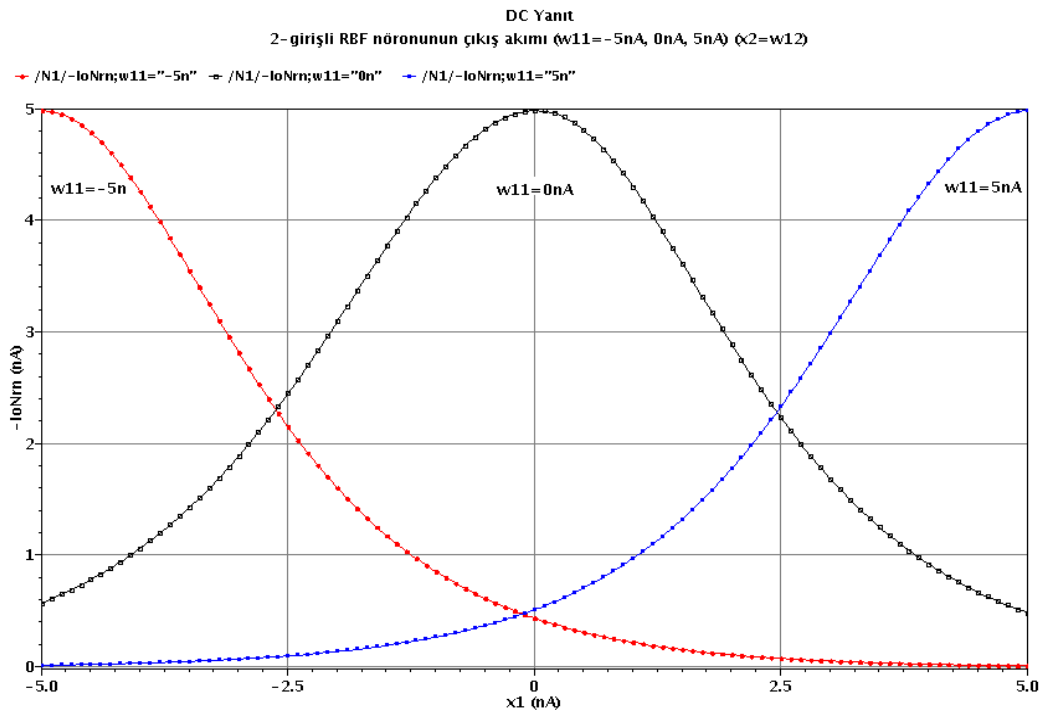
İç yapıda görülen Öklid uzaklık hesaplayıcı ve Gauss fonksiyon üretici devre blokları Bölüm 3'te ayrıntılarıyla ele alınmıştır. Nöronun her bir girişine gelen işaret ile o girişe ilişkin ağırlık arasındaki uzaklığın hesaplanması Şekil 3.14'te verilen Öklid devresi ile gerçekleştirilirken, Gauss fonksiyonundan geçirilmesi işlemi de Şekil 3.34'te verilen Gauss fonksiyon üretici devresi kullanılarak gerçekleştirilmiştir.



Şekil 4.10 2-girişli nöron devresinin iç yapısı

Şekil 4.10'da yer alan Öklid devresinin modüler hali Şekil 3.19'da verilmiştir. Giriş sayısı kadar Öklid giriş modülü kullanılmasıyla nöron devreleri de modüler hale getirilmiş olur.

2-girişli nöron devresinde, x_2 girişi ve w_{12} ağırlığı eşit alınarak, w_{11} ağırlığı -5nA, 0 ve 5nA parametrik olarak değiştirildiğinde çıkış akımının x_1 giriş akımına göre değişimi Şekil 4.11'de

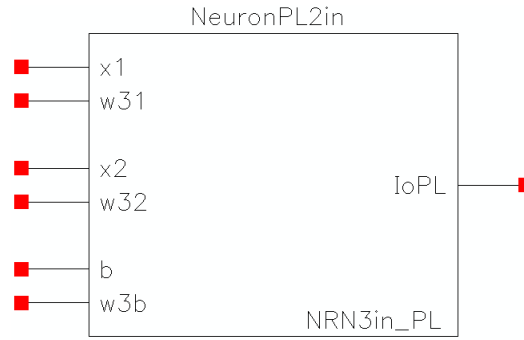


Şekil 4.11 2-girişli nöron devresinin çıkış akımının giriş akımına göre değişimi

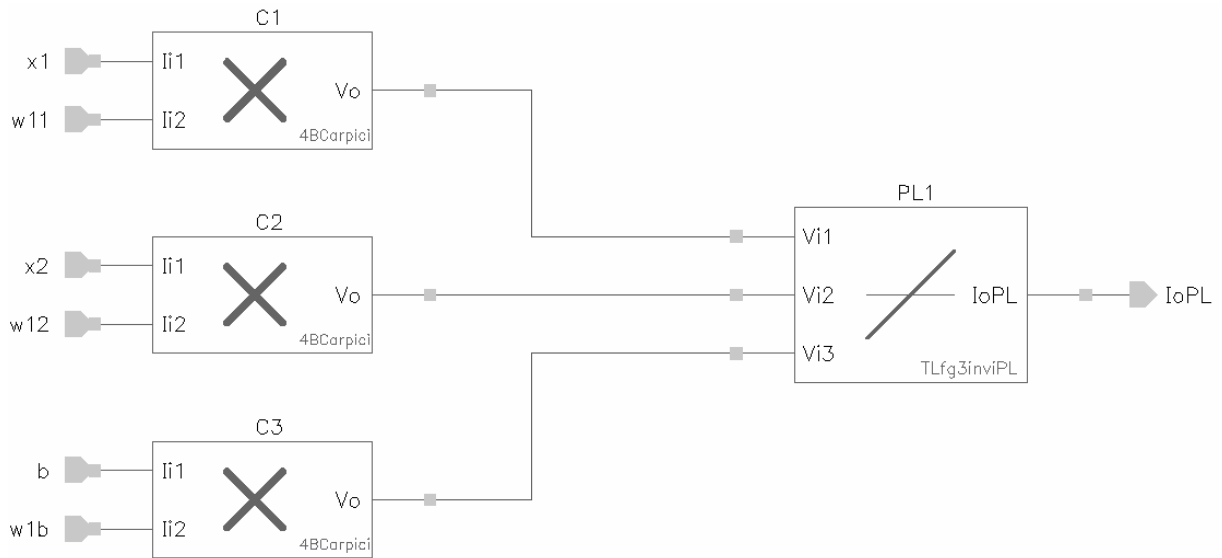
görüldüğü gibi elde edilmiştir. Şekilden de görüldüğü gibi devre çıkışında Gauss fonksiyonunun merkezinin yatay ekseninde ötelendiği görülmektedir.

Devrelerde eleman boyutları n-tipi transistörler için $L=0,8\mu\text{m}$, $W=1,2\mu\text{m}$, p-tipi transistörler için $L=0,8\mu\text{m}$, $W=3,3\mu\text{m}$ seçilmiştir. Nöron devresinin giriş ve çıkış akımları $[-5\text{nA}, 5\text{nA}]$ aralığındadır. Öklid uzaklık hesaplayıcı ve Gauss fonksiyon üretici devrelerinin besleme gerilimleri sırasıyla $\pm 0,75\text{V}$ ve $\pm 0,5\text{V}$ 'tur. Nöron devresinin maksimum güç tüketimi 79nW 'tır.

Çıkış katmanında yer alan 3-girişli doğrusal fonksiyonlu nöron devresi üç tane girişe sahip olduğundan, üç tane çarpıcı ve bir tane 3-girişli doğrusal fonksiyon üretici kullanılarak tasarlanmıştır. 3-girişli doğrusal fonksiyonlu nöron devresinin blok şeması ve iç yapısı, sırasıyla Şekil 4.12 ve Şekil 4.13'te verilmiştir. Çalışma şekli, Bölüm 4.2.1.1'de verilen 3-girişli nöron devresinininki gibidir. Maksimum güç tüketimi $354,5\text{nW}$ 'tır.

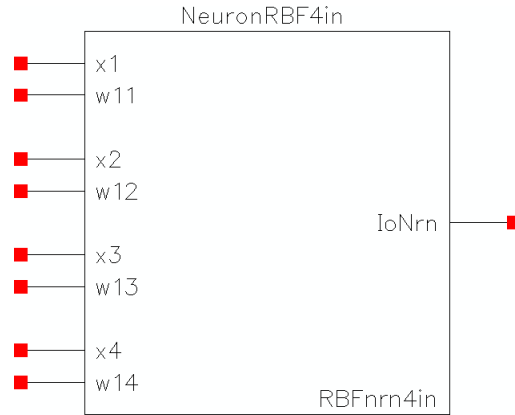


Şekil 4.12 3-girişli doğrusal fonksiyonlu nöron devresinin blok şeması

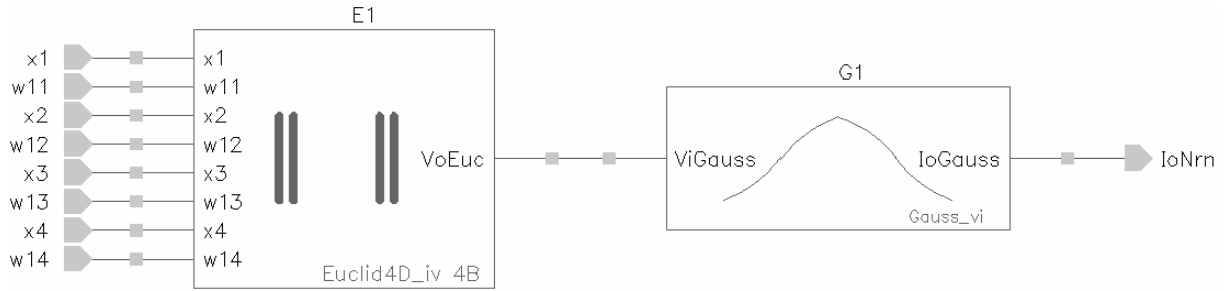


Şekil 4.13 3-girişli doğrusal fonksiyonlu nöron devresinin iç yapısı

Gizli katmanda yer alan, 4-girişli nöron devresi dört tane girişe sahip olduğundan, 4-boyutlu Öklid devresi ve bir tane Gauss fonksiyon üretici kullanılarak tasarlanmıştır. 4-girişli nöron devresinin blok şeması ve iç yapısı, sırasıyla Şekil 4.14 ve Şekil 4.15'te verilmiştir. Şekil 4.10'da yer alan Öklid devresinin modüler hali Şekil 3.20'de verilmiştir. Giriş sayısı kadar Öklid giriş modülü kullanılmasıyla nöron devreleri de modüler hale getirilmiş olur. Aynı yöntemle N-girişli nöron devresi tasarımı mümkündür.



Şekil 4.14 4-girişli nöron devresinin blok şeması



Şekil 4.15 4-girişli nöron devresinin iç yapısı

4.3 ÇKA Ve RTF Ağlarında Kullanılan Nöron Devrelerinin Güç Tüketim Değerleri

Bölüm içerisinde, devre anlatımlarının sonunda verilen güç tüketimleri, Çizelge (3.1)'de toplu olarak görülmektedir.

Çizelge 4.1 ÇKA ve RTF ağlarında kullanılan nöron devrelerinin güç tüketim çizelgesi

ÇKA Ağında Kullanılan Nöron Devreleri	Maks. Güç [nW]	RTF Ağında Kullanılan Nöron Devreleri	Maks. Güç [nW]
1-Girişli Nöron Devresi	122,3	2-Girişli Nöron Devresi	79
3-Girişli Nöron Devresi	352,3	3-Girişli PL Nöron Devresi	354,5
5-Girişli Nöron Devresi	582,5	4-Girişli Nöron Devresi	148

5. ANALOG YSA TMDEVRELERİ ve UYGULAMALARI

Gizli ve ıkış katmanlarında, Blm 4'te anlatılan aynı ya da farklı ok girişli nron devrelerinin bir araya getirilmesiyle eşitli YSA tmdevreleri elde edilmiştir.

Tasarlanan YSA tmdevrelerinin performansları, var olan YSA veri kmeleri ile test edilmiştir. XOR problemi ve ok bilinen veri kmelerinden biri olan İris bitkisi sınıflaması uygulamaları tmdevrelerin testi sırasında kullanılmıştır. Tm veri kmeleriyle eēitme işlemleri MATLAB yazılım ortamında yapılmıştır. Eēitme ve test verileri, devrelerin giriş aralığı olan $[-5nA, 5nA]$ deēerlerine gre normalize edilip, giriş akımları olarak devrelere uygulanmıştır. Tmdevrelerin verdiēi ıkışların, bilgisayar ortamında aynı aēırlık ve bias deēerine sahip aēın verdiēi ıkışlara yakınlığı ile tmdevrelerin başarısı test edilmiş ve sınıflandırma başarılarının, yazılım ortamında elde edilen sınıflandırma performansına olduka yakın olduēu gzlemlenmiştir.

Tasarlanan tm YSA tmdevrelerinin giriş ve ıkış akımları $[-5nA, 5nA]$ aralığında olup g tketimleri ise ok dşktr. Blm sonunda, g tketim izelgesi verilmiştir.

5.1 Uygulaması Yapılan Veri Kmeleri

YSA tmdevrelerinin sınanması iin veri kmelerine ihtiya duyulur. Farklı yapılar da tasarlanan YSA tmdevreleri, karşılaştırma iin en sık kullanılan veri kmelerinden iki tanesiyle test edilmiştir. Bu iki veri kmesi de, doērusal olarak birbirinden ayırt edilemeyen veri kmelerinden olan XOR problemi ve İris bitkisinin zelikleridir.

5.1.1 XOR Problemi

Yapay sinir aēlarının test edildiēi doērusal olmayan en klasik uygulamadır. XOR fonksiyonu dzlemde izdirildiēinde, verilerin tek bir doēru ile ayrılmasının mmkn olmadığı grlr. Bu ayırımın hatasız yapılması iin doērusal olmayan fonksiyonlardan olan sigmoidal fonksiyona sahip ok katmanlı algılayıcı aēları ya da yine doērusal olmayan fonksiyona sahip radyal tabanlı fonksiyon aēları kullanılabilir.

5.1.2 İris Bitkisinin Sınıflandırılması

İris bitkisi sınıflandırma veri kmesi, patern tanımanın en temel uygulamalarındandır. Veri kmesi [3], her sınıfın 50 rnek ierdiēi 3 sınıftan oluřur. Bu sınıflar, *Iris-Setosa*, *Iris-Versicolour* ve *Iris-Virginica* olarak adlandırılmaktadır. Setosa sınıfı diēerlerinden doērusal olarak ayrılabil diēi halde, diēer sınıflar birbirinden doērusal olarak ayrılamaz. Her sınıf 50 rnekten oluřtuēundan, toplamda 150 rnek ieren veri kmesinde her bir rnek de 4

özellikten oluşur. Bu örnekleri oluşturan yaprak uzunluğu, yaprak genişliği, taç yaprak uzunluğu ve taç yaprak genişliği bilgilerinin cm cinsinden ölçümü veri kümesinin ayırt edici özellikleridir. Bu 150 adet veri dördlüsünün içinden, her sınıf için 40 adet eğitime 10 adet test verisi olmak üzere toplam, 120 adet eğitime 30 adet test verisi kullanılmıştır.

5.2 Girişlerin ve Ağırlıkların Ağa Uygulanması

Yazılım ortamında, ağların eğitim ve test işlemini gerçekleştirmek ve donanım ortamında devreye giriş uygulayabilmek için veri kümesindeki girişlerin değişim aralığını, ortamın çalışma aralığına göre normalize etmek gerekir. Girişleri ağa uygulamadan önce veri kümesinin normalizasyonu işlemi yapılmıştır.

Yazılım ortamında, hedef değerler ağ çıkışındaki nöronun ürettiği çıkış değeri ile ilgili olduğundan, ÇKA ağının çıkışında tansig aktivasyon fonksiyonuna sahip nöron kullanıldığı için hedef değer maksimum bir seçilmiştir. Girişler de, çıkışlara uygun olması için $[-1,1]$ aralığına normalize edilmiştir. RTF ağında ise, çıkışta doğrusal fonksiyona (purelin) sahip nöron kullanıldığından benzer şekilde girişler $[0, 5]$ aralığına normalize edilmiştir.

Donanım ortamında, giriş değerleri devrelerin giriş aralıklarına uygun olması için ÇKA ağı için $[-5nA, 5nA]$ aralığına, RTF ağı için $[0nA, 5nA]$ aralığına normalize edilmiştir. MATLAB programı ile yazılımsal olarak elde edilen ağırlık değerleri de devrelere giriş olarak verildiğinden benzer şekilde, ÇKA ağı için $[-5nA, 5nA]$ aralığına, RTF ağı için $[0nA, 5nA]$ aralığına ölçeklendirilmiştir.

5.3 Ağ Yapılarının Belirlenmesi ve Yazılım Ortamında Eğitilmesi

Tek gizli katmanlı, ileri beslemeli tipteki yapay sinir ağını elde etmek için gizli katmanda giriş sayısı kadar nöron, çıkış katmanında tek nöron içeren ağ yapıları oluşturulmuştur. İstenen sınıflamayı yapacak şekilde eğitmek için ÇKA ve RTF ağları oluşturulmuştur. Yapay sinir ağlarındaki eğitim işlemindeki amaç, ağın çıkışlarını istenen hedef değerlere yaklaştırmaktır. Bu nedenle iteratif olarak ağ üzerindeki serbest parametre değerleri hatayı minimize edecek şekilde güncellenmektedir.

MATLAB programının Neural Networks Toolbox'ı kullanılarak istenen ağ yapıları oluşturulmuş ve eğitim işlemi burada bulunan algoritmalar ile yapılmıştır. Örneğin, 'newff' komutuyla oluşturulan ÇKA ağ yapısında İris bitkisi sınıflamasında MATLAB programında eğitime yapılırken programa ait birçok eğitime algoritması denenmiştir. 'trainlm' kullanıldığında ağırlıklar çok fazla büyük çıktığından 'traingd' denenmiş, bunun da

momentum katsayısını içermemesinden dolayı momentumu içeren algoritma olan 'traingdm' (gradient descent with momentum BPA) kullanılmıştır. Bu algorithma öğrenme hızı $\eta = 0,1$, öğrenme sırasında yerel minimumlara yakalanmamak ve en kısa zamanda eğitimi tamamlamak için momentum katsayısı $\alpha = 0,9$ alınmıştır.

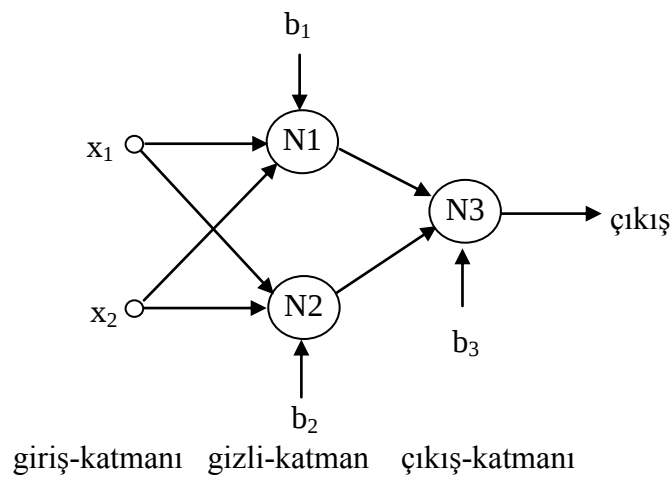
MATLAB'de 'newrb' komutuyla RTF ağ yapısı oluşturulmuştur. Gauss fonksiyonunun yayılım genişliğini belirleyen 'spread' parametresinin çok büyük olması giriş uzayı bölgelerinin üst üste binmesine yol açarken, çok küçük olması da verilerin bir kısmının içermemesine yol açacağından, XOR uygulamasında $S=1$, İris bitkisi sınıflamasında $S=2$ seçilmiştir.

5.4 ÇKA Ağı Devreleri ve Uygulamaları

Tasarlanan ÇKA ağı tümdevrelerinin performansları, XOR problemi ve İris bitkisi sınıflaması uygulamaları ile test edilmiştir.

5.4.1 XOR Uygulaması

Bu uygulama için geliştirilen YSA'da Şekil 5.1'de gösterildiği gibi; giriş katmanı, bir gizli katman ve çıkış katmanı olmak üzere çok katmanlı algılayıcı yapısı kullanılmıştır. İki tane giriş olduğu için gizli katmanda iki tane nöron, bir çıkış olduğu için de çıkış katmanında bir nöron kullanmak uygun bulunmuştur. Aynı zamanda her bir nöronun bir bias girişi vardır. Ağırlıkların başlangıç değerleri seçimi, sonucu etkilemediği görüldüğünden rastgele alınmıştır.



Şekil 5.1 XOR problemini gerçekleştiren ağ yapısı

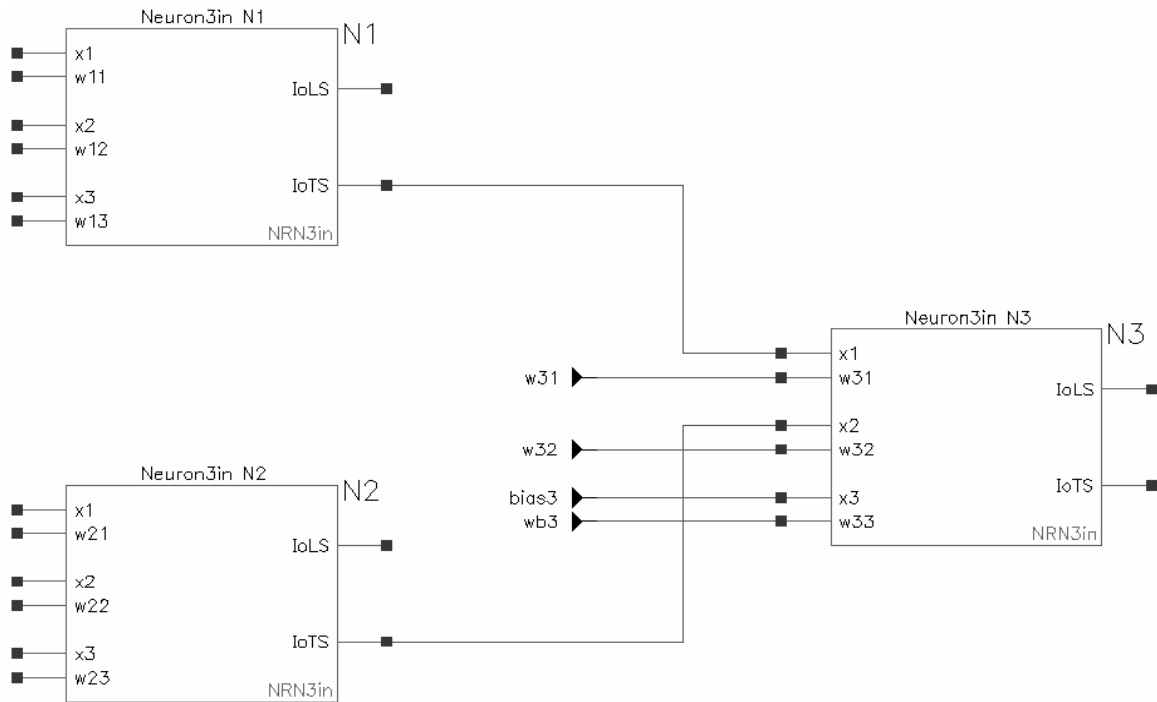
Ağ yapısı MATLAB programına girildikten sonra, girişlerin devreye uygun olması ve hedef değerlerin de devrenin çıkışı olan 5nA'ye eşit olması açısından Çizelge 5.1'de verilen değerler

kullanılmıştır. Eğitim yapılırken MATLAB'ın hazır öğrenme metotlarından 'traingd', aktivasyon fonksiyonları olarak da 'tansig' kullanılmıştır. Elde edilen ağırlık ve bias değerlerine göre ağ yeniden test edildiğinde doğru sonuç verdiği görülmüş ve devre yapısı oluşturulmuştur. Gizli katmana bağlı ağırlıklar w_1 matrisi, gizli katmana bağlı bias'lar b_1 matrisi, çıkış katmanına bağlı ağırlıklar w_2 matrisi ve çıkış katmanına bağlı bias'lar b_2 matrisi olarak adlandırılmış olup Ek 2'de verilmiştir.

5.4.1.1 Devre Yapısı ve Simülasyon Sonuçları

Şekil 5.1'de görüldüğü gibi ağın iki girişi vardır, fakat her nörona ait bir bias girişi olduğundan bu bias girişlerini 5nA almak şartıyla nöron girişi gibi alınabilir. Böylece Şekil 4.4'te verilen 3-girişli nöron devresinden üç tane kullanılarak XOR problemini çözeabilen YSA tümdevresi gerçekleştirilir.

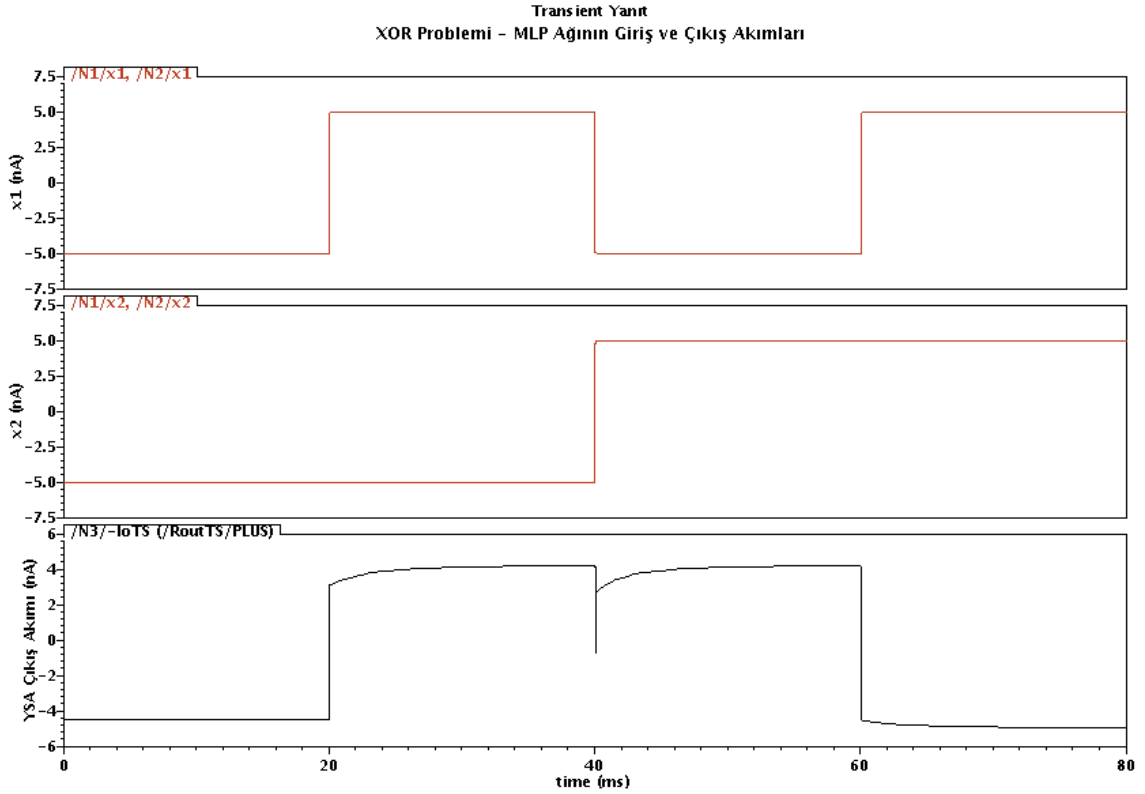
XOR problemini gerçekleyen devre Şekil 5.2'de, giriş-çıkış grafikleri Şekil 5.3'te verilmiştir. Çıkış katmanındaki nöronun girişleri gizli katmandaki iki nöronun çıkışına bağlanmıştır. Devrenin veri girişlerinin yapıldığı x uçlarından giriş verisinin $[-5nA, 5nA]$ aralığına normalize edilmiş hali girilmektedir. Ağırlık girişlerinin verildiği w uçlarından ise yazılım olarak elde edilen w_1 , b_1 , w_2 ve b_2 matrislerinin $[-5nA, 5nA]$ aralığına ölçeklendirilmiş hali girilmektedir ve bunlar da Ek 3'te verilmiştir. Devrenin çıkışları I_{oTS} ucundan alınmış olup değerleri Çizelge 5.1'de verilmiştir. Görüldüğü üzere bu modüler yapı kullanılarak daha değişik ağ yapıları elde etmek mümkündür.



Şekil 5.2 XOR problemini gerçekleyen YSA tümdevresi

Çizelge 5.1 Giriş ve hedef çıkışların devrenin giriş-çıkış aralığına göre ayarlanması

$x1 \oplus x2$	y	$x1 \oplus x2$ (nA)	çıkış (nA)
$0 \oplus 0$	0	$-5 \oplus -5$	-4,43
$0 \oplus 1$	1	$-5 \oplus 5$	4,22
$1 \oplus 0$	1	$5 \oplus -5$	4,22
$1 \oplus 1$	0	$5 \oplus 5$	-4,43



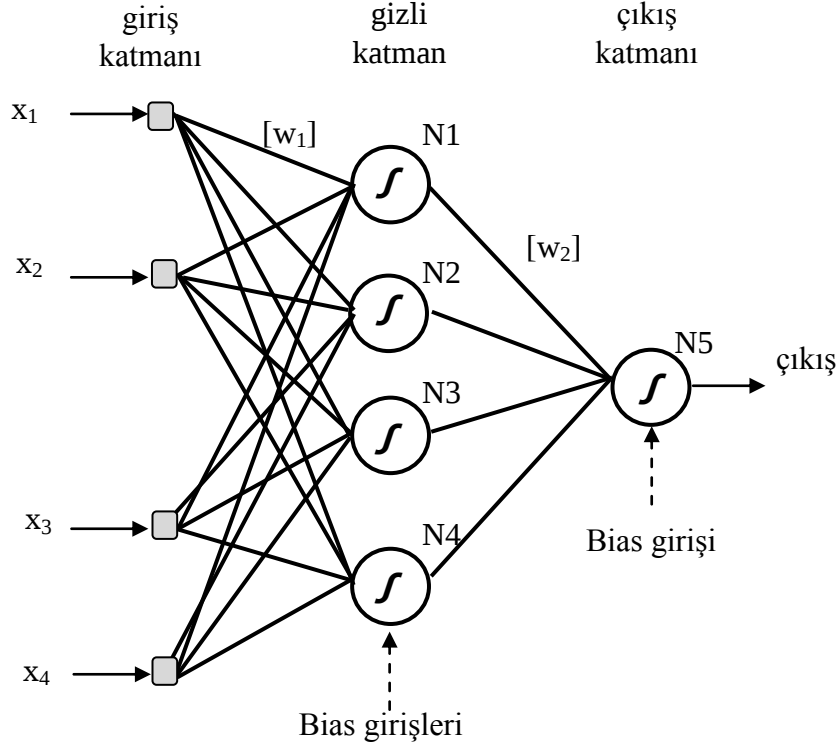
Şekil 5.3 XOR devresinin giriş ve çıkış akımları

XOR devresinin giriş ve çıkış akımları $[-5\text{nA}, 5\text{nA}]$ aralığında olup, besleme gerilimi $0,75\text{V}$ 'tur. Ek 3'te verilen ağırlık değerlerine göre tüm girişler maksimum değer olan 5nA iken güç tüketimi 858nW 'tır.

5.4.2 İris Bitkisinin Sınıflandırılması

İris bitkisinin sınıflandırılması için oluşturulan YSA'da Şekil 5.4'te gösterildiği gibi; giriş katmanı, bir gizli katman ve çıkış katmanı olmak üzere çok katmanlı algılayıcı yapısı kullanılmıştır. Dört tane giriş olduğu için gizli katmanda dört tane nöron, denemeler sonucunda çıkış katmanında bir nöron kullanmak uygun bulunmuştur. Aynı zamanda her bir nöronun bir bias girişi vardır. Ağırlıkların başlangıç değerleri seçimi, sonucu etkilemediği görüldüğünden rastgele alınmıştır. Ağ eğitimiyle ağırlık ve bias değerleri elde edilmiştir. Gizli

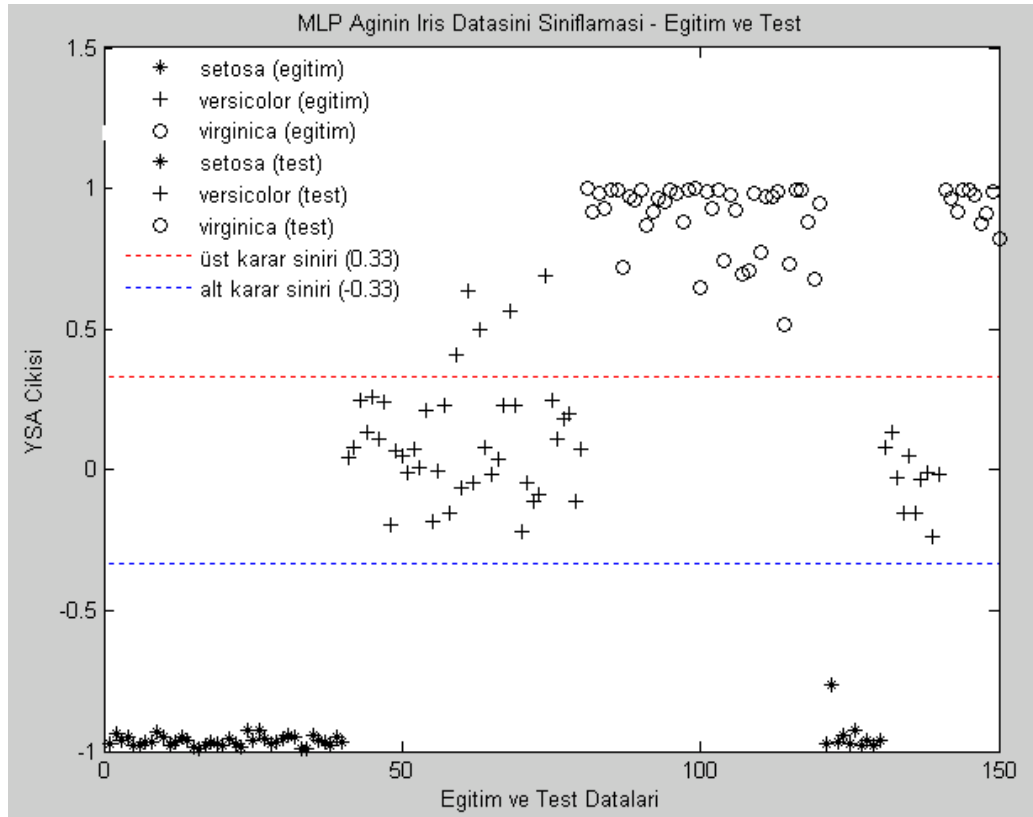
katmana bağı ağırlıklar w_1 matrisi, gizli katmana bağı bias'lar b_1 matrisi, çıkış katmanına bağı ağırlıklar w_2 matrisi ve çıkış katmanına bağı bias'lar b_2 matrisi olarak adlandırılmış olup Ek 2'de verilmiştir.



Şekil 5.4 İris bitkisinin sınıflandırılmasını gerçekleştiren ağ yapısı

Eğitme yapılırken MATLAB'ın hazır öğrenme metotlarından 'traingdm', aktivasyon fonksiyonları olarak da 'tansig' kullanılmıştır. Öğrenme hızı $\eta=0,1$, momentum katsayısı $\alpha=0,9$ alınmıştır.

Ağ eğitilirken, normalize girişlerin her sınıfa ait ilk 40 tanesi toplamda 120 giriş eğitme verisi olarak, geriye kalan toplam 30 veri ise test verisi olarak seçilmiştir. Ağın hedef değerleri birinci sınıf için -1, ikinci sınıf için 0 ve üçüncü sınıf için 1 olarak kullanılmıştır. Sınıflandırma kriteri olarak ise birinci sınıfa dahil olanlar -0,333'ten küçük, ikinci sınıfa dahil olanlar -0,333 ile +0,333 arasında, üçüncü sınıfa dahil olanlar ise +0,333'ten büyük çıkışlar olarak belirlenmiştir. Bu yapay sinir ağı, eğitme verileriyle eğitildikten sonra test verileri kullanılarak test işlemine tabi tutulmuştur. Elde edilen ağırlık değerleri kullanılarak eğitim ve test verileri denenip dağılım grafikleri aynı şekil üzerinde Şekil 5.5'te verilmiştir. Ayrıca ağın hem eğitme hem de test girişlerine verdiği yazılım çıkışları sayısal değer olarak Ek 4'te yer almaktadır. Ek 4'deki tablolarda koyu yazılı olanlar hatalı sınıflamayı göstermektedir.



Şekil 5.5 İris bitkisi sınıflandırmada eğitime ve test verilerinin dağılım grafiği

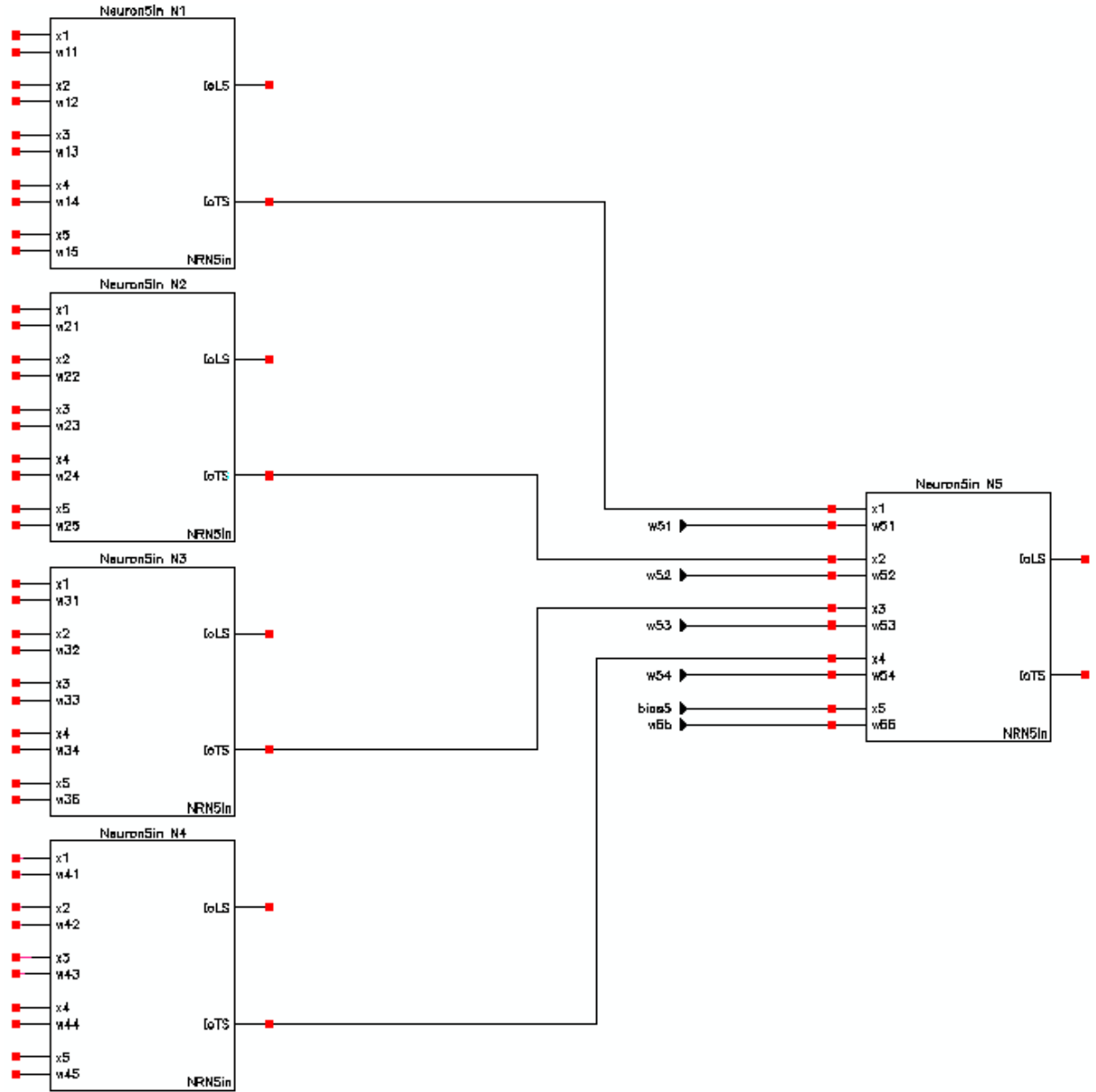
Test verisinde hiç hata olmamasına karşın *versicolor* sınıfına ait eğitime verisinde 5 tane hatalı çıkış görülmektedir, yani oluşturulan bu ağ, MATLAB programında eğitilerek toplam veri kümesinde 5/150'den %3'lük bir hata ile sonuçlanmış olur.

Elde edilen ağırlık değerlerine göre ağın beklenen sonucu verdiği görüldüğünden devre yapısı oluşturulmuştur.

5.4.2.1 Devre Yapısı ve Simülasyon Sonuçları

Şekil 5.4'te görüldüğü gibi ağın dört girişi vardır, fakat her nörona ait bir bias girişi olduğundan bu bias girişlerini 5nA almak şartıyla nöron girişi gibi alınabilir. Böylece 4'ü gizli katmanda, biri çıkış katmanında olmak üzere toplam 5 tane Şekil 4.7'de verilen 5-girişli nöron devresi kullanılarak İris bitkisini sınıflandıran YSA tümdevresi gerçekleştirilmiş olur.

İris bitkisini sınıflandıran devre Şekil 5.6'da verilmiştir. Gizli katmandaki dört nöronun çıkışları, çıkış katmanındaki nöronun girişlerine bağlanmıştır. Devrenin veri girişlerinin yapıldığı x uçlarından giriş verisinin $[-5nA, 5nA]$ aralığına normalize hali girilmektedir. Ağırlık girişlerinin verildiği w uçlarından ise yazılım olarak elde edilen w_1 , b_1 , w_2 ve b_2 matrislerinin $[-5nA, 5nA]$ aralığına ölçeklendirilmiş hali girilmekte olup Ek 3'te verilmiştir.

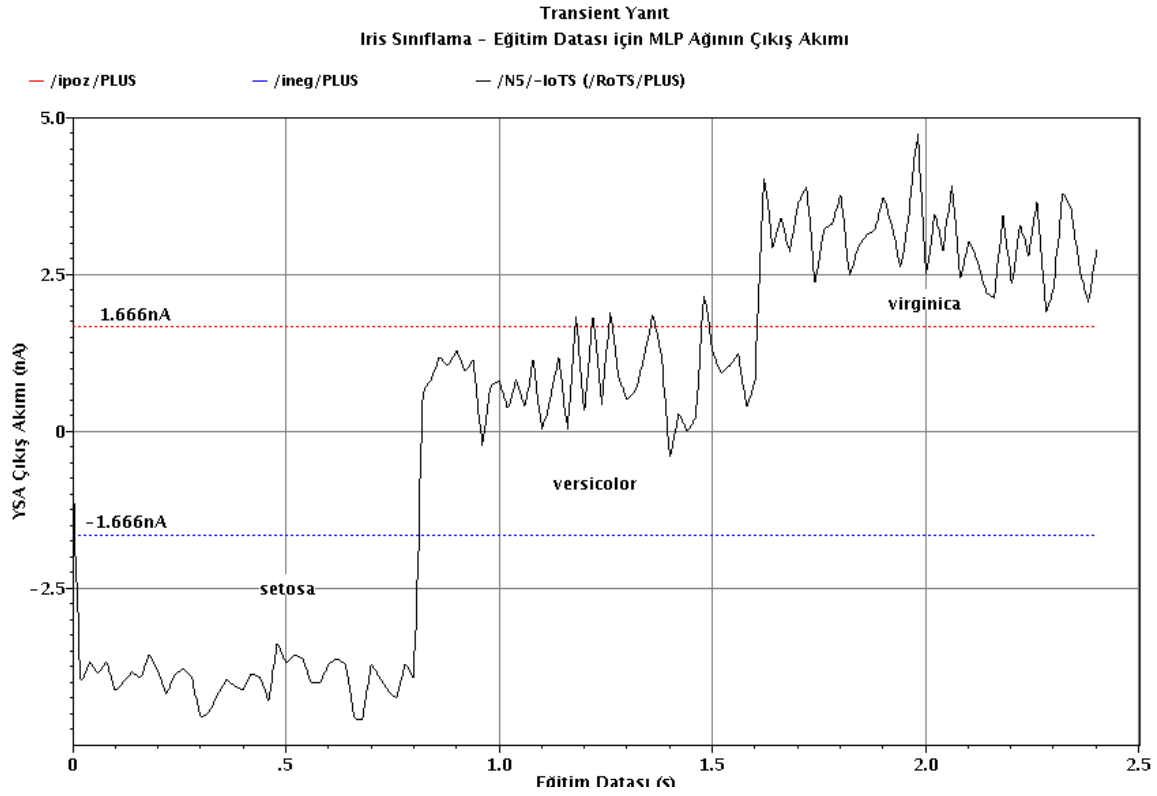


Şekil 5.6 İris bitkisini sınıflandıran YSA tümdevresi

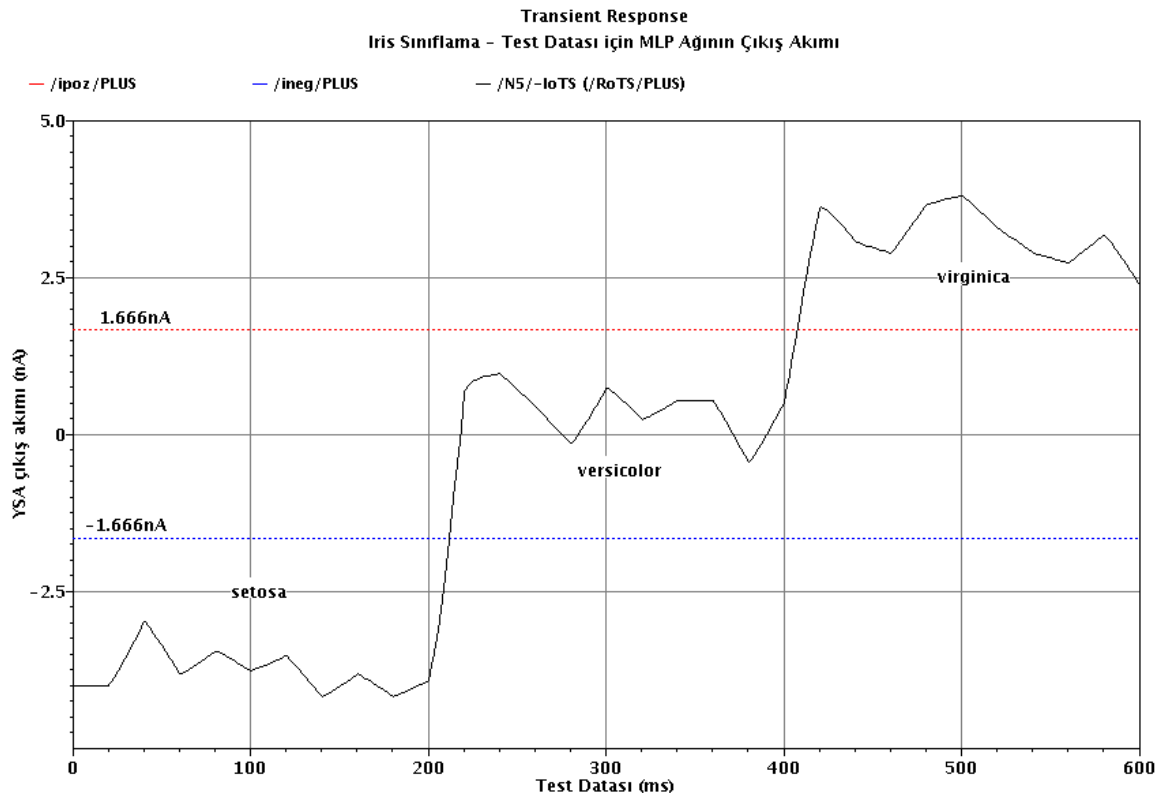
Devrenin I_{OTS} ucundan alınmış çıkış akımına ait eğitme ve test verilerinin grafikleri sırasıyla Şekil 5.7 ve Şekil 5.8’de verilmiştir. Test verisinde hiç hata olmamasına karşın *versicolor* sınıfına ait eğitme verisinde 5 tane hatalı çıkış görülmektedir. Bu sonuç, yazılım çıktısıyla tamamen aynıdır. Ayrıca devrenin hem eğitme hem de test girişlerine verdiği donanım çıkışları sayısal değer olarak Ek 4’te yer almaktadır. Ek 4’te kolayca karşılaştırılabilmesi için donanım çıkışı sütununun yanındaki sütunda donanım çıkışları yazılım çıkışlarının aralığına ölçeklendirilerek de verilmiştir, ayrıca koyu yazılı olanlar hatalı sınıflamayı göstermektedir.

Yazılım ortamı sonucu ile donanım sonucu birbirine çok yakındır. Yazılım ortamında ağı denemesi sonucunda da yine aynı veriler yanlış sınıflandırılmaktadır. Daha fazla nöron kullanımı veya ağı farklı eğitmelerindeki daha yüksek başarımı, İris bitkisi uygulaması için daha yüksek sınıflama sonucu verebilecektir. Ancak bu uygulamada esas önemli olan

MATLAB ortamı sonuçları ile donanım gerçekleştirme sonuçlarının birbirine ne kadar yakın olduğudur. Ek 4'te verilen sonuçlarla donanımın yazılıma yaklaşım başarısı gözlenmektedir.



Şekil 5.7 İris bitkisi sınıflama devresinin eğitime verilerine karşı çıkış akımı



Şekil 5.8 İris bitkisi sınıflama devresinin eğitime verilerine karşı çıkış akımı

ÇKA ağının bir uygulaması olan İris bitkisinin sınıflandırılması için yazılım ve donanım ortamlarında elde edilen eğitim ve test sonuçları Çizelge 5.2’de verilmiştir.

Çizelge 5.2 ÇKA ağında yazılım ve donanım ortamlarında İris bitkisinin sınıflandırma sonuçları

	<i>Yazılım Sonuçları</i>		<i>Donanım Sonuçları</i>	
	Eğitim	Test	Eğitim	Test
Sınıflama Yüzdesi	%95,8	%100	%95,8	%100
Doğru Veri Sayısı	115	30	115	30
Toplam Veri Sayısı	120	30	120	30

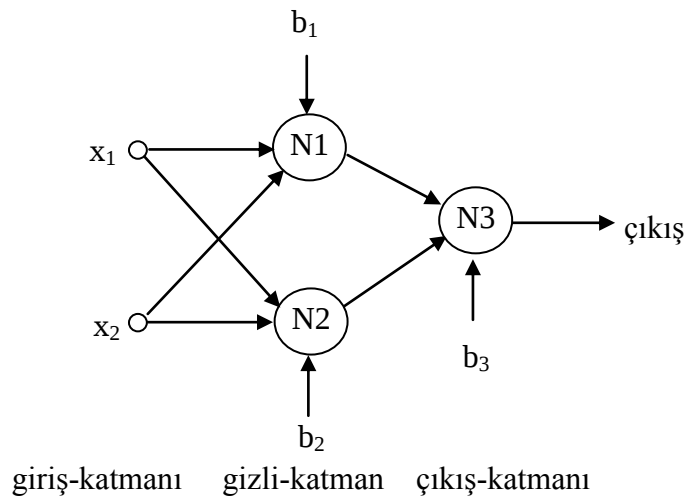
İris bitkisi sınıflama devresinin giriş ve çıkış akımları $[-5nA, 5nA]$ aralığında olup, besleme gerilimi $0,75V$ ’tur. Ek 3’te verilen ağırlık değerlerine göre girişlerin hepsi maksimum değer olan $5nA$ iken güç tüketimi $2,42\mu W$ ’tır.

5.5 RTF Ağı Devresi ve Uygulamaları

Tasarlanan RTF ağı tümdevrelerinin performansları, XOR problemi ve İris bitkisi sınıflaması uygulamaları ile test edilmiştir.

5.5.1 XOR Problemi

Bu uygulama için kullanılan YSA’da Şekil 5.9’da gösterildiği gibi; giriş katmanı, bir gizli katman ve çıkış katmanı olmak üzere radyal tabanlı fonksiyon ağ yapısı kullanılmıştır. İki tane giriş olduğu için gizli katmanda iki tane nöron, bir çıkış olduğu için de çıkış katmanında bir nöron kullanmak uygun bulunmuştur. Aynı zamanda her bir nöronun bir bias girişi vardır.



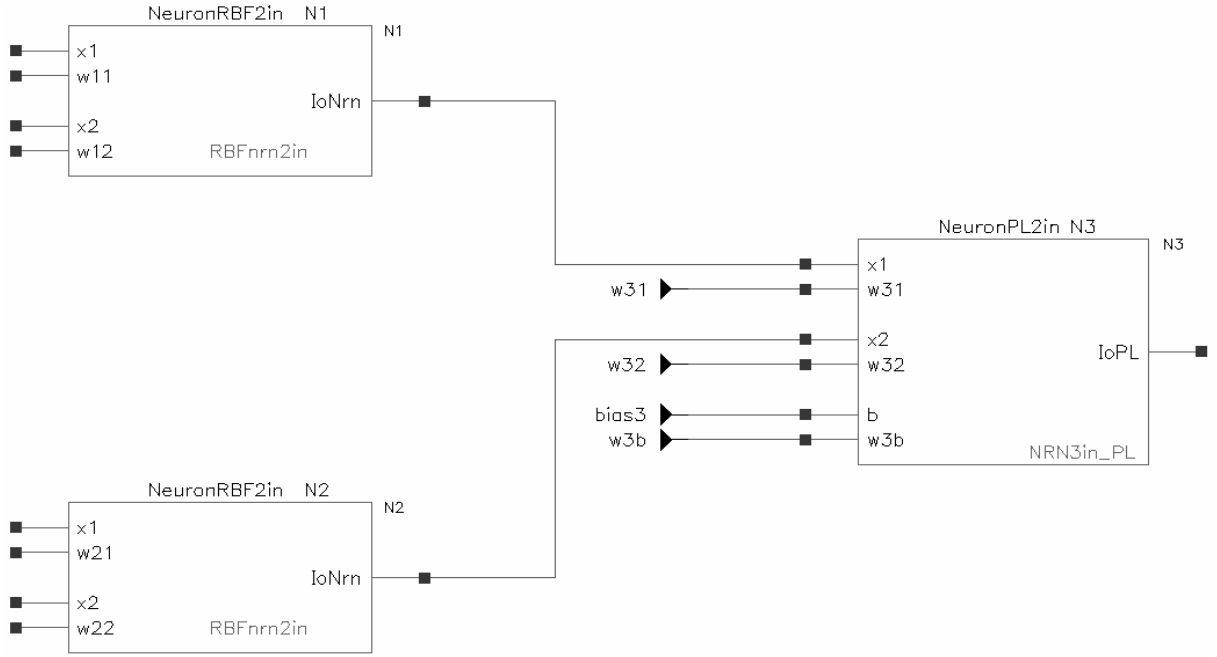
Şekil 5.9 XOR problemini gerçekleştiren ağ yapısı

Ağ yapısı MATLAB programına girildikten sonra, girişlerin devreye uygun olması ve hedef değerlerin de devrenin çıkışı olan $5nA$ 'e eşit olması açısından Çizelge 5.3'te verilen değerler kullanılmıştır. Yazılım olarak $[0, 5]$ aralığında daha iyi sonuçlar alınmıştır. Eğitim yapılırken MATLAB'ın algoritmalarından 'newrb' kullanılmış ve 'spread' parametresi $S=1$ seçilmiştir. Bu algortmada gizli katmandaki nöronlarda Gauss (radbas) aktivasyon fonksiyonu, çıkış katmanındaki nöronda ise doğrusal fonksiyon olan 'purelin' aktivasyon fonksiyonu kullanılmaktadır. Elde edilen ağırlık ve bias değerlerine göre ağ yeniden test edildiğinde doğru sonuç verdiği görülmüş ve devre yapısı oluşturulmuştur. Gizli katmana bağlı ağırlıklar w_1 matrisi, gizli katmana bağlı bias'lar b_1 matrisi, çıkış katmanına bağlı ağırlıklar w_2 matrisi ve çıkış katmanına bağlı bias'lar b_2 matrisi olarak adlandırılmış olup Ek 2'de verilmiştir.

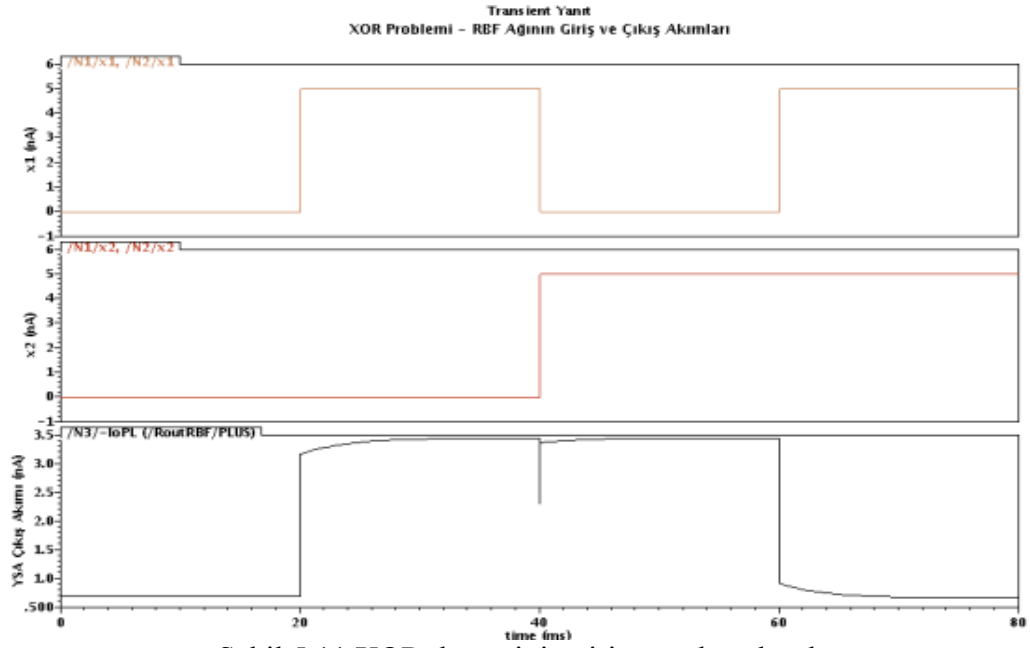
5.5.1.1 Devre Yapısı ve Simülasyon Sonuçları

Şekil 5.9'da görüldüğü gibi ağın iki girişi vardır fakat her nörona ait bir bias girişi de mevcuttur. Gizli katmandaki nöronlar Gauss fonksiyonunu gerçekleyen nöronlar olduğundan, Bölüm 3.5.2'de ayrıntısıyla anlatılan 'spread' parametresinin değişimi Şekil 3.14'deki Gauss devresinin c_{1sp} parametresini değiştirerek elde edilir ve böylece bias girişinin etkisi yerine getirilmiş olur. Şöyle ki, MATLAB'de $S=1$ alındığında $bias=0,8326/S$ olduğundan bias $0,8326$ çıkar. Bu durumun devreye uygulanması ise $c_{1sp}=(1/3)C_T$ alınarak olur. Böylece gizli katman bias değeri devreye bu yolla uygulanmış olur. Bu ağ yapısının çıkış katmanında ise doğrusal fonksiyonlu nöron olduğundan bu bias girişini $5nA$ almak şartıyla nöron girişi gibi alınabilir. Böylece Şekil 4.9'da verilen 2-girişli nöron devresinden iki tane, Şekil 4.12'de verilen 3-girişli doğrusal fonksiyonlu nöron devresinden de bir tane kullanılarak XOR problemini çözebilen YSA tümdevresi gerçekleştirilir.

XOR problemini gerçekleyen devre Şekil 5.10'da, giriş-çıkış grafikleri Şekil 5.11'de verilmiştir. Çıkış katmanındaki nöronun girişleri gizli katmandaki iki nöronun çıkışına bağlanmıştır. Devrenin veri girişlerinin yapıldığı x uçlarından giriş verisinin $[0nA, 5nA]$ aralığına normalize edilmiş hali girilmektedir. Ağırlık girişlerinin verildiği w uçlarından ise yazılım olarak elde edilen w_1 , b_1 , w_2 ve b_2 matrislerinin $[0nA, 5nA]$ aralığına ölçeklendirilmiş hali girilmektedir ve bunlar da Ek 3'te verilmiştir. Devrenin çıkışları I_{oPL} ucundan alınmış olup değerleri Çizelge 5.3'te verilmiştir.



Şekil 5.10 XOR problemini gerçekleyen YSA tümdevresi



Şekil 5.11 XOR devresinin giriş ve çıkış akımları

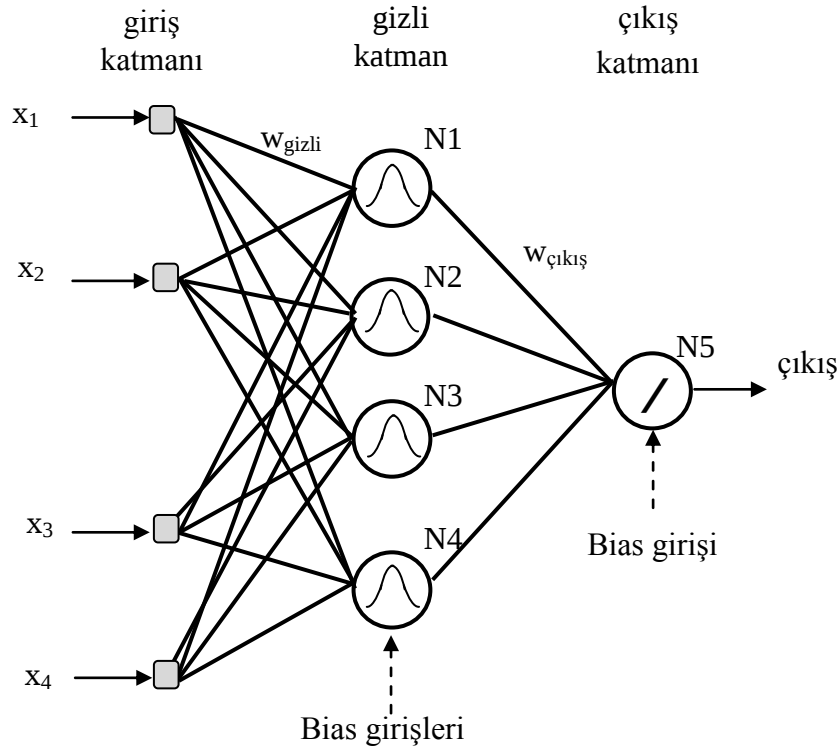
Çizelge 5.3 Giriş ve hedef çıkışların devrenin giriş-çıkış aralığına göre ayarlanması

$x1 \oplus x2$	y	$x1 \oplus x2$ (nA)	çıkış (nA)
$0 \oplus 0$	0	$0 \oplus 0$	0,70
$0 \oplus 1$	1	$0 \oplus 5$	3,45
$1 \oplus 0$	1	$5 \oplus 0$	3,45
$1 \oplus 1$	0	$5 \oplus 5$	0,66

XOR devresinin giriş ve çıkış akımları [0nA, 5nA] aralığında olup, besleme gerilimi $\pm 0,75V$ 'tur. Ek 3'te verilen ağırlık değerlerine göre tüm girişler maksimum değer olan 5nA iken güç tüketimi 385nW'tır.

5.5.2 İris Bitkisinin Sınıflandırılması

İris bitkisinin sınıflandırılması için oluşturulan YSA'da Şekil 5.12'de gösterildiği gibi; giriş katmanı, bir gizli katman ve çıkış katmanı olmak üzere çok katmanlı algılayıcı yapısı kullanılmıştır. Dört tane giriş olduğu için gizli katmanda dört tane nöron, denemeler sonucunda çıkış katmanında bir nöron kullanmak uygun bulunmuştur. Aynı zamanda her bir nöronun bir bias girişi vardır. Ağırlıkların başlangıç değerleri seçimi, sonucu etkilemediği görüldüğünden rastgele alınmıştır. Ağ eğitimiyle ağırlık ve bias değerleri elde edilmiştir. Yine, gizli katmana bağlı ağırlıklar w_1 matrisi, gizli katmana bağlı bias'lar b_1 matrisi, çıkış katmanına bağlı ağırlıklar w_2 matrisi ve çıkış katmanına bağlı bias'lar b_2 matrisi olarak adlandırılmış olup Ek 2'de verilmiştir.

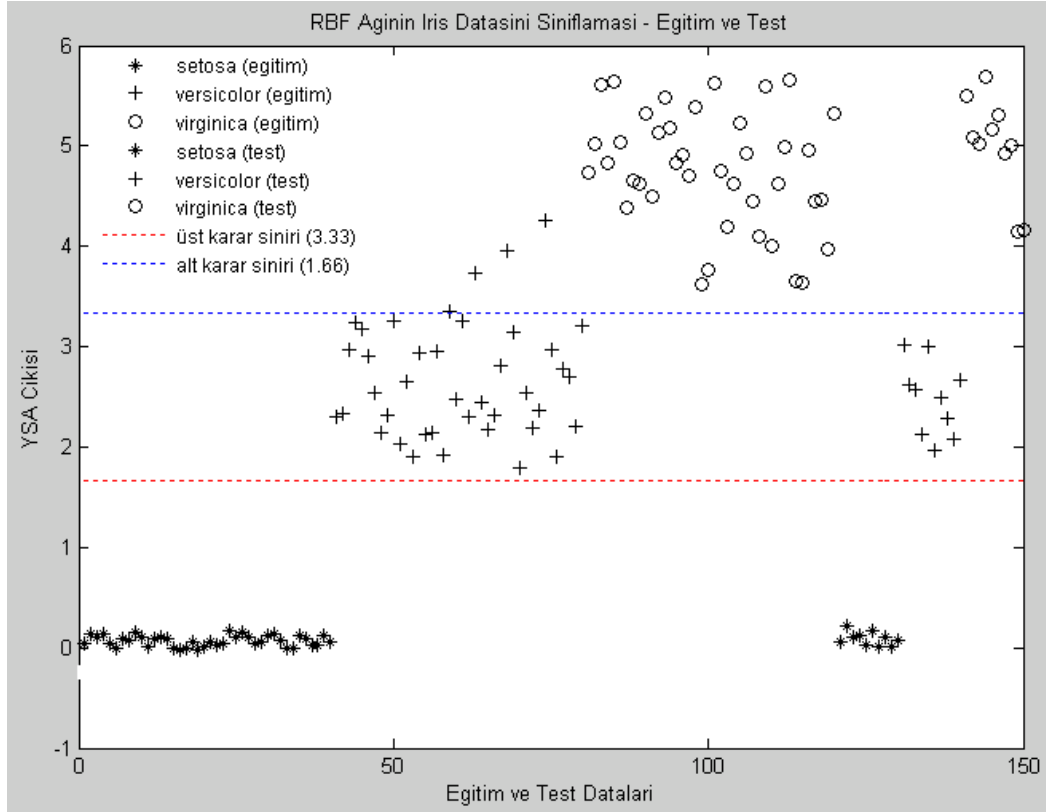


Şekil 5.12 İris bitkisinin sınıflandırılmasını gerçekleştiren ağ yapısı

Eğitme yapılırken MATLAB'ın hazır algoritmalarından olan 'newrb' seçilmiştir. Yayılma parametresi $S=2$ alınmıştır.

Ağ eğitilirken, normalize girişlerin her sınıfa ait ilk 40 tanesi toplamda 120 giriş eğitme verisi olarak, geriye kalan toplam 30 veri ise test verisi olarak seçilmiştir. Ağın hedef değerleri birinci sınıf için 0, ikinci sınıf için 2,5 ve üçüncü sınıf için 5 olarak kullanılmıştır. Sınıflandırma kriteri olarak ise birinci sınıfa dahil olanlar 1,666'dan küçük, ikinci sınıfa dahil olanlar 1,666 ile 3,333 arasında, üçüncü sınıfa dahil olanlar ise 3,333'ten büyük çıkışlar

olarak belirlenmiştir. Bu yapay sinir ağı, eğitime verileriyle eğitildikten sonra test verileri kullanılarak test işlemine tabi tutulmuştur. Elde edilen ağırlık değerleri kullanılarak eğitim ve test verileri denenip dağılım grafikleri aynı şekil üzerinde Şekil 5.13'te verilmiştir. Ayrıca ağın hem eğitime hem de test girişlerine verdiği yazılım çıkışları sayısal değer olarak Ek 5'te yer almaktadır. Ek 5'deki tablolarda koyu yazılı olanlar hatalı sınıflamayı göstermektedir.



Şekil 5.13 İris bitkisi sınıflandırmada eğitime ve test verilerinin dağılım grafiği

Test verisinde hiç hata olmamasına karşın *versicolor* sınıfına ait eğitime verisinde 4 tane hatalı çıkış görülmektedir, yani oluşturulan bu ağ, MATLAB programında eğitilerek toplam veri kümesinde 4/150'den %2,67'lik bir hata ile sonuçlanmış olur.

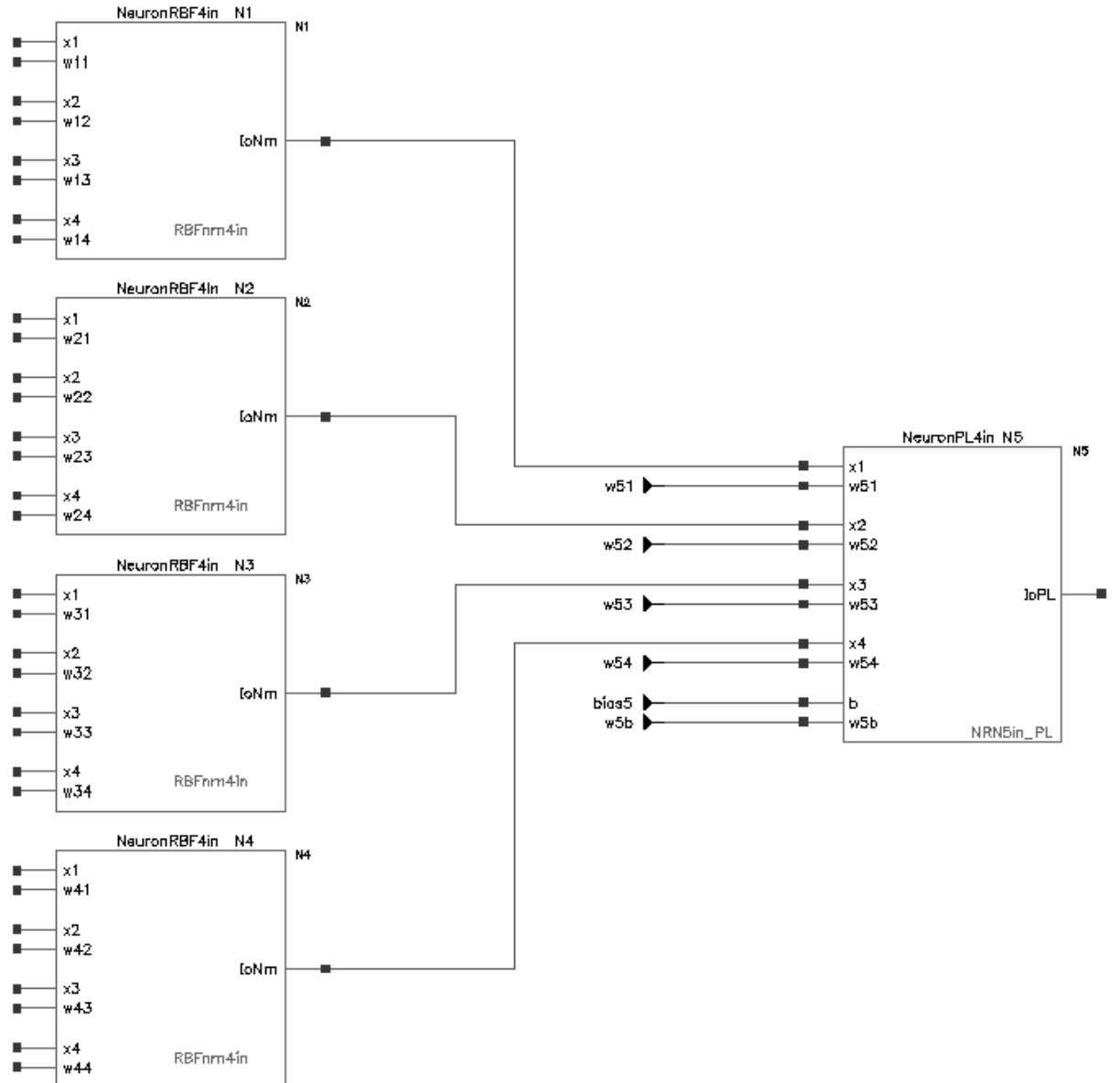
Elde edilen ağırlık değerlerine göre ağın beklenen sonucu verdiği görüldüğünden devre yapısı oluşturulmuştur.

5.5.2.1 Devre Yapısı ve Simülasyon Sonuçları

Şekil 5.12'de görüldüğü gibi ağın dört girişi vardır fakat her nörona ait bir bias girişi de mevcuttur. Gizli katmandaki nöronlar Gauss fonksiyonunu gerçekleyen nöronlar olduğundan, önceki bölümde XOR devresinde açıklandığı gibi, MATLAB'de bu defa $S=2$ alındığında $bias=0,8326/S$ olduğundan bias 0,4163 çıkar. Bu durumun devreye uygulanması ise $c_{1sp}=(2/3)C_T$ alınarak olur. Böylece gizli katman bias değeri devreye bu yolla uygulanmış

olur. Bu ağ yapısının çıkış katmanında ise doğrusal fonksiyonlu nöron olduğundan bu bias girişini 5nA almak şartıyla nöron girişi gibi alınabilir. Böylece Şekil 4.14’de verilen 4-girişli nöron devresinden dört tane, Şekil 4.12’de verilen 3-girişli doğrusal fonksiyonlu nöron devresinden türetilen 5-girişli doğrusal fonksiyonlu nöron devresinden de bir tane kullanılarak İris bitkisini sınıflandıran YSA tümdevresi gerçekleştirilir.

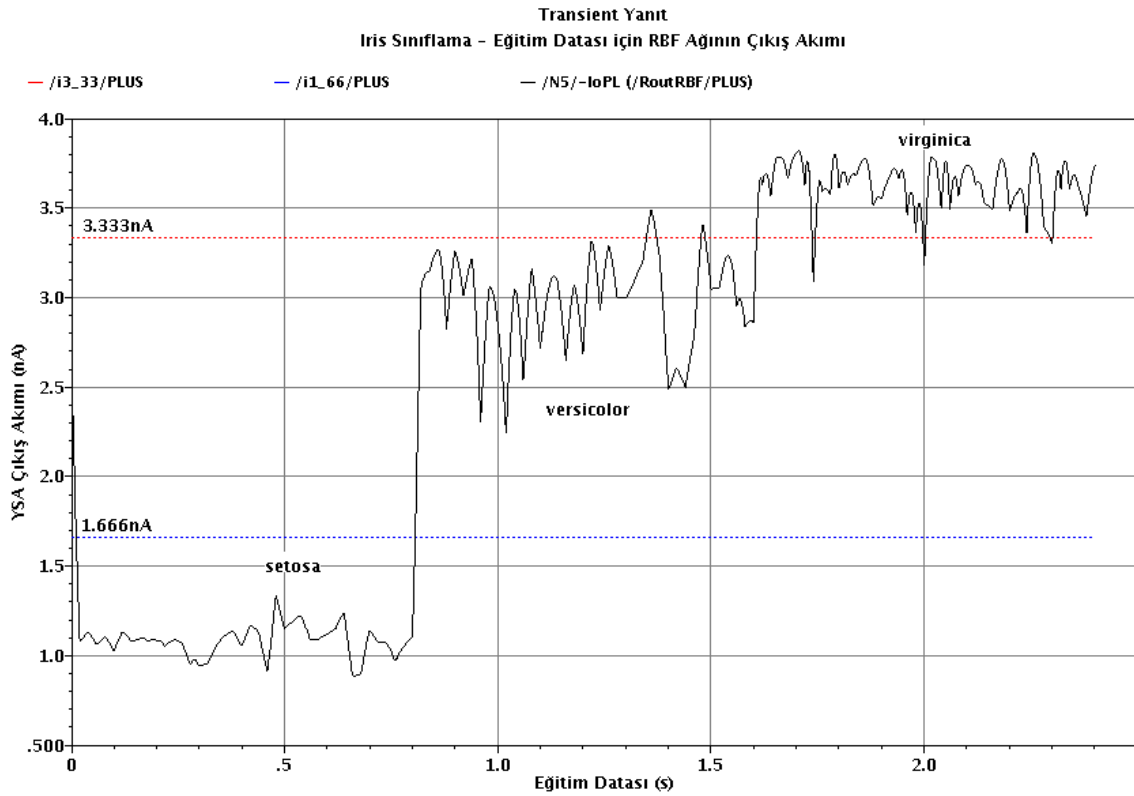
İris bitkisini sınıflandıran devre Şekil 5.14’te verilmiştir. Gizli katmandaki dört nöronun çıkışları, çıkış katmanındaki nöronun girişlerine bağlanmıştır. Devrenin veri girişlerinin yapıldığı x uçlarından giriş verisinin $[0nA, 5nA]$ aralığına normalize edilmiş hali girilmektedir. Ağırlık girişlerinin verildiği w uçlarından ise yazılım olarak elde edilen w_1, b_1, w_2 ve b_2 matrislerinin $[0nA, 5nA]$ aralığına ölçeklendirilmiş hali girilmektedir ve bunlar da Ek 3’te verilmiştir.



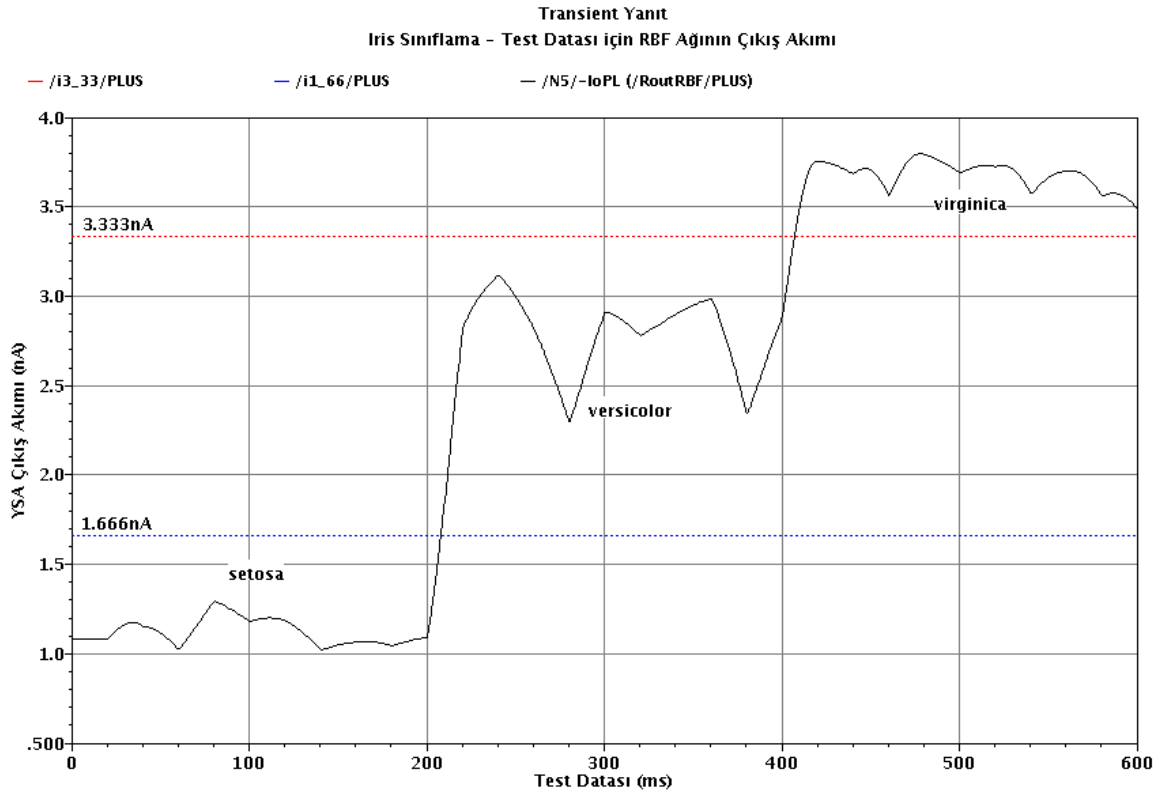
Şekil 5.14 İris bitkisini sınıflandıran YSA tümdevresi

Devrenin I_{oPL} ucundan alınmış çıkış akımına ait eğitme ve test verilerinin grafikleri sırasıyla Şekil 5.15 ve Şekil 5.16’da verilmiştir. Yine test verisinde hiç hatalı sınıflama olmamasına karşın, eğitme verisinde *versicolor* sınıfında 2, *virginica* sınıfında 3 adet hatalı çıkış görülmektedir. Bu defa yazılım sonuçlarından az da olsa bir sapma meydana gelmiştir. Ayrıca devrenin hem eğitme hem de test girişlerine verdiği donanım çıkışları sayısal değer olarak Ek 5’te yer almaktadır ve koyu yazılı olanlar hatalı sınıflamayı göstermektedir.

Yazılım ortamı sonucu ile donanım sonucu ÇKA’da olduğu gibi birbirine çok yakın değildir. Yazılım ortamında ağın denenmesi sonucunda aynı verilerin yanında birbirinden farklı veriler de yanlış sınıflandırılmaktadır. Daha fazla nöron kullanımı veya ağın farklı eğitimlerindeki daha yüksek başarımı, İris bitkisi uygulaması için daha yüksek sınıflama sonucu verebilecektir. Ek 5’te verilen sonuçlarla donanımın yazılıma yaklaşım başarısı gözlenmektedir.



Şekil 5.15 İris bitkisi sınıflama devresinin eğitme verilerine karşı çıkış akımı



Şekil 5.16 İris bitkisi sınıflama devresinin eğitime verilerine karşı çıkış akımı

RTF ağının bir uygulaması olan İris bitkisinin sınıflandırılması için yazılım ve donanım ortamlarında elde edilen eğitim ve test sonuçları Çizelge 5.4’te verilmiştir.

Çizelge 5.4 RTF ağında yazılım ve donanım ortamlarında İris bitkisinin sınıflandırma sonuçları

	<i>Yazılım Sonuçları</i>		<i>Donanım Sonuçları</i>	
	Eğitim	Test	Eğitim	Test
<i>Sınıflama Yüzdesi</i>	%96,7	%100	%95,8	%100
<i>Doğru Veri Sayısı</i>	116	30	115	30
<i>Toplam Veri Sayısı</i>	120	30	120	30

İris bitkisi sınıflama devresinin giriş ve çıkış akımları [0nA, 5nA] aralığında olup, besleme gerilimi $\pm 0,75V$ ’tur. Ek 3’te verilen ağırlık değerlerine göre girişlerin hepsi maksimum değer olan 5nA iken güç tüketimi 788nW’tır.

5.6 Analog YSA Tümdevrelerinin Çeşitli Uygulamalardaki Güç Tüketimleri

Bölüm içerisinde, devre anlatımlarının sonunda verilen güç tüketimleri, Çizelge (5.5)'te toplu olarak görülmektedir. Ek 3'teki ağırlık değerleri devrelere uygulanmışken, tüm girişlerin maksimum değer olan 5nA olduğu durumdaki güç tüketim değerleridir.

Çizelge 5.5 ÇKA ve RTF ağları tümdevrelerinin uygulamalardaki güç tüketim çizelgesi

<i>ÇKA Ağı Tümdevresi</i>	Güç Tüketimi[nW]	<i>RTF Ağı Tümdevresi</i>	Güç Tüketimi[nW]
<i>XOR Uygulaması</i>	858	<i>XOR Uygulaması</i>	385
<i>İris Bitkisi Sınıflama</i>	2420	<i>İris Bitkisi Sınıflama</i>	788

6. SONUÇLAR

Biyolojide, beyin ve duyu organları çok az güç harcayarak çalışır. Bu düşünceden yola çıkarak tezde, çok düşük gerilimlerde ve çok az güç harcayacak şekilde çalışan çeşitli analog yapay sinir ağı devrelerinin oluşturulmasında görev alan blokların tasarlanmasıyla, düşük gerilimde çalışan ve çok az güç tüketen analog nöron devreleri gerçekleştirilmiştir. Yapay nöron devrelerinin transistorlar seviyesinde gerçekleştirilmesi ve bu nöronlarla gerçekleştirilen yapay sinir ağı tümdevrelerinin uygulamaları ise gerçekleştirilmiş ve sonuçlar verilmiştir.

Bu amaca yönelik olarak çarpıcı, toplayıcı, çıkarıcı, akım aynası, mutlak değer alıcı, vektör uzunluğu hesaplayıcı, Öklid uzaklığı hesaplayıcı ve tanjant sigmoid, logaritmik sigmoid, Gauss fonksiyon üretici devre bloklarının eşikaltı bölgesinde çalışan FGMOS transistorlar kullanılarak tasarımı gerçekleştirilmiş, 0.5V ve 0.75V'da çalışan ve çok düşük güç tüketen devre blokları elde edilmiştir.

Bu gerçeklemeler yapılırken transistor bazında devre gerçekleştirme yöntemleri kullanılmış, devre tüm devre olarak tasarlandığından sadece transistor içerecek şekilde kurulmuştur. Aynı zamanda hem FGMOS hem de MOS transistorlarının kombinasyonları kullanılmıştır.

Örnek olarak uygulama devresine bakılacak olursa, burada yarı-özel (semi-custom) yapı kullanılmıştır. Ağırlıklar dışarıdan girildiği için değiştirilebilmektedir, böylece aynı veya daha az karmaşık bir ağ yapısına sahip farklı bir sınıflama veya herhangi bir işlem gerçeklemek mümkündür. Bu devre tümdevre olarak üretildiğinde içindeki yapılar modüler olduğu için içeriden herhangi bir uç alınarak ağın içindeki akış kontrol işlemi daha kolay bir şekilde yapılabilir. Ayrıca bu tüm devreler birbirine bağlanmak suretiyle değişik ağ yapılarına sahip devreler de oluşturulabilir. Eğer bu uygulama devresi daha özel bir yapı şeklinde üretilmek istenirse (full-custom), örneğin ağırlıkları sıfır olanlar hiç devreye katılmaz, böylece her sıfır ağırlık için çarpıcı sayısı bir azalır, fakat bu hiç kullanışlı bir yapı olmaz.

Çip içi öğrenme (on-chip-learning) ve çip dışı öğrenme (out-chip-learning) karşılaştırılması yapılırsa, çip-içi öğrenmenin daha hızlı ve entegre bir sistem olması avantajına karşın sadece öğrenme işlemi için ek bir donanıma ihtiyaç duyulması da dezavantajdır, çip-dışı öğrenme de ise ağırlıklar bilgisayarda öğrenme işlemiyle belirlendiğinden diğer avantajlarından feragat edilirse böyle bir ek donanıma ihtiyaç yoktur (Annema, 1995). Burada yapılan çalışmada bilindiği gibi çip dışı öğrenme kullanılmıştır. Ayrıca, tümdevre üzerinde öğrenme özelliğinin olması analog tasarımlarda etkili olan üretimde meydana gelen proses parametre saçılımlarının etkisini de en aza indirecektir.

Tasarımı yapılan devre blokları kullanılarak XOR problemi ve İris bitkisi sınıflamasını gerçekleyen ÇKA ve RTF Analog yapay sinir ağı tümdevreleri (yonga dışında öğrenen) tasarlanmış ve simülasyon sonuçları verilmiştir. Böylece biyomedikal uygulamalar, sensör ağları ve robot uygulamalarında da kullanılabilecek çok düşük gerilim ve çok az güç harcama gereksinimlerini karşılayacak YSA tümdevresi çalışmalarında önemli bir yol kat edilmesi amacına ulaşılmaktadır.

Tümdevrelerin verdiği çıkışların, bilgisayar ortamında aynı ağırlık ve bias değerine sahip ağına verdiği çıkışlara yakınlığı ile tümdevrelerin başarısı test edilmiş ve sınıflandırma başarılarının, yazılım ortamında elde edilen sınıflandırma performansına oldukça yakın olduğu gözlemlenmiştir. Yazılım ortamı sonucu ile donanım sonucu birbirine çok yakındır. Yazılım ortamında ağına denenmesi sonucunda da yine benzer veriler yanlış sınıflandırılmaktadır. Daha fazla nöron kullanımı veya ağına farklı eğitmelerindeki daha yüksek başarımı, herhangi bir uygulama için daha yüksek sınıflama sonucu verebilecektir. Ancak bu uygulamada esas önemli olan MATLAB ortamı sonuçları ile donanım gerçekleştirme sonuçlarının birbirine ne kadar yakın olduğudur. Sonuçların birbirine çok yakın olduğu gözlemlenmiştir. Tezde, MATLAB programının hazır algoritmaları kullanıldığından, ağı yapılarına ilişkin daha özel algoritmalar kullanılırsa sonuçlar birbirine daha yakın çıkabilir.

Tasarlanan her devrenin ilgili bölüm sonunda güç tüketim çizelgesi toplu olarak görülmektedir. Bu çizelgelerden de görüldüğü gibi çok düşük güç tüketimi amacı gerçekleştirilmiştir.

Eşikaltı bölgesini oldukça iyi bir şekilde tanımlayan BSIM3v3 simülasyon modeli ve FGMOS transistörler için tanımlanmış “Kapasitif kuplaj katsayılı makro model” kullanılmıştır. Devrelerin gerçekleştirilmesinde ise TSMC 0.35 μ m çift poli – çift metal CMOS parametreleri kullanılmıştır. Tezde kullanılan tüm transistörler eş transistördür. Boyutlar; n-kanallı transistörler için $L=0,8\mu$ m, $W=1,2\mu$ m’dir, p-kanallı transistörlerde genişlik 2,75 katı seçilmiş olup $L=0,8\mu$ m, $W=3,3\mu$ m’dir. Bu durum hem tasarım hem de üretim açısından önemli kolaylıklar sağlamaktadır. CADENCE programından elde edilen simülasyon sonuçları tez içerisinde verilmiştir.

Bu çalışmada farklı YSA yapısı olarak ÇKA ve RTF ağları tasarlanmıştır. Gelecek çalışmalarda ise tasarımı yapılan analog yapılara birkaç tasarım daha eklenerek GRSA ve KKFSFA yapıları oluşturulabilir. Ayrıca farklı veri kümeleri ile ağı yapıları test edilebilir.

İlerideki çalışmalar olarak ağırlıkların kendi içinde saklanıp, eğitilebileceği ve aynı zamanda bu işlemin daha basit bir yapı ile gerçekleştirilebileceği tasarımlar yapılabilir. Fakat bilinmelidir ki, bu tür çalışmalar geniş katılımlı olduğunda daha çabuk sonuca ulaşılacaktır. Genel amaçlı bir hedef varsa sayısal tümdevre tasarımlarının üstün yanları olabileceğinden, aynı zamanda analog ve sayısal tasarımların bir arada yapıldığı hibrit tasarımlar üzerinde durulabilir.

KAYNAKLAR

- Abuelma'ati, M.T. ve Shwehneh, A., (2006a), "A Reconfigurable Satlin / Sigmoid / Gaussian / Triangular Basis Functions Computation Circuit", IEEE APCCAS-2006, 4-7 December 2006, Singapore.
- Abuelma'ati, M.T. ve Shwehneh, A., (2006b), "A Reconfigurable Gaussian / Triangular Basis Functions Computation Circuit", Analog Integrated Circuits and Signal Processing, 47:53-64.
- Andreou, A.G., (1992), Minimal Circuit Models of Neurons, Synapses and Multivariable Functions for Analog VLSI Neuromorphic Computation, Report JHU/ECE-92-13, Johns Hopkins University, Baltimore.
- Annema, A.J, (1995), Feed Forward Neural Networks, Vector Decomposition Analysis, Modelling and Analog Implementation, Kluwer Academic Publishers, Boston.
- Antognetti, P., (1988), Semiconductor Device Modeling with SPICE, McGraw-Hill, New York.
- Bayraktaroğlu, İ., Öğrenci, A.S., DüNDAR, G., Balkır, S. ve Alpaydın, E., (1997), "ANNSyS: an Analog Neural Network Synthesis System", Neural Networks 1997, 9-12 June 1997, Houston.
- Babu, V.S., Sekhar, A., Devi, R.S. ve Baiju, M.R., (2009), "Floating Gate MOSFET Based Operational Transconductance Amplifier and Study of Mismatch", ICIEA-2009, 25-27 May 2009, Xi'an.
- Bo, G.M., Caviglia, D.D. ve Valle, M., (1996), "A Current Mode CMOS Multi-Layer Perceptron Chip", Microelectronics for Neural Networks, 12-14 February 1996, Lausanne.
- Buhmann, M.D. ve Ablowitz, M.J., (2003), Radial Basis Functions: Theory and Implementations, Cambridge University Press, Cambridge.
- Chang, C. ve Liu, S.J. (1998), "Weak Inversion Four-Quadrant Multiplier and Two-Quadrant Divider", IEEE Electronic Letters, 34(22):2079-2080.
- Churcland, P.S., (1986), Neurophilosophy: Toward A Unified Science of The Mind/Brain, MIT Press, Massachusetts.
- Churcland, P.S. ve Sejnowski, T.J., (1992), The Computational Brain, MIT Press, Massachusetts.
- Comer, D.T. ve Comer, D.J., (2004), "Operation of Analog MOS Circuits in the Weak or Moderate Inversion Region", IEEE Transactions on Education, 47(4):430-435.
- Croz-Blas, C.A.D.L., Lopez-Martin, A.J. ve Carlosena, A., (2005), "1.2V 5 μ W Class-AB CMOS Logdomain Integrator With Multidecade Tuning", IEEE Transactions on Circuits and Systems-II, 52(10):665 668.
- Drakaki, M., Fikos, G., ve Siskos, S., (2004), "Subthreshold Behaviour Modeling of FGMOS Transistors Using the ACM and the BSIM3V3 Models", 12. IEEE Mediterranean Electrotechnical Conference, 12-15 May 2004, Dubrovnik.
- Geske, G., Stupmann, F. ve Wego, A., (2003), "High Speed Color Recognition with an Analog Neural Network Chip", ICIT 2003, 10-12 December 2003, Maribor.
- Girau, B., (2001), "On-Chip Learning of FPGA-Inspired Neural Nets", IJCNN '01, 15-19 July 2001, Washington.

- Gopalan, A. ve Titus, A.H., (2003), "A New Wide Range Euclidean Distance Circuit for Neural Network Hardware Implementations", IEEE Transactions On Neural Networks, 14(5):1176-1186.
- Gupta, A.K. ve Bhat, N., (2005), "Asymmetric Cross-Coupled Diferantial Pair Configuration to Realize Neuron Activation Function and Its Derivative", IEEE Transactions on Circuits and Systems-II: Express Briefs, 52(1):10-13.
- Hashiesh, M.A., Mahmoud, S.A. ve Soliman, A.M., (2005), "New Four-Quadrant CMOS Current-Mode and Voltage-Mode Multipliers", Analog Integrated Circuits and Signal Processing, 45(3):295–307.
- Hasler, P., (2005), "Floating-Gate Devices, Circuits, and Systems", IEEE 9th International Database Engineering & Application Symposium, 25-27 July 2005, Montreal.
- Haykin, S.S., (1999), Neural Networks: A Comprehensive Foundation, Prentice Hall, New Jersey.
- Hieda, K., Wada, M., Shibata, T., ve Iizuka, H., (1983), "A New EEPROM Cell with Dual Control Gate Structure", VLSI Technology 1983, 13-15 September 1983, Maui.
- Jamuar, S.S., Sharma, S. ve Rajput, S.S., (2008), "Analog Signal Processing Using FGMOS Based Structures: A Tutorial," Journal of Active and Passive Electronic Devices, 3:109-124.
- Kahng, D. ve Sze, S.M., (1967), "A Floating-Gate and Its Application to Memory Devices," The Bell System Technical Journal, 46(4):1288-1295.
- Keleş, F., Avcı, M. ve Yıldırım, T., (2003), "Floating Gate MOS Transistor Based Low Voltage Neuron Design and XOR Problem Implementation", ELECO'2003, 3-7 December 2003, Bursa.
- Liu, B., Chen, C.Y. ve Tsao, J.Y., (2000), "A Modular Current-Mode Classifier Circuit for Template Matching Application", IEEE Transactions on Circuits and Systems-II, 47:145-151.
- Low, A. ve Hasler, P., (1999), "Cadence-Based Simulation of Floating-Gate Circuits Using the EKV Model", MWSCAS 1999, 8-11 August 1999, Las Cruces.
- Lu, C., Shi, B., ve Chen, L., (2001), "A Programmable On-Chip BP Learning Neural Network with Enhanced Neuron Characteristics", ISCAS 2001, 6-9 May 2001, Sydney.
- Marr, D., (1982), Vision, Freeman, New York.
- Masmoudi, D.S., Dieng, A.T. ve Masmoudi, M., (2002), "A Subthreshold Mode Programmable Implementation of the Gaussian Function for RBF Neural Networks Applications", ISIC 2002, 27-30 October 2002, Vancouver.
- Mead, C., (1989), Analog VLSI and Neural Systems, Addison Wesley Publishing Company, Massachusetts.
- Minch, B.A., Hasler, P., ve Diorio, C., (2001), "Multiple-Input Translinear Element Networks," IEEE Transactions on Circuits and Systems-II, 48(1):20–28.
- Mourabit, A., Lu, G., ve Pittet, P., (2005), "Wide-Linear-Range Subthreshold OTA for Low-Power, Low-Voltage, and Low-Frequency Applications", IEEE Transactions on Circuits and Systems-I, 52(8):1481–1488.
- Ochiai, T. ve Hatano, H., (1999), "A Proposition on Floating-Gate Neuron MOS Macromodelling for Device Fabrications", IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, E82-A(11):2485-2491.

- Ohmi, T., (1997), "Integrating Intelligence on Silicon Electronic Systems", An Inter-University Cooperative Research Project for Innovative Process, Device, Circuit and System Technologies", VLSI Circuits 1995, 8-10 June 1995, Kyoto.
- Panovik, M. ve Demosthenous, A., (2006), "A Low-Power Analog Motion Estimation Processor for Digital Video Coding", IEEE Journal of Solid-State Circuits, 41(3):673-684.
- Pavan, P., Larcher, L., Pietri, S., Albani, L. ve Marmiroli, A., (2002), "A New Compact DC Model of Floating Gate Memory Cells without Capacitive Coupling Coefficients", IEEE Transactions on Electronic Devices, 49(2):301-307.
- Pavan, P., Larcher, L. ve Marmiroli, A., (2004), Floating Gate Devices: Operation and Compact Modeling, Kluwer Academic Publishers, Dusseldorf.
- Rahimi, K., Diorio, C., Hernandez, C. ve Brockhausen, M.D., (2002), "A Simulation Model For Floating Gate MOS Synapse Transistor", ISCAS 2002, 26-29 May 2002, Phoenix-Scottsdale.
- Ramirez, A.J., (1996), " $\pm 0.75V$ BiCMOS Four Quadrant Analog Multiplier with Rail-Rail Input Signal-Swing", ISCAS 1996, 12-15 May 1996, Atlanta.
- Razavi, B., (2001), Design of Analog CMOS Integrated Circuits, McGraw-Hill, New York.
- Rodriguez-Villegas, E., Yufera, A., ve Rueda, A., (2004), "A 1-V Micropower Log-Domain Integrator Based on FGMOS Transistors Operating in Weak Inversion," IEEE Journal of Solid-State Circuits, 39(1):256-259.
- Rodriguez-Villegas, E., (2006), Low Power and Low Voltage Circuit Design with the FGMOS Transistor, The Institution of Engineering and Technology, London.
- Rodriguez-Villegas, E. ve Alam, I., (2006), "Ultra Low Power Four-Quadrant Multiplier/Two-Quadrant Divider Circuit Using FGMOS", MWSCAS 2006, 6-9 August 2006, San Juan.
- Sánchez-Sinencio, E., (2000), Floating Gate Techniques and Applications, Analog and Mixed-Signal Center, TAMU, Texas.
- Serrano-Gotarredona, T., Linares-Barranco, B. ve Velarde-Ramírez, J., (2004), "A Precise CMOS Mismatch Model for Analog Design from Weak to Strong Inversion", ISCAS 2004, 23-26 May 2004, Vancouver.
- Shibata, T. ve Ohmi, T., (1992), "A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations," IEEE Transactions on Electronic Devices, 39(6):1444-1455.
- Velmurugan, R., Subramanian, S., Cevher, V., Abramson, D. ve Odame, K.M., (2006), "On Low-Power Analog Implementation of Particular Filters for Target Tracking", EUSIPCO 2006, 4-8 September, Florence.
- Vlassis, S. ve Siskos, S., (2001), "Differential-Voltage Attenuator Based on Floating-Gate MOS Transistors and Its Applications", IEEE Transactions on Circuits and Systems-I, 48(11):1372-1378.
- Vlassis, S. ve Siskos, S., (2004), "Design of Voltage-Mode and Current-Mode Computational Circuits Using Floating-Gate MOS Transistors", IEEE Transactions on Circuits and Systems-I, 51(2):329-341.
- Waheed, K. ve Salam, F.M., (2001), "A Mixed Mode Self-Programming Neural System-on-Chip for Real-Time Applications", IJCNN 2001, 15-19 July 2001, Washington.

Wang, A., Calhoun, B.H. ve Chandrakasan, A.P., (2007), Sub-Threshold Design for Ultra Low-Power Systems, Springer, Cambridge.

Watanabe, T.K., Kimura, K., Aoki, M., Sakata, T. ve Ito, K., (1993), “A Single 1.5 V Digital Chip for a 10^6 Synapse Neural Network”, IEEE Transactions On Neural Networks, 4:387-393.

Werner, W., Prange, S.J., Thewes, R., Wohrlab, E. ve Luck, A., (1996), “On the Application of the Neuron MOS Transistor Principle for Modern VLSI Design”, IEEE Transactions on Electronic Devices, 43(10):1700-1708.

Yang, K. ve Andreou, A.G., (1994), “A Multiple Input Differential Amplifier Based on Charge Sharing on a Floating-Gate MOSFET”, Journal of Analog Integrated Circuits and Signal Processing, 6(3):197-208.

Yang, F. ve Paindavoine, M., (2003), “Implementation of An RBF Neural Network on Embedded Systems: Real-Time Face Tracking and Identity Verification”, IEEE Transactions on Neural Networks, 14(5):1162-1175.

Yıldırım, T. ve Marsland, J.S., (1996), “A Conic Section Function Network Synapse and Neuron Implementation in VLSI Hardware”, Neural Networks 1996, 3-6 June 1996, Washington.

İNTERNET KAYNAKLARI

[1] <http://www.mosis.org>

[2] http://www.eda.ncsu.edu/wiki/NCSU_EDA_Wiki

[3] <http://www-old.ics.uci.edu/pub/ml-repos/machine-learning-databases/>

EKLER

- Ek 1 MOSIS-TSMC 0.35 μ m proses ve model parametreleri
- Ek 2 Yazılım ortamında elde edilen ağırlık ve bias matrisleri
- Ek 3 Donanım ortamında tümdevrelere verilen ağırlık ve bias matrisleri
- Ek 4 İris bitkisi sınıflama uygulamasında ÇKA ağıнын yazılım ve donanım çıkışları
- Ek 5 İris bitkisi sınıflama uygulamasında RTF ağıнын yazılım ve donanım çıkışları

Ek 1 MOSIS-TSMC 0.35µm proses ve model parametreleri

MOSIS PARAMETRIC TEST RESULTS

RUN: N88Y
TECHNOLOGY: SCN035H

VENDOR: TSMC
FEATURE SIZE: 0.35 microns

INTRODUCTION: This report contains the lot average results obtained by MOSIS from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: SMCN3ME04

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	0.60/0.4			
Vth		0.54	-0.77	Volts
SHORT	3.6/0.4			
Idss		485	-218	uA/um
Vth		0.58	-0.76	Volts
Vpt		9.6	-8.9	Volts
WIDE	10/0.4			
Ids0		7.1	-10.0	Volts
			-0.4	pA/um
LARGE	3.6/3.6			
Vth		0.55	-0.76	Volts
Vj bkd		8.8	-8.2	Volts
Ijlk		-35.3	-7.2	pA
Gamma		0.62	0.39	V^0.5
Delta length		-0.05	-0.10	microns
(drawn - electrical)				
Delta width		0.15	0.10	microns
(drawn - electrical)				
K' (Uo*Cox/2)		94.4	-33.3	uA/V^2

COMMENTS: DL_TSMC_035

FOX TRANSISTORS	GATE	N+ACTIVE	P+ACTIVE	UNITS				
Vth	Poly	>15.0	<-15.0	Volts				
PROCESS PARAMETERS	N+ACTV	P+ACTV	POLY	POLY2	MTL1	MTL2	MTL3	UNITS
Sheet Resistance	79.1	153.4	7.4	47.4	0.07	0.07	0.04	ohms/sq
Width Variation	0.01	0.05	0.04	-0.24	0.11	-0.03	-0.03	microns
(measured - drawn)								
Contact Resistance	54.8	118.5	5.6	31.4		1.31	1.42	ohms
Gate Oxide Thickness	76							angstrom

PROCESS PARAMETERS	N_WELL	N\PLY	UNITS
Sheet Resistance	1011	1081	ohms/sq
Width Variation			microns
(measured - drawn)			
Contact Resistance			ohms

COMMENTS: N\POLY is N-well under polysilicon.

CAPACITANCE PARAMS	N+ACTV	P+ACTV	POLY	POLY2	MTL1	MTL2	MTL3	N_WELL	UNITS
Area (substrate)	21	1408	117		23	11	6	55	aF/um^2
Area (N+active)			4562	1035	28	16	11		aF/um^2
Area (P+active)			4561	635					aF/um^2
Area (poly)				894	46	15	9		aF/um^2
Area (poly2)					44				aF/um^2
Area (metall1)						36	13		aF/um^2
Area (metal2)							36		aF/um^2
Fringe (substrate)	299	385			54	30	31		aF/um
Fringe (poly)					61	37	28		aF/um
Fringe (metall1)						56	35		aF/um
Fringe (metal2)							53		aF/um
Overlap (N+active)				306					aF/um
Overlap (P+active)				590					aF/um

CIRCUIT PARAMETERS			UNITS
Inverters	K		
Vinv	1.0	1.25	Volts
Vinv	1.5	1.39	Volts
Vol (100 uA)	2.0	0.34	Volts
Voh (100 uA)	2.0	2.84	Volts
Vinv	2.0	1.48	Volts
Gain	2.0	-19.75	
Ring Oscillator Freq.			
DIV4 (31-stage,3.3V)		196.17	MHz
Ring Oscillator Power			
DIV4 (31-stage,3.3V)		5.83	uW/MHz/g

COMMENTS: SUBMICRON

N88Y SPICE BSIM3 VERSION 3.1 (HSPICE Level 49) PARAMETERS

```

* DATE: Oct 30/98
* LOT: n88y WAF: 11
* Temperature_parameters=Default
.MODEL CMOSN NMOS (
+VERSION = 3.1 TNOM = 27 LEVEL = 49
+XJ = 1.5E-7 NCH = 1.7E17 TOX = 7.6E-9
+K1 = 0.5307769 K2 = 0.0199705 VTH0 = 0.4964448
+K3B = 0.2012165 W0 = 2.836319E-6 K3 = 0.2963637
+DVT0W = 0 DVT1W = 5.3E6 NLX = 2.894802E-7
+DVT0 = 0.112017 DVT1 = 0.2453972 DVT2W = -0.032
+U0 = 444.9381976 UA = 2.921284E-10 DVT2 = -0.171915
+UC = 7.067896E-11 VSAT = 1.130785E5 A0 = 1.1356246
+AGS = 0.2810374 B0 = 2.844393E-7 B1 = 5E-6
+KETA = -7.8181E-3 A1 = 0 A2 = 1
+RDSW = 925.2701982 PRWG = -1E-3 PRWB = -1E-3
+WR = 1 WINT = 7.186965E-8 LINT = 1.735515E-9
+XL = 0 XW = 0 DWG = -1.712973E-8
+DWB = 5.851691E-9 VOFF = -0.132935 NFACTOR = 0.5710974
+CIT = 0 CDSC = 8.607229E-4 CDSCD = 0
+CDSCB = 0 ETA0 = 2.128321E-3 ETAB = 0
+DSUB = 0.0257957 PCLM = 0.6766314 PDIBLC1 = 1
+PDIBLC2 = 1.787424E-3 PDIBLCB = 0 DROUT = 0.7873539
+PSCBE1 = 6.973485E9 PSCBE2 = 1.46235E-7 PVAG = 0.05
+DELTA = 0.01 MOBMOD = 1 PRT = 0
+UTE = -1.5 KT1 = -0.11 KT1L = 0
+KT2 = 0.022 UA1 = 4.31E-9 UB1 = -7.61E-18

```

+UC1	= -5.6E-11	AT	= 3.3E4	WL	= 0
+WLN	= 1	WW	= 0	WWN	= 1
+WWL	= 0	LL	= 0	LLN	= 1
+LW	= 0	LWN	= 1	LWL	= 0
+CAPMOD	= 2	CGDO	= 3.06E-10	CGSO	= 3.06E-10
+CGBO	= 0	CJ	= 9.276962E-4	PB	= 0.8157962
+MJ	= 0.3557696	CJSW	= 3.181055E-10	PBSW	= 0.6869149
+MJSW	= 0.1	PVTH0	= -0.0252481	PRDSW	= -96.4502805
+PK2	= -4.805372E-3	WKETA	= -7.643187E-4	LKETA	= -0.0129496)
*					
.MODEL CMOS PMOS (			LEVEL = 49		
+VERSION	= 3.1	TNOM	= 27	TOX	= 7.6E-9
+XJ	= 1.5E-7	NCH	= 1.7E17	VTH0	= -0.6636594
+K1	= 0.4564781	K2	= -0.019447	K3	= 39.382919
+K3B	= -2.8930965	W0	= 2.655585E-6	NLX	= 1.51028E-7
+DVT0W	= 0	DVT1W	= 5.3E6	DVT2W	= -0.032
+DVT0	= 1.1744581	DVT1	= 0.7631128	DVT2	= -0.1035171
+U0	= 151.3305606	UA	= 2.061211E-10	UB	= 1.823477E-18
+UC	= -8.97321E-12	VSAT	= 9.915604E4	A0	= 1.1210053
+AGS	= 0.3961954	B0	= 6.493139E-7	B1	= 4.273215E-6
+KETA	= -9.27E-3	A1	= 0	A2	= 1
+RDSW	= 2.30725E3	PRWG	= -1E-3	PRWB	= 0
+WR	= 1	WINT	= 5.962233E-8	LINT	= 4.30928E-9
+XL	= 0	XW	= 0	DWG	= -1.596201E-8
+DWB	= 1.378919E-8	VOFF	= -0.15	NFACTOR	= 2
+CIT	= 0	CDSC	= 6.593084E-4	CDSCD	= 0
+CDSCB	= 0	ETA0	= 0.0286461	ETAB	= 0
+DSUB	= 0.2436027	PCLM	= 4.3597508	PDIBLC1	= 7.447024E-4
+PDIBLC2	= 4.256073E-3	PDIBLCB	= 0	DROUT	= 0.0120292
+PSCBE1	= 1.347622E10	PSCBE2	= 5E-9	PVAG	= 3.669793
+DELTA	= 0.01	MOBMOD	= 1	PRT	= 0
+UTE	= -1.5	KT1	= -0.11	KT1L	= 0
+KT2	= 0.022	UA1	= 4.31E-9	UB1	= -7.61E-18
+UC1	= -5.6E-11	AT	= 3.3E4	WL	= 0
+WLN	= 1	WW	= 0	WWN	= 1
+WWL	= 0	LL	= 0	LLN	= 1
+LW	= 0	LWN	= 1	LWL	= 0
+CAPMOD	= 2	CGDO	= 5.90E-10	CGSO	= 5.90E-10
+CGBO	= 0	CJ	= 1.420282E-3	PB	= 0.99
+MJ	= 0.5490877	CJSW	= 4.773605E-10	PBSW	= 0.99
+MJSW	= 0.1997417	PVTH0	= 6.58707E-3	PRDSW	= -93.5582228
+PK2	= 1.011593E-3	WKETA	= -0.0101398	LKETA	= 6.027967E-3)

Ek 2 Yazılım ortamında elde edilen ağırlık ve bias matrisleri

XOR problemini gerçekleyen ÇKA ağına ilişkin matrisler:

$$w_1 = \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix}, \quad b_1 = \begin{bmatrix} -1 \\ -1 \end{bmatrix}, \quad w_2 = [1 \quad 1], \quad b_2 = [1]$$

XOR problemini gerçekleyen RTF ağına ilişkin matrisler:

$$w_1 = \begin{bmatrix} 0 & 5 \\ 5 & 0 \end{bmatrix}, \quad b_1 = \begin{bmatrix} 0,8326 \\ 0,8326 \end{bmatrix}, \quad w_2 = [5 \quad 5], \quad b_2 = [-2,98 \cdot 10^{-5}]$$

İris bitkisi sınıflamayı gerçekleyen ÇKA ağına ilişkin matrisler:

$$w_1 = \begin{bmatrix} 0,031 & 0,278 & -0,261 & 0,184 \\ -0,218 & 0,752 & -0,489 & -0,638 \\ -0,393 & -0,202 & 1,842 & 1,525 \\ 0,414 & 0,211 & -0,116 & -0,440 \end{bmatrix}, \quad b_1 = \begin{bmatrix} -1,962 \\ -0,898 \\ -1,866 \\ 1,794 \end{bmatrix}$$

$$w_2 = [-0,561 \quad -1,607 \quad 2,000 \quad -0,488], \quad b_2 = [0,460]$$

İris bitkisi sınıflamayı gerçekleyen RTF ağına ilişkin matrisler:

$$w_1 = \begin{bmatrix} 2,915 & 1,665 & 3,900 & 4,375 \\ 4,720 & 3,750 & 4,830 & 4,375 \\ 0,835 & 1,040 & 2,965 & 3,335 \\ 2,220 & 2,500 & 3,220 & 3,540 \end{bmatrix}, \quad b_1 = \begin{bmatrix} 0,416 \\ 0,416 \\ 0,416 \\ 0,416 \end{bmatrix}$$

$$w_2 = [5,010 \quad 4,565 \quad 4,100 \quad -2,916], \quad b_2 = [0,004]$$

Ek 3 Donanım ortamında tümdevrelere verilen ağırlık ve bias matrisleri

XOR problemini gerçekleyen ÇKA ağı devresine ilişkin matrisler:

$$w_1 = \begin{bmatrix} 5 & -5 \\ -5 & 5 \end{bmatrix} \times 10^{-9}, \quad b_1 = \begin{bmatrix} -5 \end{bmatrix} \times 10^{-9}, \quad w_2 = \begin{bmatrix} 5 & 5 \end{bmatrix} \times 10^{-9}, \quad b_2 = \begin{bmatrix} 5 \end{bmatrix} \times 10^{-9}$$

XOR problemini gerçekleyen RTF ağı devresine ilişkin matrisler:

$$w_1 = \begin{bmatrix} 0 & 5 \\ 5 & 0 \end{bmatrix} \times 10^{-9}, \quad w_2 = \begin{bmatrix} 5 & 5 \end{bmatrix} \times 10^{-9}, \quad b_2 = \begin{bmatrix} -2,98 \cdot 10^{-5} \end{bmatrix} \times 10^{-9}$$

İris bitkisi sınıflamayı gerçekleyen ÇKA ağı devresine ilişkin matrisler:

$$w_1 = \begin{bmatrix} 0,08 & 0,70 & -0,65 & 0,46 \\ -0,55 & 1,88 & -1,22 & -1,60 \\ -0,98 & -0,51 & 4,60 & 3,81 \\ 1,03 & 0,53 & -0,29 & -1,10 \end{bmatrix} \times 10^{-9}, \quad b_1 = \begin{bmatrix} -4,91 \\ -2,25 \\ -4,67 \\ 4,49 \end{bmatrix} \times 10^{-9}$$

$$w_2 = \begin{bmatrix} -1,40 & -4,02 & 5,00 & -1,22 \end{bmatrix} \times 10^{-9}, \quad b_2 = \begin{bmatrix} 1,15 \end{bmatrix} \times 10^{-9}$$

İris bitkisi sınıflamayı gerçekleyen RTF ağı devresine ilişkin matrisler:

$$w_1 = \begin{bmatrix} 2,92 & 1,67 & 3,90 & 4,38 \\ 4,72 & 3,750 & 4,830 & 4,38 \\ 0,84 & 1,04 & 2,97 & 3,34 \\ 2,22 & 2,50 & 3,22 & 3,54 \end{bmatrix} \times 10^{-9},$$

$$w_2 = \begin{bmatrix} 5,00 & 4,56 & 4,10 & -2,92 \end{bmatrix} \times 10^{-9}, \quad b_2 = \begin{bmatrix} 0,004 \end{bmatrix} \times 10^{-9}$$

Ek 4 İris bitkisi sınıflama uygulamasında ÇKA ağının yazılım ve donanım çıkışları

TEST İŞLEMİ					
Girişler	Yazılım Çıkışı	Donanım Çıkışı (nA)	Donanım Çıkışı/5.10⁻⁹	Hedef Yazılım	Hedef Donanım (nA)
1. örnek	-0,971	-3,990	-0,798	-1	-5
2. örnek	-0,766	-2,968	-0,594	-1	-5
3. örnek	-0,964	-3,807	-0,761	-1	-5
4. örnek	-0,946	-3,444	-0,689	-1	-5
5. örnek	-0,972	-3,757	-0,751	-1	-5
6. örnek	-0,926	-3,524	-0,705	-1	-5
7. örnek	-0,981	-4,167	-0,833	-1	-5
8. örnek	-0,960	-3,812	-0,762	-1	-5
9. örnek	-0,978	-4,164	-0,833	-1	-5
10. örnek	-0,962	-3,910	-0,782	-1	-5
11. örnek	0,082	0,689	0,138	0	0
12. örnek	0,131	0,970	0,194	0	0
13. örnek	-0,028	0,450	0,090	0	0
14. örnek	-0,151	-0,148	-0,030	0	0
15. örnek	0,052	0,753	0,151	0	0
16. örnek	-0,153	0,245	0,049	0	0
17. örnek	-0,034	0,543	0,109	0	0
18. örnek	-0,011	0,541	0,108	0	0
19. örnek	-0,235	-0,443	-0,089	0	0
20. örnek	-0,019	0,529	0,106	0	0
21. örnek	0,994	3,626	0,725	1	5
22. örnek	0,962	3,080	0,616	1	5
23. örnek	0,919	2,896	0,579	1	5
24. örnek	0,994	3,661	0,732	1	5
25. örnek	0,996	3,807	0,761	1	5
26. örnek	0,977	3,299	0,660	1	5
27. örnek	0,876	2,894	0,579	1	5
28. örnek	0,911	2,742	0,548	1	5
29. örnek	0,987	3,184	0,637	1	5
30. örnek	0,820	2,393	0,479	1	5

EĞİTİM İŞLEMİ					
Girişler	Yazılım Çıkışı	Donanım Çıkışı (nA)	Donanım Çıkışı/5.10⁻⁹	Hedef Yazılım	Hedef Donanım (nA)
1. örnek	-0,972	-3,944	-0,789	-1	-5
2. örnek	-0,935	-3,670	-0,734	-1	-5
3. örnek	-0,960	-3,851	-0,770	-1	-5
4. örnek	-0,949	-3,669	-0,734	-1	-5
5. örnek	-0,977	-4,119	-0,824	-1	-5
6. örnek	-0,977	-3,993	-0,799	-1	-5
7. örnek	-0,967	-3,834	-0,767	-1	-5
8. örnek	-0,967	-3,925	-0,785	-1	-5
9. örnek	-0,934	-3,550	-0,710	-1	-5
10. örnek	-0,952	-3,801	-0,760	-1	-5
11. örnek	-0,977	-4,171	-0,834	-1	-5
12. örnek	-0,967	-3,877	-0,775	-1	-5
13. örnek	-0,947	-3,779	-0,756	-1	-5
14. örnek	-0,961	-3,898	-0,780	-1	-5
15. örnek	-0,986	-4,541	-0,908	-1	-5

16. örnek	-0,988	-4,476	-0,895	-1	-5
17. örnek	-0,980	-4,204	-0,841	-1	-5
18. örnek	-0,968	-3,953	-0,791	-1	-5
19. örnek	-0,974	-4,051	-0,810	-1	-5
20. örnek	-0,980	-4,118	-0,824	-1	-5
21. örnek	-0,958	-3,858	-0,772	-1	-5
22. örnek	-0,973	-3,916	-0,783	-1	-5
23. örnek	-0,983	-4,294	-0,859	-1	-5
24. örnek	-0,926	-3,387	-0,677	-1	-5
25. örnek	-0,962	-3,683	-0,737	-1	-5
26. örnek	-0,925	-3,554	-0,711	-1	-5
27. örnek	-0,952	-3,616	-0,723	-1	-5
28. örnek	-0,970	-4,003	-0,801	-1	-5
29. örnek	-0,966	-3,994	-0,799	-1	-5
30. örnek	-0,954	-3,709	-0,742	-1	-5
31. örnek	-0,942	-3,622	-0,724	-1	-5
32. örnek	-0,948	-3,699	-0,740	-1	-5
33. örnek	-0,989	-4,546	-0,909	-1	-5
34. örnek	-0,989	-4,595	-0,919	-1	-5
35. örnek	-0,943	-3,718	-0,744	-1	-5
36. örnek	-0,958	-3,918	-0,784	-1	-5
37. örnek	-0,970	-4,132	-0,826	-1	-5
38. örnek	-0,981	-4,249	-0,850	-1	-5
39. örnek	-0,948	-3,698	-0,740	-1	-5
40. örnek	-0,965	-3,927	-0,785	-1	-5
41. örnek	0,044	0,472	0,094	0	0
42. örnek	0,079	0,815	0,163	0	0
43. örnek	0,249	1,190	0,238	0	0
44. örnek	0,135	1,052	0,210	0	0
45. örnek	0,259	1,299	0,260	0	0
46. örnek	0,109	0,967	0,193	0	0
47. örnek	0,238	1,146	0,229	0	0
48. örnek	-0,198	-0,212	-0,042	0	0
49. örnek	0,065	0,710	0,142	0	0
50. örnek	0,050	0,804	0,161	0	0
51. örnek	-0,012	0,377	0,075	0	0
52. örnek	0,075	0,818	0,164	0	0
53. örnek	0,007	0,417	0,083	0	0
54. örnek	0,212	1,134	0,227	0	0
55. örnek	-0,186	0,037	0,007	0	0
56. örnek	-0,001	0,535	0,107	0	0
57. örnek	0,227	1,170	0,234	0	0
58. örnek	-0,153	0,042	0,008	0	0
59. örnek	0,406	1,829	0,366	0	0
60. örnek	-0,063	0,360	0,072	0	0
61. örnek	0,637	1,810	0,362	0	0
62. örnek	-0,046	0,445	0,089	0	0
63. örnek	0,495	1,888	0,378	0	0
64. örnek	0,078	0,873	0,175	0	0
65. örnek	-0,013	0,510	0,102	0	0
66. örnek	0,039	0,661	0,132	0	0
67. örnek	0,227	1,216	0,243	0	0
68. örnek	0,567	1,847	0,369	0	0
69. örnek	0,230	1,242	0,248	0	0
70. örnek	-0,217	-0,387	-0,077	0	0

71. örnek	-0,047	0,281	0,056	0	0
72. örnek	-0,111	0,006	0,001	0	0
73. örnek	-0,087	0,258	0,052	0	0
74. örnek	0,689	2,147	0,429	0	0
75. örnek	0,248	1,280	0,256	0	0
76. örnek	0,112	0,938	0,188	0	0
77. örnek	0,181	1,051	0,210	0	0
78. örnek	0,197	1,233	0,247	0	0
79. örnek	-0,110	0,406	0,081	0	0
80. örnek	0,072	0,887	0,177	0	0
81. örnek	0,998	4,027	0,805	1	5
82. örnek	0,919	2,935	0,587	1	5
83. örnek	0,984	3,401	0,680	1	5
84. örnek	0,928	2,866	0,573	1	5
85. örnek	0,993	3,635	0,727	1	5
86. örnek	0,995	3,876	0,775	1	5
87. örnek	0,717	2,393	0,479	1	5
88. örnek	0,971	3,206	0,641	1	5
89. örnek	0,957	3,312	0,662	1	5
90. örnek	0,997	3,744	0,749	1	5
91. örnek	0,866	2,501	0,500	1	5
92. örnek	0,919	2,924	0,585	1	5
93. örnek	0,967	3,134	0,627	1	5
94. örnek	0,953	3,222	0,644	1	5
95. örnek	0,993	3,730	0,746	1	5
96. örnek	0,984	3,257	0,651	1	5
97. örnek	0,884	2,633	0,527	1	5
98. örnek	0,995	3,446	0,689	1	5
99. örnek	0,999	4,716	0,943	1	5
100. örnek	0,649	2,523	0,505	1	5
101. örnek	0,991	3,457	0,691	1	5
102. örnek	0,927	2,894	0,579	1	5
103. örnek	0,995	3,907	0,781	1	5
104. örnek	0,743	2,441	0,488	1	5
105. örnek	0,976	3,034	0,607	1	5
106. örnek	0,925	2,714	0,543	1	5
107. örnek	0,694	2,226	0,445	1	5
108. örnek	0,710	2,150	0,430	1	5
109. örnek	0,985	3,441	0,688	1	5
110. örnek	0,771	2,359	0,472	1	5
111. örnek	0,971	3,293	0,659	1	5
112. örnek	0,969	2,800	0,560	1	5
113. örnek	0,991	3,638	0,728	1	5
114. örnek	0,515	1,903	0,381	1	5
115. örnek	0,732	2,346	0,469	1	5
116. örnek	0,994	3,794	0,759	1	5
117. örnek	0,994	3,537	0,707	1	5
118. örnek	0,882	2,552	0,510	1	5
119. örnek	0,677	2,082	0,416	1	5
120. örnek	0,950	2,906	0,581	1	5

Ek 5 İris bitkisi sınıflama uygulamasında RTF ağının yazılım ve donanım çıkışları

TEST İŞLEMİ				
Girişler	Yazılım Çıkışı	Donanım Çıkışı (nA)	Hedef Yazılım	Hedef Donanım (nA)
1. örnek	0,057	1,084	0	0
2. örnek	0,221	1,155	0	0
3. örnek	0,100	1,025	0	0
4. örnek	0,118	1,300	0	0
5. örnek	0,021	1,184	0	0
6. örnek	0,171	1,187	0	0
7. örnek	0,014	1,024	0	0
8. örnek	0,108	1,068	0	0
9. örnek	0,015	1,049	0	0
10. örnek	0,081	1,095	0	0
11. örnek	3,016	2,826	2,5	2,5
12. örnek	2,626	3,122	2,5	2,5
13. örnek	2,567	2,822	2,5	2,5
14. örnek	2,134	2,298	2,5	2,5
15. örnek	3,002	2,916	2,5	2,5
16. örnek	1,965	2,783	2,5	2,5
17. örnek	2,491	2,903	2,5	2,5
18. örnek	2,277	2,991	2,5	2,5
19. örnek	2,078	2,343	2,5	2,5
20. örnek	2,667	2,888	2,5	2,5
21. örnek	5,504	3,755	5	5
22. örnek	5,093	3,687	5	5
23. örnek	5,021	3,564	5	5
24. örnek	5,696	3,795	5	5
25. örnek	5,167	3,693	5	5
26. örnek	5,304	3,728	5	5
27. örnek	4,928	3,574	5	5
28. örnek	5,002	3,701	5	5
29. örnek	4,150	3,562	5	5
30. örnek	4,156	3,490	5	5

EĞİTİM İŞLEMİ				
Girişler	Yazılım Çıkışı	Donanım Çıkışı (nA)	Hedef Yazılım	Hedef Donanım (nA)
1. örnek	0,046	1,093	0	0
2. örnek	0,136	1,139	0	0
3. örnek	0,099	1,065	0	0
4. örnek	0,135	1,106	0	0
5. örnek	0,037	1,028	0	0
6. örnek	-0,011	1,135	0	0
7. örnek	0,093	1,080	0	0
8. örnek	0,069	1,095	0	0
9. örnek	0,153	1,085	0	0
10. örnek	0,102	1,089	0	0
11. örnek	0,010	1,057	0	0
12. örnek	0,082	1,091	0	0
13. örnek	0,111	1,072	0	0
14. örnek	0,086	0,951	0	0
15. örnek	-0,013	0,943	0	0

16. örnek	-0,024	0,956	0	0
17. örnek	-0,006	1,056	0	0
18. örnek	0,055	1,112	0	0
19. örnek	-0,014	1,139	0	0
20. örnek	0,016	1,054	0	0
21. örnek	0,054	1,168	0	0
22. örnek	0,033	1,134	0	0
23. örnek	0,036	0,915	0	0
24. örnek	0,168	1,338	0	0
25. örnek	0,099	1,154	0	0
26. örnek	0,153	1,192	0	0
27. örnek	0,110	1,227	0	0
28. örnek	0,044	1,094	0	0
29. örnek	0,055	1,093	0	0
30. örnek	0,123	1,121	0	0
31. örnek	0,141	1,153	0	0
32. örnek	0,070	1,243	0	0
33. örnek	-0,004	0,889	0	0
34. örnek	-0,012	0,901	0	0
35. örnek	0,128	1,142	0	0
36. örnek	0,084	1,077	0	0
37. örnek	0,025	1,073	0	0
38. örnek	0,033	0,970	0	0
39. örnek	0,129	1,051	0	0
40. örnek	0,064	1,105	0	0
41. örnek	2,303	3,045	2,5	2,5
42. örnek	2,339	3,149	2,5	2,5
43. örnek	2,967	3,276	2,5	2,5
44. örnek	3,235	2,829	2,5	2,5
45. örnek	3,178	3,265	2,5	2,5
46. örnek	2,910	3,013	2,5	2,5
47. örnek	2,545	3,225	2,5	2,5
48. örnek	2,144	2,309	2,5	2,5
49. örnek	2,311	3,053	2,5	2,5
50. örnek	3,252	2,845	2,5	2,5
51. örnek	2,029	2,265	2,5	2,5
52. örnek	2,647	3,057	2,5	2,5
53. örnek	1,906	2,562	2,5	2,5
54. örnek	2,936	3,163	2,5	2,5
55. örnek	2,130	2,732	2,5	2,5
56. örnek	2,146	3,060	2,5	2,5
57. örnek	2,951	3,088	2,5	2,5
58. örnek	1,920	2,664	2,5	2,5
59. örnek	3,355	3,070	2,5	2,5
60. örnek	2,480	2,702	2,5	2,5
61. örnek	3,252	3,324	2,5	2,5
62. örnek	2,302	2,936	2,5	2,5
63. örnek	3,735	3,293	2,5	2,5
64. örnek	2,444	3,004	2,5	2,5
65. örnek	2,173	2,999	2,5	2,5
66. örnek	2,322	3,093	2,5	2,5
67. örnek	2,808	3,203	2,5	2,5
68. örnek	3,952	3,491	2,5	2,5
69. örnek	3,143	3,206	2,5	2,5
70. örnek	1,796	2,493	2,5	2,5

71. örnek	2,539	2,614	2,5	2,5
72. örnek	2,192	2,504	2,5	2,5
73. örnek	2,362	2,791	2,5	2,5
74. örnek	4,257	3,415	2,5	2,5
75. örnek	2,976	3,047	2,5	2,5
76. örnek	1,909	3,062	2,5	2,5
77. örnek	2,773	3,240	2,5	2,5
78. örnek	2,707	2,955	2,5	2,5
79. örnek	2,206	2,837	2,5	2,5
80. örnek	3,201	2,899	2,5	2,5
81. örnek	4,739	3,637	5	5
82. örnek	5,021	3,570	5	5
83. örnek	5,608	3,786	5	5
84. örnek	4,823	3,669	5	5
85. örnek	5,645	3,811	5	5
86. örnek	5,031	3,647	5	5
87. örnek	4,381	3,117	5	5
88. örnek	4,649	3,598	5	5
89. örnek	4,620	3,592	5	5
90. örnek	5,322	3,618	5	5
91. örnek	4,489	3,635	5	5
92. örnek	5,135	3,683	5	5
93. örnek	5,480	3,780	5	5
94. örnek	5,182	3,519	5	5
95. örnek	4,839	3,554	5	5
96. örnek	4,904	3,684	5	5
97. örnek	4,699	3,667	5	5
98. örnek	5,391	3,471	5	5
99. örnek	3,614	3,382	5	5
100. örnek	3,771	3,202	5	5
101. örnek	5,629	3,779	5	5
102. örnek	4,750	3,511	5	5
103. örnek	4,187	3,506	5	5
104. örnek	4,627	3,569	5	5
105. örnek	5,228	3,744	5	5
106. örnek	4,918	3,636	5	5
107. örnek	4,452	3,531	5	5
108. örnek	4,091	3,501	5	5
109. örnek	5,592	3,779	5	5
110. örnek	4,007	3,491	5	5
111. örnek	4,631	3,597	5	5
112. örnek	4,993	3,381	5	5
113. örnek	5,656	3,788	5	5
114. örnek	3,658	3,397	5	5
115. örnek	3,639	3,325	5	5
116. örnek	4,966	3,623	5	5
117. örnek	4,444	3,611	5	5
118. örnek	4,471	3,626	5	5
119. örnek	3,969	3,462	5	5
120. örnek	5,324	3,743	5	5

ÖZGEÇMİŞ

Doğum tarihi 15.09.1978

Doğum yeri İstanbul

Lise 1993-1996 Ataköy Lisesi

Lisans 1996-2000 Yıldız Teknik Üniversitesi Elektrik-Elektronik Fak.
Elektronik ve Haberleşme Mühendisliği Bölümü

Yüksek Lisans 2000-2003 Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü
Elektronik ve Haberleşme. Müh. Anabilim Dalı
Elektronik Programı

Doktora 2003-2010 Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü
Elektronik ve Haberleşme. Müh. Anabilim Dalı
Elektronik Programı

Çalıştığı kurum

2001-Devam ediyor Yıldız Teknik Üniversitesi, Bilgisayar Müh. Böl.,
Donanım Ana Bilim Dalı Araştırma Görevlisi