

139740

İKRODENETLEYİCİLİ ve ANAHTARLANMIŞ KAPASİTELİ
AKTİF FİLTRE DEVRELERİ

-139740-

Elektronik ve Haberleşme Müh. Alper SÜLÜN

FBE Elektronik ve Haberleşme Anabilim Dalı
Elektronik Programında
Hazırlanan

YÜKSEK LİSANS TEZİ



Tez Danışmanı : Doç. Dr. Herman SEDEF


Y. Doç. Dr. Fıncay UZUN



Y. Doç. Dr. Ferit AYTAR



İÇİNDEKİLER

Sayfa

SİMGE LİSTESİ	iv
KISALTMA LİSTESİ	v
ŞEKİL LİSTESİ.....	vi
ÇİZELGE LİSTESİ	vii
ÖNSÖZ.....	viii
ÖZET	ix
ABSTRACT	x
1. GİRİŞ	1
2. ANAHTARLANMIŞ KAPASİTE	2
2.1 t-Domeninde Devre Analizi.....	2
2.2 z-Domeninde Devre Analizi	5
2.3 Anahtarlanmış Kapasiteli Devrelerin Frekans Cevabı.....	9
2.4 Anahtarlanmış Kapasiteli Devrelerde Frekans Sınırları	10
2.5 Anahtarlanmış Kapasiteli Devrelerin Doğruluğu	11
2.6 Analog Devreler ve Çalışma Prensipleri	12
2.6.1 Anahtarlanmış Kapasiteli Gerilim Kuvvetlendiricileri.....	12
2.6.2 Anahtarlanmış Kapasiteli Entegratörler.....	18
3. CYPRESS PSOC İŞLEMCİSİ	23
3.1 Genel Mimari.....	23
3.2 Çekirdek Yapısı ve Programcı Bilgisi	25
3.2.1 Adresleme Tipleri	25
3.3 Dijital Bloklar	26
3.4 Analog Bloklar.....	27
3.4.1 Analog Sürekli Zaman Blokları.....	28
3.4.2 A Tipi Anahtarlanmış Kapasiteli Bloklar	29
3.4.3 B Tipi Anahtarlanmış Kapasiteli Bloklar	31
3.4.4 Tümdevre Üzerinde Analog Blokların Yerleşimi.....	32
3.4.5 Analog Referans Gerilim Kaynakları	32
4. ÇALIŞMA DEVRESİ TASARIMI	34
4.1 Donanım Mimarisi	34
4.1.1 Biquad Devre Yapısı.....	35
4.1.2 Alçak Geçiren Filtre Yapısı	40
4.1.3 Band Geçiren Filtre Yapısı	42

4.1.4	Gerilim Kuvvetlendiricisi	44
4.1.5	Seri Port Yapısı	45
4.1.6	PSOC İçinde Oluşturulan Devre Şeması	46
4.1.7	Çalışma Devresi Devre Şeması.....	48
4.2	Yazılım Mimarisi.....	50
4.2.1	Haberleşme Protokolü.....	51
4.2.2	Gömülü Sistem Yazılımı	54
4.2.3	Çalışma Devresi Kullanıcı Arabirimi Yazılımı	55
5.	SONUÇLAR.....	58
KAYNAKLAR		61
EKLER		62
EK 1	Analog Sürekli Zaman Blokları Kontrol Yazmaçları	63
EK 2	A Tipi Anahtarlanmış Kapasite Bloğu Kontrol Yazmaçları.....	66
EK 3	B Tipi Anahtarlanmış Kapasite Bloğu Kontrol Yazmaçları.....	70
ÖZGEÇMİŞ.....		74
Çalıştığı kurumlar		74

SİMGE LİSTESİ

E	Çift (Even)
O	Tek (Odd)
i	Giriş (Input)
o	Çıkış (Output)
ort	Ortalama



KISALTIMA LİSTESİ

PSOC	Programmable System On Chip
PC	Personel Computer
UART	Universal Asynchronous Receiver Transmitter
TX	Transmit
RX	Receive
STX	Start of Text
ETX	End of Text
CMD	Command
LRC	Longitudinal Redundancy Check
CRC	Cyclic Redundancy Check
FPGA	Field Programmable Gate Array



ŞEKİL LİSTESİ

Sayfa

Şekil 2.1 Anahtarlanmış kapasite devresi ve eşdeğer direnç devresi	2
Şekil 2.2 İki durumlu çakışmayan anahtarlama işareti	3
Şekil 2.3 Anahtarlanmış kapasite devresi ile örneklenmiş ve tutulmuş işaret şekilleri	5
Şekil 2.4 Anahtarlanmış kapasite devresinin z-domenindeki blok gösterimi	6
Şekil 2.5 Anahtarlanmış kapasiteli alçak geçiren filtre ve anahtarlama şekli	7
Şekil 2.6 Birinci anahtarlama periyodu ve eşdeğer devre modeli	7
Şekil 2.7 İkinci anahtarlama periyodu için eş değer devre modeli	8
Şekil 2.8 Sürekli ve ayrık frekans domenleri	9
Şekil 2.9 Eviren ve evirmeyen gerilim kuvvetlendiricileri	12
Şekil 2.10 Anahtarlanmış kapasiteli eviren ve evirmeyen tip gerilim kuvvetlendiriciler	13
Şekil 2.11 Evirmeyen tipteki anahtarlanmış kapasiteli gerilim kuvvetlendiricinin ϕ_2 anahtarı kapatıldığı anda eş değer modeli	14
Şekil 2.12 Parazitik kapasiteli anahtarlanmış kapasite modelleri	16
Şekil 2.13 Parazitik kapasitelerden etkilenmeyen anahtarlanmış kapasiteli kuvvetlendirici ...	17
Şekil 2.14 Eviren ve evirmeyen tipte entegral alan sürekli zaman devreleri	18
Şekil 2.15 Eviren ve evirmeyen tipte anahtarlanmış kapasiteli entegral alan devreler	19
Şekil 2.16 Evirmeyen tipteki anahtarlanmış kapasiteli entegral alan devrenin ϕ_1 fazındaki eşdeğer devre modelleri	20
Şekil 2.17 Eviren tipteki anahtarlanmış kapasiteli entegral alan devrenin ϕ_2 fazındaki eşdeğer devre modelleri	21
Şekil 3.1 PSOC Denetçisi genel yapısı	24
Şekil 3.2 Dijital bloklar ve genel giriş çıkış veri yolları	27
Şekil 3.3 Sürekli zaman analog bloğu devre şeması	29
Şekil 3.4 A tipi anahtarlanmış kapasite devre şeması	30
Şekil 3.5 B tipi anahtarlanmış kapasite bloğu	32
Şekil 3.6 Analog blokların yerleşimi	32
Şekil 4.1 Biquad devresinin blokları	36
Şekil 4.2 Birim elemanlı Biquad devresi	36
Şekil 4.3 Biquad devresi	37
Şekil 4.4 Alçak geçiren filtre devresi	41
Şekil 4.5 Band geçiren filtre yapısı	43
Şekil 4.6 Gerilim kuvvetlendiricisi	44
Şekil 4.7 PSOC içinde oluşturulan 8. dereceden alçak geçiren filtre devresi	46
Şekil 4.8 Çalışma devresinin blok gösterimi	48
Şekil 4.9 Çalışma devresi devre şeması	50
Şekil 4.10 Haberleşme protokolü	51
Şekil 4.11 Alçak geçiren yada Band geçiren seçim penceresi	56
Şekil 4.12 Alçak geçiren filtre parametre penceresi	57
Şekil 4.13 Band geçiren filtre parametre penceresi	57
Şekil 5.1 2kHz Köşe frekanslı 4. dereceden butterworth yaklaşımlı alçak geçiren filtrenin giriş ve çıkışı	59
Şekil 5.2 2KHz Merkez ve 2KHz band genişlikli 4. dereceden butterworth yaklaşımlı band geçiren filtrenin giriş ve çıkışı	60

ÇİZELGE LİSTESİ

	Sayfa
Çizelge 4.1 Haberleşme protokolü yapısı.....	52
Çizelge 4.2 Haberleşme protokolü DATA alanı.....	53
Çizelge 4.3 Filtre aygıt sürücüsünün aldığı mesajlar.....	55



ÖNSÖZ

Bu çalışmanın hazırlanması sırasında benden yardımlarını esirgemeyen tez danışmanım Doç. Dr. Herman SEDEF'e, Metre Grup ve Sayot'daki çalışma arkadaşlarıma, teşekkür ederim. Ayrıca attığım her adımda bana destek olan anneme sonsuz bir minnet ve teşekkür borçluyum.



ÖZET

Filtreler, elektriksel işaretlerin genlik-frekans ve faz-frekans karakteristiklerini şekillendirip düzenleme amacıyla kullanılan devrelerdir. Bu tezde karakteristikleri programlanabilen, anahtarlanmış kapasiteli, analog filtre devreleri tasarımı yapılmıştır. Tasarlanan filtreler, laboratuarda incelenmeye olanak tanıyan bir çalışma devresi içinde sunulmuştur. Ayrıca gerçekleştirilen filtrelerin başka sistemlere de kolayca entegre edilerek çalışabilmesi amaçlanmıştır.

Anahtarlanmış kapasiteler uzun yıllardan beri tümleşik devreler içinde direnç elde etmek amacıyla kullanılmaktadır. Bu tez çalışmasında tasarlanan filtre devrelerinde anahtarlanmış kapasiteli analog ve dijital devre blokları içeren bir mikrodenetleyici (Cypress, PSOC ailesinin bir üyesi) kullanılmıştır. Bu mikrodenetleyici üzerindeki anahtarlanmış kapasiteli devre bloklarının parametreleri, yazılım yoluyla değiştirilebildiği için bu bloklarda bir çok farklı fonksiyonun gerçekleştirilmesi olanaklıdır. Bu sayede karakteristikleri değiştirilebilen filtre devreleri gerçekleştirilmiştir.

Tasarlanan sistem, istenilen filtrelerin gerçekleştirileceği mikrodenetleyicili bir devre, mikrodenetleyici üzerindeki analog blokların yapılandırılması ve parametrelerin değiştirilmesini sağlayan bir gömülü sistem yazılımı ve bu devreye dışarıdan gerekli katsayıları hesaplayarak sisteme yüklenmesini sağlayan bir bilgisayar yazılımından oluşmaktadır. Bu şekilde oluşan sistem ile 2., 4., 6. ve 8. derecelerden alçak geçiren ve band geçiren filtre fonksiyonları gerçekleştirilebilir. Bu filtrelerin gerçekleştirilmesinde butterworth, chebyshev ve bessel yaklaşımları kullanılabilir. Tasarlanan sistemde, gerçekleştirilen filtrelerin çalışmaları, hem bilgisayar ortamında hem de gerçek dünyada incelenmesine olanak sağlanmıştır.

Anahtar Kelimeler : Anahtarlanmış kapasite, analog filtre, PSOC, programlanabilir karakteristik

ABSTRACT

Filters are electronic circuits that format and regulate amplitude-frequency and phase-frequency characteristics of the electrical signals. In this thesis, the design of switched capacitor filters with tuneable characteristics is implemented. Designed filter circuits are supplied as study kit for laboratory usage. Besides it is aimed that filter circuits can be easily adapt to other systems.

Switched capacitors have been used for a long time in the integrated circuit technology to obtain resistors from capacitors. Filter circuits implemented in this thesis is based in a micro controller that contains switched capacitor circuit blocks. These circuit blocks allows to realise different analog circuit functions since the parameters of the switched capacitor circuit blocks can be changed by the software. This results with implementation of the filter circuits that have programmable characteristics.

The designed system consists of a hardware with a microcontroller which is used to implement desired filter circuits, a firmware that aims to change the structure and the parameter of the analog circuit blocks and another PC software that controls the hardware and loads desired filter coefficients to the system. Using the system it is possible to realise low pass and band pass filters which are 2., 4., 6. and 8. orders with the approximation of butterworth, chebyshev and bessel polynomials. The designed system gives the opportunity to examine filter circuits in the real world and in the simulation environment on a PC.

Keywords : Switched capacitor, analog filter, PSOC, programmable filter characteristics

1. GİRİŞ

Bu tez çalışmasının amacı, anahtarlanmış kapasiteli analog filtre devrelerinin incelenmesi ve laboratuvar ortamında eğitim amaçlı kullanılmak üzere, pratik olarak da gerçekleştirilmesi esasına dayanır. Bu amaçla, transfer karakteristikleri programlanarak değiştirilebilen filtrelerin gerçekleştirilebildiği, bir çalışma devresi tasarlanmıştır.

Tasarlanan devrede PSOC mikrodenetleyicisi kullanılmıştır. Bu mikrodenetleyici, içerisinde bulundurduğu programlanabilir analog yapılar sayesinde, analog işaretleri de işleyebilmektedir. Mikrodenetleyici içerisindeki analog ve dijital blokların çalışma öncesi ya da çalışma sırasında yapılandırılabilir olması, sistemin üzerinde değişen analog ve dijital devrelerin yapımını olanaklı kılmaktadır. Bu sayede karakteristikleri programlanabilir, değişik analog filtrelerin gerçekleştirilmesi mümkün olmaktadır.

Sistemin programlanabilir olması, içerideki analog blokların tamamının anahtarlanmış kapasitelerden oluşturulmuş olmasından kaynaklanır. Anahtarlanmış kapasitelerin parametreleri programlanabilir halde sunulduğundan devre bloklarının, farklı fonksiyonlar gerçeklemeleri, mümkündür. Böylece FPGA uygulamalarına benzer bir şekilde, tümdevre içerisinde değişik analog fonksiyonlar gerçekleştirilebilmektedir.

Sistem analog filtre yapılarının incelenmesi için tasarlanmasına rağmen, asıl amacının yanında, anahtarlanmış kapasite devrelerinin sistem içinde çok sık kullanılması nedeniyle bu devreler üzerinde de inceleme yapma imkanı bulunmaktadır. Kullanıcılara bu yapıların çalışması teorik olarak anlatılarak pratik olarak da inceleme imkanı sunulmaktadır.

Tezin ikinci bölümünde mikrodenetleyici içindeki analog bloklarda bulunan anahtarlanmış kapasite tekniği, devreleri ile birlikte anlatılmaktadır. Anahtarlanmış kapasitenin çalışma teorisi ve anahtarlanmış kapasiteli temel analog devre blokları açıklanmaktadır. Tasarımın temelini oluşturan Biquad devre yapısı yine bu bölümde ele alınmıştır.

Üçüncü bölümde filtre tasarımıda kullanılan mikrodenetleyici ayrıntılı olarak anlatılmaktadır. Mikrodenetleyici üzerindeki çekirdek yapısı ve temel mikrodenetleyici modülleri ele alınmaktadır. Tümdevre üzerinde tanımlanan analog ve dijital blokların yapıları ve çalışma prensiplerine, bu blokları birbirine bağlayan işaret ve veri yollarına değinilmektedir. Ayrıca bu bloklar ile yapılabilecek devrelerden örnekler de verilmektedir.

Dördüncü bölümde tezin konusunu oluşturan devrenin tasarımı anlatılmakta ve oluşturulan donanım ve yazılımları hakkında ayrıntılı bilgi verilmektedir.

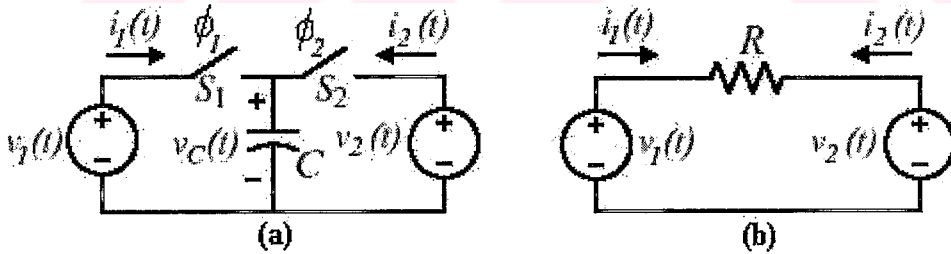
2. ANAHTARLANMIŞ KAPASİTE

Anahtarlanmış kapasite hakkındaki ilk çalışmalar, 70'li yıllara dayanmaktadır. Bu yıllarda işaret işleme fonksiyonları, kapasite, direnç ve işlemsel kuvvetlendirici içeren, sürekli zamanda çalışan devreler ile gerçekleştirilmekteydi (Fettweis, 1970) (Fried, 1972). Fakat bu fonksiyonlarının büyük çoğunluğunun gerçekleştirilmesi, tümdevre içinde gerçekleştirilen kapasite ve direnç elemanlarının tolerans değerlerinin çok büyük olması nedeniyle oldukça zordu.

Anahtarlanmış kapasite tekniği, ses frekans bölgesinde çalışan filtrelerin tümleşik devre yapıları içerisinde gerçekleştirilmek istenmesiyle gelişti. Filtre fonksiyonlarının elde edilmesi için direnç elemanı yerine, iki anahtar ve bir kapasiteden oluşan direnç eş değeri konuldu. Bu teknik, anahtarlanmış kapasite olarak adlandırıldı. İşaret işleme devrelerinin, tümdevreler içerisinde tasarlanmasında oldukça popüler hale geldi. Tümleşik devre teknolojisinde, kapasitelerin değerleri arasındaki oranın büyük bir doğrulukla gerçekleştirilebilmesi, anahtarlanmış kapasiteli devrelerin kullanımını daha da arttırdı.

Anahtarlanmış kapasite devreleri genlik domeninde süreklilik göstermelerine rağmen, zaman domeninde ayrık devrelerdir. Bu özellikleri nedeniyle örneklenmiş analog işaret işleme devreleri olarak da adlandırılmaktadırlar (Rabiner, 1972). Sonuçta anahtarlanmış kapasite devrelerinin t-domeninde incelenmesine ek olarak z-domeninde de incelenmeleri gerekir.

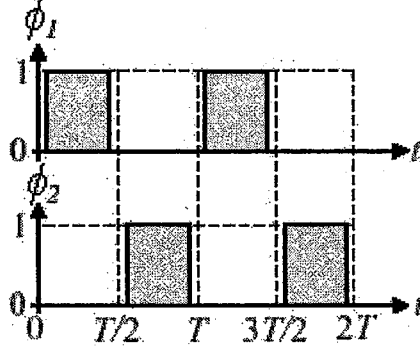
2.1 t-Domeninde Devre Analizi



Şekil 2.1 Anahtarlanmış kapasite devresi ve eşdeğer direnç devresi

Şekil 2.1a da anahtarlanmış kapasite ve Şekil 2.1b de bunun eşdeğer olduğu direnç devresi görülmektedir. Şekil 2.1a devresinde iki tane bağımsız gerilim kaynağı, kontrol edilebilen yarı iletken anahtar ve bir kapasite elemanı bulunmaktadır. Buradaki anahtarların kontrolü birer kare dalga işaret ile yapılır. Bu iki işaret tamamen aynı periyoda sahiptir. Bu işaretlerin elde edilmesindeki en önemli nokta, anahtarların hiçbir zaman aynı anda açık olmayacak şekilde kontrol edilmeleridir. Bu tip saat işaretlerine çakışmayan (nonoverlapped) saat işaretleri denilir (Şekil 2.2). Çakışmanın önlenmesi için anahtarların açık kaldığı zaman $T/2$

periyodundan daha küçük tutulmaktadır.



Şekil 2.2 İki durumlu çakışmayan anahtarlama işareti

Şekil 2.1 deki devrenin analizi için $v_1(t)$ ve $v_2(t)$ gerilimlerinin anahtarlama periyodu boyunca çok fazla değişmediğini düşünelim. Bunun sonucu bu iki gerilim kaynağının T periyodu boyunca sabit kaldığını kabul edebiliriz. $v_1(t)$ kaynağından C kapasitesine doğru akan $i_1(t)$ akımının T periyodu boyunca ortalaması;

$$i_1(\text{ort}) = \frac{1}{T} \int_0^T i_1(t) dt \quad (1)$$

şeklinde yazılabilir. $i_1(t)$ akımı sadece $0 \leq t \leq \frac{T}{2}$ zamanı boyunca aktığından $i_1(\text{ort})$ akımı;

$$i_1(\text{ort}) = \frac{1}{T} \int_0^{\frac{T}{2}} i_1(t) dt \quad (2)$$

olur. Akım ve yük birbirlerine $i_1(t) = \frac{dq_1(t)}{dt}$ şeklinde bağlı olduğundan bu bağıntıyı (2) denkleminde yerine yazarak;

$$i_1(\text{ort}) = \frac{1}{T} \int_0^{\frac{T}{2}} dq_1(t) = \frac{q_1\left(\frac{T}{2}\right) - q_1(0)}{T} \quad (3)$$

bulunur.

Bir kapasitenin üzerinde biriken yükün zamana bağlı ifadesinin;

$$q_C(t) = C \cdot v_C(t) \quad (4)$$

olduğu bilindiğine göre (4) denklemini (3) denkleminde yeniden yazarak aşağıda verilmiş

olan (5) denklemi elde edilir.

$$i_1(\text{ort}) = \frac{C \cdot \left[v_c\left(\frac{T}{2}\right) - v_c(0) \right]}{T} \quad (5)$$

Şekil 2.2'deki gibi iki anahtar işaretiyle sürülen Şekil 2.1 (a) da ki gibi bir devrede $v_c\left(\frac{T}{2}\right)$ değeri $v_1\left(\frac{T}{2}\right)$ değerine, $v_c(0)$ değeri ise $v_2(0)$ değerine eşit olur. Bu eşitlikler (5) denkleminde yerine konursa;

$$i_1(\text{ort}) = \frac{C \cdot \left[v_1\left(\frac{T}{2}\right) - v_2(0) \right]}{T} \quad (6)$$

ifadesine ulaşılır. Buna ek olarak, baştan yaptığımız $v_1(t)$ ve $v_2(t)$ 'nin anahtarlama periyodu boyunca çok fazla değişmemesi kabulü ele alındığında;

$$v_1(0) \approx v_1\left(\frac{T}{2}\right) \approx v_1(T) \approx V_1 \quad (7)$$

$$v_2(0) \approx v_2\left(\frac{T}{2}\right) \approx v_2(T) \approx V_2 \quad (8)$$

ifadeleri yazılabilir.

$v_1(t)$ ve $v_2(t)$ 'nin anahtarlama periyodu boyunca çok fazla değişmemesi, devrede işlenen $v_1(t)$ işaretinin frekansının, anahtarlama frekansı yanında, çok küçük olması anlamına gelir. Buna dayanarak (7) ve (8) ifadelerini (6) denkleminde yerine koyarak;

$$i_1(\text{ort}) = \frac{C \cdot [V_1 - V_2]}{T} \quad (9)$$

ifadesine ulaşılır. Bu ifade, Ohm kanunundaki;

$$i_1(\text{ort}) = \frac{[V_1 - V_2]}{R} \quad (10)$$

ifadesine benzemektedir. (9) ve (10) denklemlerinden

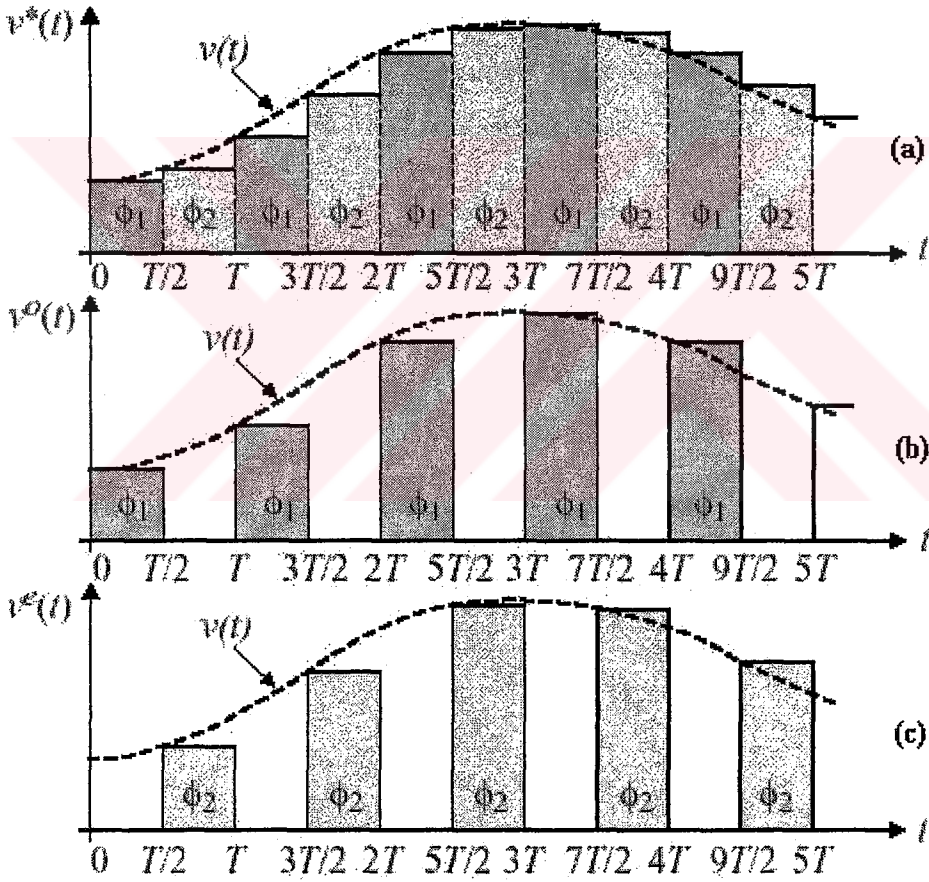
$$R = \frac{T}{C} \quad (11)$$

ifadesi çıkartılabilir. Elde edilen (11) denklemi, anahtarllanmış kapasite devresinin (Şekil

2.1a), anahtarlama frekansı sinyal frekansından çok büyük olması koşulu altında, 3 uçlu seri direnç devresine (Şekil 2.1b) eş değer olduğunu göstermektedir. Anahtarlanmış kapasite devresinin zaman domenindeki analizini yapmak için eşdeğer direnç devresi kullanılır. Devre normal bir pasif devre gibi zaman domeninde analiz edilir.

2.2 z-Domeninde Devre Analizi

Anahtarlanmış kapasiteli devreler bir çok yerde örneklenmiş analog sinyal devreleri olarak adlandırılır. Bunun sebebi işlenen işaret sürekli genliğe sahip olmasına rağmen, işleme şekli zaman boyutunda süreksizdir. Şekil 2.3'a da orijinal sinyal ve $T/2$ periyoduyla örneklenerek tutulan sinyal görülebilmektedir. Şekil 2.3a daki örneklenmiş ve tutulmuş işaretin Şekil 2.3b ve Şekil 2.3c deki örneklenmiş ve tutulmuş iki işaretin toplamı olduğu görülmektedir.



Şekil 2.3 Anahtarlanmış kapasite devresi ile örneklenmiş ve tutulmuş işaret şekilleri

Bu iki işaret, anahtarlanmış kapasiteli devredeki anahtarların iki farklı saat işaretiyle açılıp kapanması sonucu oluşur. Buradan hareketle;

$$v^*(t) = v^O(t) + v^E(t) \quad (12)$$

yazılabilir. Burada O harfi ϕ_1 , E harfi ise ϕ_2 fazına karşı düşmektedir. Herhangi bir

$t = \frac{nT}{2}$ zamanında ki $v^*(t)$ ifadesini yazarsak;

$$v^*(t) = v^O\left((n-1)\frac{T}{2}\right) + v^E\left((n-1)\frac{T}{2}\right) \quad (13)$$

elde edilir. Burada tek fazlar için $n=1,3,5\dots$ ve çift fazlar için $n=2,4,6\dots$ değerlerini alır.

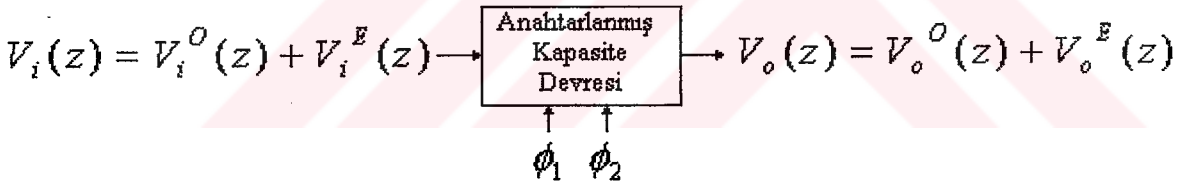
Anahtarlanmış kapasite devrelerini z-domeninde inceleyebilmek için zaman domeninde verilen (13) denkleminin z-domenindeki eş değeri yazılmalıdır. Bunun için tek taraflı $v(nt)$ ifadesinin z-domenindeki gösteriminden faydalanılabilir. Bu gösterim;

$$V(z) = \sum_{n=0}^{\infty} v(nT)z^{-n} = v(0) + v(T)z^{-1} + v(2T)z^{-2} + \dots \quad (14)$$

şeklindedir. Buradan (13) ifadesinin z-domenindeki ifadesi aşağıdaki gibi yazılabilir.

$$V^*(z) = V^O(z) + V^E(z) \quad (15)$$

z-domenindeki bu ifade, anahtarlanmış kapasite devrelerinin transfer fonksiyonlarını inceleme olanağı sağlar.



Şekil 2.4 Anahtarlanmış kapasite devresinin z-domenindeki blok gösterimi

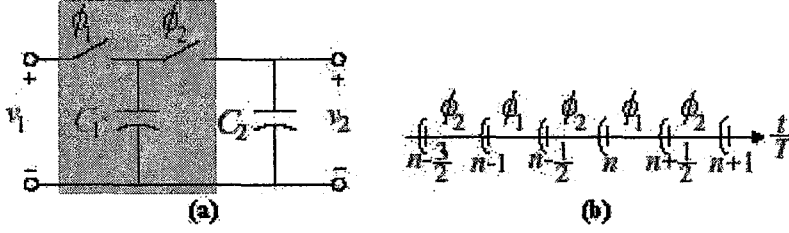
Burada tüm giriş ve çıkış gerilimleri, tek ve çift fazdaki gerilimlerin toplamı şeklinde gösterilebilir (Şekil 2.4). Buradan hareketle anahtarlanmış kapasite devresinin transfer fonksiyonu;

$$H(z) = \frac{V_o(z)}{V_i(z)} = \frac{V_o^E(z) + V_o^O(z)}{V_i^E(z) + V_i^O(z)} \quad (16)$$

şeklinde yazılabilir.

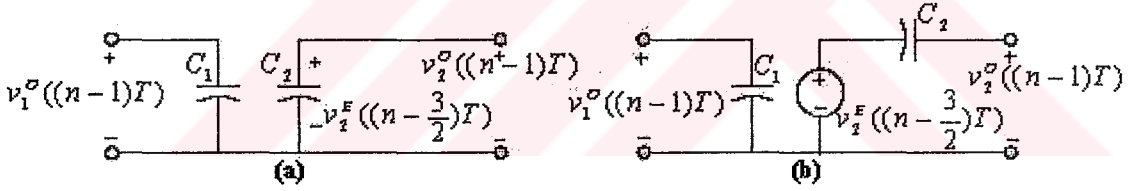
Anahtarlanmış kapasiteli devrenin analizi, öncelikle zaman domenindeki ifadelerin yazımını içerir. Devre sadece kapasite ve anahtarlama elemanları içerdiğinden, süre gelen olay sadece kapasitenin dolması ve boşalması üzerine kuruludur. Bunun sonucunda zaman domenindeki

analiz bazı basit cebirsel işlemler ile yapılabilir. Öncelikle seçilen bir faz periyodundaki analiz yapılır. Daha sonra diğer faz analizi için başlangıç koşulları olarak, bir önceki fazın analizinden gelen ifadeler kullanılır. Bu şekilde bir önceki fazdan belirlenen başlangıç koşulları ile her hangi bir fazdaki ifadeler çıkartılabilir. Bundan sonra sadece zaman domeninden elde edilen eşitliklerin z-domenine dönüştürmek kalmıştır.



Şekil 2.5 Anahtarlanmış kapasiteli alçak geçiren filtre ve anahtarlama şekli

Şekil 2.5 deki birinci dereceden alçak geçiren filtrenin z-domenindeki analizi için ϕ_1 fazına bakıldığında bu faz boyunca C_1 kapasitesi $v_1^O((n-1)T)$ gerilimine şarj olduğu görülür. C_2 kapasitesi ise bir önceki periyottaki $v_2^E((n-\frac{3}{2})T)$ geriliminde şarj olmuş olarak durmaktadır. Bu durum Şekil 2.6a da ki basitleştirilmiş devreden daha kolay görülebilmektedir.



Şekil 2.6 Birinci anahtarlama periyodu ve eşdeğer devre modeli

Şekil 2.6b'de, C_2 kapasitesi yerine $v_2^E((n-\frac{3}{2})T)$ değerinde bir gerilim kaynağı ve buna seri olarak boş bir C_2 kapasitesi eklenerek elde edilen eş değer devre görülmektedir. Bu gerilim kaynağı $t = (n-\frac{3}{2})T$ de başlayan bir basamak fonksiyonu şeklindedir. Çünkü bu anda C_2 kapasitesi boş olarak düşünülmektedir.

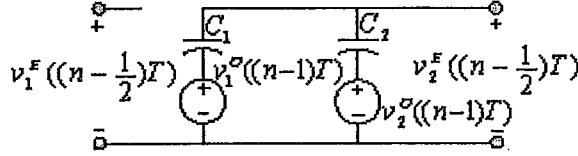
$$v_2^O((n-1)T) = v_2^E((n-\frac{3}{2})T) \quad (17)$$

Bir sonraki aşama olarak ϕ_2 fazı incelenmelidir. Şekil 2.5a daki devrenin bu fazdaki eşdeğeri Şekil 2.7 de gösterilmiştir. Görüldüğü gibi bir önceki fazdaki $v_1^O((n-1)T)$ gerilimine şarj

olan C_1 kapasitesi, (17) denklemindeki gibi dolu olan C_2 kapasitesine paralel bağlanmıştır. Bu fazdaki devrenin çıkış gerilimini, Şekil 2.7 den hareketle, iki gerilim kaynağından süper pozisyon yöntemi ile elde edilen;

$$v_2^E((n-\frac{1}{2})T) = (\frac{C_1}{C_1+C_2})v_1^O((n-1)T) + (\frac{C_1}{C_1+C_2})v_2^O((n-1)T) \quad (18)$$

ifadesi ile yazabilir.



Şekil 2.7 İkinci anahtarlama periyodu için eş değer devre modeli

(17) denklemini bir tam periyot için yeniden yazılırsa;

$$v_2^O(nT) = v_2^E((n-\frac{1}{2})T) \quad (19)$$

elde edilen (19) denklemini (18) denkleminde yerine koyulduğunda;

$$v_2^O(nT) = (\frac{C_1}{C_1+C_2})v_1^O((n-1)T) + (\frac{C_1}{C_1+C_2})v_2^O((n-1)T) \quad (20)$$

elde edilir. Bu ifade, anahtarlanmış kapasite devresinin ayrık zaman domenindeki ifadesini vermektedir.

Elde edilen (20) denklemini $v((n-n_1)T) = z^{n_1T}V(z)$ ifadesinden yararlanarak z-domenindeki gösterimine dönüştürülür. Sonuç;

$$z^{nT}V_2^O(z) = (\frac{C_1}{C_1+C_2})z^{(n-1)T}V_1^O(z) + (\frac{C_1}{C_1+C_2})z^{(n-1)T}V_2^O(z) \quad (21)$$

olur. z^{nT} ifadesi yok edilerek denklem;

$$V_2^O(z) = (\frac{C_1}{C_1+C_2})z^{-T}V_1^O(z) + (\frac{C_1}{C_1+C_2})z^{-T}V_2^O(z) \quad (22)$$

şeklinde son halini alır. T=1 saniye kabul edilirse;

$$V_2^O(z) = (\frac{C_1}{C_1+C_2})z^{-1}V_1^O(z) + (\frac{C_1}{C_1+C_2})z^{-1}V_2^O(z) \quad (23)$$

elde edilir ve devrenin transfer fonksiyonu;

$$H^{oo}(z) = \frac{V_2^o(z)}{V_1^o(z)} = \frac{z^{-1} \left(\frac{C_1}{C_1 + C_2} \right)}{1 - z^{-1} \left(\frac{C_1}{C_1 + C_2} \right)} = \frac{z^{-1}}{1 + \alpha - \alpha z^{-1}} \quad (24)$$

olarak bulunur. Burada $\alpha = \frac{C_2}{C_1}$ dır.

2.3 Anahtarlanmış Kapasiteli Devrelerin Frekans Cevabı

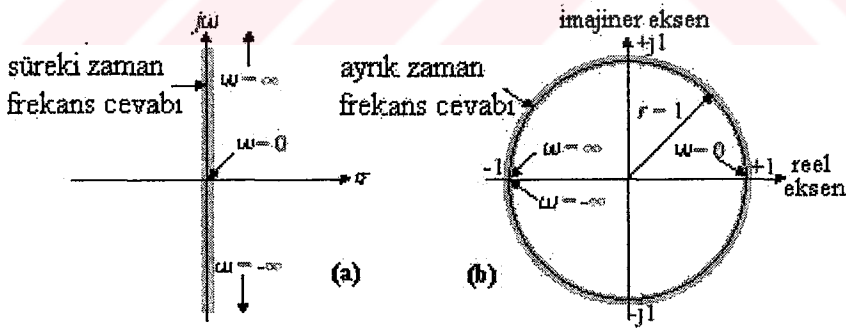
Sürekli zaman devrelerinin frekans cevabı, s domenindeki transfer fonksiyonundan bulunabilir. Bu transfer fonksiyonu en genel hali ile;

$$H(s) = \frac{V_o(s)}{V_i(s)} \quad (25)$$

dır. Burada s kompleks frekans değişkeni olarak isimlendirilebilir.

$$s = \sigma + j\omega \quad (26)$$

Kompleks frekans değişkenin gerçel kısmı ve sanal kısmından hareket ile s düzlemi çizilebilir. Sürekli zaman frekans cevabı bu düzlemde $\sigma = 0$ yada $s = j\omega$ olduğu durumda bulunabilir.



Şekil 2.8 Sürekli ve ayrık frekans domenleri

z-domeni değişkeni de aynı zamanda kompleks bir değerdir. Bu değer;

$$z = r e^{j\omega T} \quad (27)$$

şeklindedir. Burada r orijinde bulunan noktaya olan uzaklık, ω radyan/saniye cinsinden frekans değeri ve T ise saniye cinsinden saat periyodudur. Şekil 2.8b de görülen z-domeninde ayrık zaman frekans cevabı $r=1$ yaparak bulunabilir. Sürekli zaman devresi frekans cevabı

frekans değeri ve T ise saniye cinsinden saat periyodudur. Şekil 2.8b de görülen z-domeninde ayrık zaman frekans cevabı $r=1$ yaparak bulunabilir. Sürekli zaman devresi frekans cevabı Şekil 2.8 deki düşey eksene ve ayrık zaman devresi frekans cevabı ise Şekil 2.8b deki birim çembere denk düşer.

Anahtarlanmış kapasiteli devrenin frekans cevabını bulmak için transfer fonksiyonunda ki z değeri yerine kompleks eş değeri konularak buradan ω ya bağlı bir fonksiyon çıkartılır. Daha önce z-domeninde incelenen alçak geçiren filtrenin frekans cevabını örnek olarak incelenirse ilk adım olarak bulunan transfer fonksiyonunda $z = re^{j\omega T}$ değişikliği yapılır. Euler formülü ($e^{j\omega T} = \cos(\omega T) + j \sin(\omega T)$) yardımıyla denklem tekrar düzenlenirse;

$$H^{oo}(e^{j\omega T}) = \frac{e^{-j\omega T}}{1 + \alpha - \alpha e^{-j\omega T}} = \frac{1}{(1 + \alpha)e^{j\omega T} - \alpha} = \frac{1}{(1 + \alpha)\cos(\omega T) - \alpha + j(1 + \alpha)\sin(\omega T)} \quad (28)$$

çıkan ifadeden genlik ve faz değerleri, ifadenin karesinin kare kökünü alınarak bulunabilir.

$$\begin{aligned} |H^{oo}| &= \frac{1}{\sqrt{(1 + \alpha)^2 \cos^2(\omega T) - 2\alpha(1 + \alpha)\cos(\omega T) + \alpha^2 + (1 + \alpha)^2 \sin^2(\omega T)}} = \\ &= \frac{1}{\sqrt{(1 + \alpha)^2 [\cos^2(\omega T) + \sin^2(\omega T)] + \alpha^2 - 2\alpha(1 + \alpha)\cos(\omega T)}} = \\ &= \frac{1}{\sqrt{1 + 2\alpha(1 + \alpha)(1 - \cos(\omega T))}} \end{aligned} \quad (29)$$

$$\text{Arg}[H^{oo}] = -\tan^{-1} \left[\frac{(1 + \alpha)\sin(\omega T)}{(1 + \alpha)\cos(\omega T) - \alpha} \right] = -\tan^{-1} \left[\frac{\sin(\omega T)}{\cos(\omega T) - \frac{\alpha}{1 + \alpha}} \right] \quad (30)$$

2.4 Anahtarlanmış Kapasiteli Devrelerde Frekans Sınırları

Devre parametrelerine bağlı frekans cevabı bulunduktan sonra devre eleman değerlerinin saptanması gerekir. Bu seçimleri yaparken üzerinde durulması gereken konu devreye uygulanacak işaretin frekansı ile anahtarlama işaretinin frekansı arasındaki ilişkidir. Genellikle işlenecek işaretin frekansı, anahtarlama işaretinin frekansından çok küçük seçilir. Bu durum yüksek örnekleme (oversampling) olarak adlandırılır.

$$f_{isaret} \ll f_{saat} \Rightarrow f_{isaret} \ll \frac{1}{T} \quad , \quad 2\pi \cdot f_{isaret} \ll \frac{2\pi}{T} \Rightarrow \omega_{isaret} \ll \frac{2\pi}{T} \quad (31)$$

Kullanılabilecek en küçük örnekleme frekansı Nyquist Frekansı olarak bilinir (Nyquist,1928).

Bu frekansın değeri çakışmayı (aliasing) önlemek amacıyla, işlenen işaretin en yüksek frekans bilişeninin en az iki katı seçilir. Diğer taraftan bu frekans mümkün olduğunca yüksek seçilmelidir. Bu seçim örnekleme işleminin yol açacağı gürültü seviyesini minimuma çeker. Frekansın yeterince yüksek olmadığı durumlarda, örnekleme işlemi sonucu oldukça yüksek gürültü seviyeleri oluşacaktır (Valkenburg, 1982).

$$2 \left\langle \frac{f_{saat}}{f_{isaret}} \right\rangle < 500 \quad (32)$$

Ses frekansı sınırlarında çalışan anahtarlanmış kapasite devrelerinin çalışma frekansları genellikle 100KHz seçilmektedir.

2.5 Anahtarlanmış Kapasiteli Devrelerin Doğruluğu

Analog işaret işleyen devrelerin zaman hassasiyeti yada frekansı, devrenin zaman sabitlerinin doğruluğu ile belirlenir. Bu durumu anlatabilmek için Şekil 2.3 deki 1. dereceden alçak geçiren filtre devresi kullanılabilir. Bu devrenin frekans domenindeki gerilim transfer fonksiyonu;

$$H(j\omega) = \frac{V_2(j\omega)}{V_1(j\omega)} = \frac{1}{j\omega R_1 C_2 + 1} = \frac{1}{j\omega \tau_1 + 1} \quad (33)$$

şeklinde bulunur. Burada;

$$\tau_1 = R_1 C_2 \quad (34)$$

devrenin zaman sabiti olarak isimlendirilir. Sürekli zaman devresinin doğruluğunu (τ_1), ayrık zaman devresi yada anahtarlanmış kapasite devresinin doğruluğu (τ_c) ile karşılaştırabilmek için τ_1 zaman sabitini τ_c zaman sabiti cinsinden gösterip τ_c 'nin doğruluğunu araştırmak gerekir;

$$\frac{d\tau_c}{\tau_c} = \frac{dR_1}{R_1} + \frac{dC_2}{C_2} \quad (35)$$

τ_c zaman sabitinin doğruluğu, R_1 direncinin doğruluğu ile C_2 kapasitesinin doğrulukları toplamına eşittir. Standart CMOS teknolojisinde τ_c zaman sabitinin doğruluğu devredeki elemanlarının tipine ve fiziksel büyüklüklerine bağlı olarak %5 ile %20 arasında değişebilir. Bu değişim bir çok analog işaret işleme uygulamaları için oldukça fazladır. Şekil 2.1b deki devredeki R_1 direnci yerine Şekil 2.1a daki gibi bir anahtarlanmış kapasite devresi

yerleştirildiğinde yeni devrenin zaman sabiti hesaplanırsa;

$$\tau_D = \left(\frac{T}{C_1}\right) \cdot C_2 = \left(\frac{1}{f_c \cdot C_1}\right) \cdot C_2 \quad (36)$$

bulunur. Burada f_c kapasitenin anahtarlanma frekansdır. Zaman sabitinin doğruluğu;

$$\frac{d\tau_D}{\tau_D} = \frac{dC_2}{C_2} - \frac{dC_1}{C_1} - \frac{df_c}{f_c} \quad (37)$$

olarak hesaplanır.

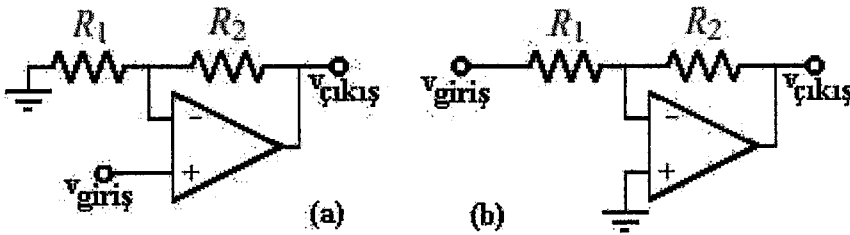
Bu çok önemli bir sonuçtur. Ayırık devre zaman sabiti; C_1 ve C_2 kapasitelerinin ve f_c anahtarlama frekansının tek başlarına doğruluklarına bağlıdır. f_c anahtarlama frekansının harici bir kristal tarafından çok doğru bir şekilde belirlendiği düşünüldüğünde, ayırık devre zaman sabiti sadece C_1 ve C_2 kapasitelerinin doğruluklarına bağlı olur ve %0.1 oranında değişir. Bu değişim bir çok işaret işleme uygulaması için oldukça yeterlidir. Bu nedenle anahtarlanmış kapasite devreleri CMOS teknolojisinde çok yaygın olarak kullanılmaktadır.

2.6 Analog Devreler ve Çalışma Prensipleri

2.6.1 Anahtarlanmış Kapasiteli Gerilim Kuvvetlendiricileri

Bu bölümde anahtarlanmış kapasitelerin kuvvetlendirici uygulamaları için nasıl kullanıldığı hakkında bilgi verilmektedir. Bu tip devrelerde daha çok negatif geri beslemeli işlemsel kuvvetlendiriciler kullanılır. Devrelerin kazanç oranı ise kapasitelerin oranlarına bağlıdır. Anahtarlanmış kapasiteli kuvvetlendiricilerin çalışma prensibi, direnç geri beslemeli kuvvetlendiricilerin çalışma prensibine çok benzer.

Şekil 2.9 da eviren ve evirmeyen tipte, dirençler kullanılarak gerçekleştirilmiş iki kuvvetlendirici görülmektedir.



Şekil 2.9 Eviren ve evirmeyen gerilim kuvvetlendiricileri

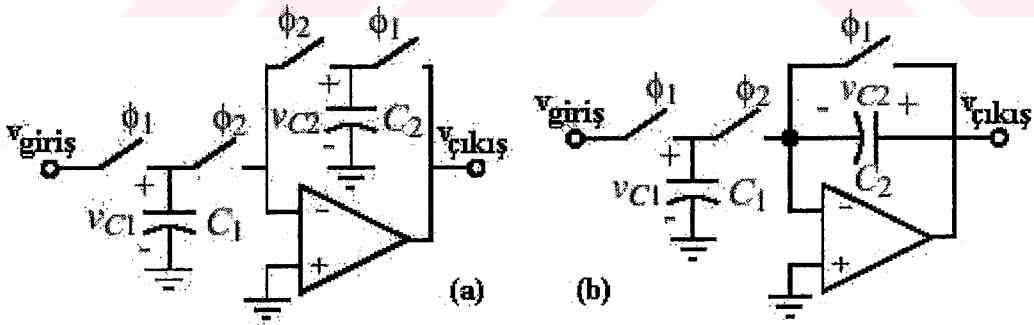
Bu iki kuvvetlendiricinin işlemsel kuvvetlendiricilere ait fark kazançlarının sonsuz olduğu

durumdaki ideal kazançları (Sedra ve Smith, 1991);

$$\frac{v_o}{v_i} = \frac{R_1 + R_2}{R_1}, \quad \frac{v_o}{v_i} = -\frac{R_2}{R_1} \quad (38)$$

dır. Şekil 2.9 da görülen devredeki dirençler yerine kapasiteler bağlanarak da aynı kuvvetlendiriciler oluşabilir. Bu tip kuvvetlendiricilere, yük kuvvetlendiricileri denir. Kazanç ifadeleri, dirençli gerilim kuvvetlendiricileri ile aynı yapıdadır. Aralarındaki fark zamana bağımlı bir fonksiyon olarak ortaya çıkar. Eğer yük kapasitelerine olan girişler sabit kalırsa oluşan sızıntı akımları, kuvvetlendirici çıkışının, işlemsel kuvvetlendiricinin alt yada üst sınırında bir gerilimde kalmasına sebep olur. Bu da geri besleme hattının çalışmamasına ve hesaplanan tüm eşitliklerin geçersiz olmasına sebep olur. Bu durumu önlemek için geri besleme hattındaki kapasitenin çok sık tekrar doldurulup boşaltılması gerekir. Böylece devre anahtarlanmış kapasiteli bir devreye dönüşür. Oluşan devrelere anahtarlanmış kapasiteli gerilim kuvvetlendiricileri denir.

Şekil 2.10'da Şekil 2.9'da verilen dirençli eviren tipteki gerilim kuvvetlendiricisinin, anahtarlanmış kapasiteli şekli görülmektedir. Görüldüğü gibi birinci şekildeki devrede anahtarların açılıp kapanması sırasında işlemsel kuvvetlendirici etrafındaki geri besleme yolu tamamen açılmaktadır. Böylece çıkış geriliminde çok fazla gürültü oluşmaktadır. Bu nedenle Şekil 2.10a'da verilen devre yerine Şekil 2.10b'de verilen devre daha çok kullanılmaktadır. Ayrıca azalan anahtar sayısı da bir avantaj sağlamaktadır.

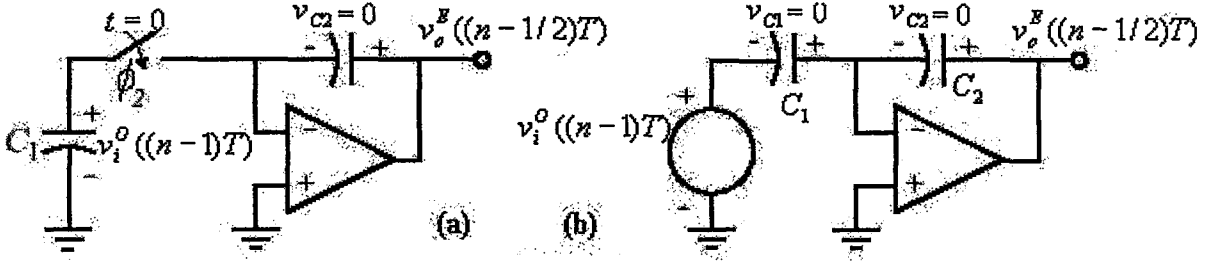


Şekil 2.10 Anahtarlanmış kapasiteli eviren ve evirmeyen tip gerilim kuvvetlendiriciler

Şekil 2.10b'deki devrenin daha önce verilen analiz yöntemlerini kullanarak analizi yapılabilir.

Şekil 2.5b deki gibi bir anahtarlama şekli kullanıldığında $(n-1)T$ ve $(n-\frac{1}{2})T$ zaman aralığındaki ϕ_1 fazı boyunca C_1 kapasitesi $v_{giriş}^o((n-1)T)$ gerilimine şarj olur. C_2 kapasitesi

ise tamamen boşalır. Bir sonraki ϕ_2 fazına ($t = (n - \frac{1}{2})T$ ve $t = nT$ arasında kalan zaman aralığı) baktığımız zaman ϕ_2 anahtarının tam kapatıldığı anda devrenin eş değeri Şekil 2.11a da verilmiştir (kolaylık olsun diye bu nokta $t=0$ olarak kabul edilmiştir).



Şekil 2.11 Evirmeyen tipteki anahtarlanmış kapasiteli gerilim kuvvetlendiricinin ϕ_2 anahtarı kapatıldığı anda eş değer modeli

Devrenin daha kullanışlı şekli ise Şekil 2.11b de verilmiştir. Bu şekilde, $v_{giriş}^O((n-1)T)$ gerilim kaynağı, eviren bir yük kuvvetlendiricisine, çıkış geriliminin ϕ_2 fazı boyunca;

$$v_{çıkış}^E((n - \frac{1}{2})T) = -(\frac{C_1}{C_2})v_{giriş}^O((n-1)T) \quad (39)$$

olması için bağlanmıştır. Bu eşitliği z-domeninde tekrar yazılırsa;

$$z^{-\frac{1}{2}}V_{çıkış}^E(z) = -(\frac{C_1}{C_2})z^{-1}V_{giriş}^O(z) \quad (40)$$

olur. Eşitliğin her iki yanını $z^{\frac{1}{2}}$ çarparsak;

$$V_{çıkış}^E(z) = -(\frac{C_1}{C_2})z^{-\frac{1}{2}}V_{giriş}^O(z) \quad (41)$$

elde edilir. Buradan transfer fonksiyonunu hesaplarırsa;

$$H^{OF}(z) = \frac{V_{çıkış}^E(z)}{V_{giriş}^O(z)} = -(\frac{C_1}{C_2})z^{-\frac{1}{2}} \quad (42)$$

bulunur. Eğer giriş işaretinin $v_{giriş}^O((n-1)T)$ önceki ϕ_2 fazı ($t = (n - \frac{3}{2})T$ ve $(n - \frac{1}{2})T$) boyunca değişmediğini kabul edilirse;

$$v_{giriş}^O((n-1)T) = v_{giriş}^E((n - \frac{3}{2})T) \quad (43)$$

$$V_{giriş}^O(z) = z^{-\frac{1}{2}} V_{giriş}^E(z) \quad (44)$$

bulunur. Bu ifade transfer fonksiyonunda yerine konulduğunda;

$$H^{EE}(z) = \frac{V_{çıkış}^E(z)}{V_{giriş}^E(z)} = -\left(\frac{C_1}{C_2}\right) z^{-1} \quad (45)$$

bulunur.

Daha önce verilen sürekli zaman eviren gerilim kuvvetlendiricisini, anahtarlanmış kapasite eş değeri ile frekans domeninde karşılaştırmak daha kullanışlıdır. Öncelikle işlemsel kuvvetlendiricinin ideal olması koşulu göz önüne alındığında, sürekli zamandaki devrenin

frekans cevabının $\frac{R_2}{R_1}$ genlik çarpanı ve $\pm 180^\circ$ faz kayması taşıdığı görülür. Frekans

cevabındaki tüm genlik ve faz kayması frekanstan bağımsızdır. Anahtarlanmış kapasiteli devrenin frekans cevabı için z-domenindeki transfer fonksiyonunda $z = e^{j\omega T}$ dönüşümünü yapılır;

$$H^{OE}(e^{j\omega T}) = \frac{V_{çıkış}^E(e^{j\omega T})}{V_{giriş}^E(e^{j\omega T})} = -\left(\frac{C_1}{C_2}\right) e^{j\omega T/2} \quad (46)$$

(42) için ve

$$H^{EE}(e^{j\omega T}) = \frac{V_{çıkış}^E(e^{j\omega T})}{V_{giriş}^E(e^{j\omega T})} = -\left(\frac{C_1}{C_2}\right) e^{-j\omega T} \quad (47)$$

(45) için bulunur. Eğer $\frac{R_2}{R_1}$ oranı $\frac{C_1}{C_2}$ oranına eşit ise frekans cevabının genlik katsayıları

birbirlerine eşit olur. Buna rağmen faz kaymaları için aynı şey söylenemez. Faz kaymaları (42) için

$$\text{Arg}[H^{OE}(e^{j\omega T})] = \pm 180^\circ - \omega \frac{T}{2} \quad (48)$$

ve (45) için

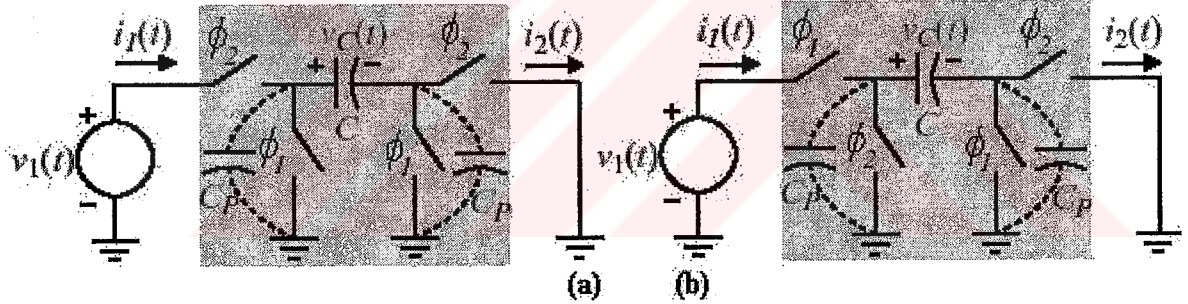
$$\text{Arg}[H^{EE}(e^{j\omega T})] = \pm 180^\circ - \omega T \quad (49)$$

şeklinde bulunur. Görüldüğü gibi anahtarlanmış kapasiteli kuvvetlendiricinin, sürekli zamandaki kuvvetlendiriciyle aynı faz kaymasına sahiptir. Buna rağmen frekansa bağlı bir faz

gecikmesi mevcuttur. Görüldüğü gibi sinyal frekansı anahtarlama frekansının yarısı kadar olduğu zaman faz kayması (48) denklemi için 90 derece geri gitmekte ve (49) denklemi için 180 derece geri gitmektedir. Çoğu zaman bu faz kayması önemsiz olabilir. Ancak bu devre geri beslemeli bir yapıya girdiğinde devrenin kararlılığı açısından oldukça kritik olabilir.

Geliştirilen anahtarlanmış kapasiteli devreler parazitik kapasitelere duyarsız hale getirilmişlerdir. Şekil 2.11’de pozitif ve negatif seri dirence eş değer ve parazitik kapasitelere duyarsız anahtarlanmış kapasiteli devreler görülmektedir. Bu devreler iki uçlu devreler olup giriş ucuna uygulanan gerilimle diğer ucta bir akım oluştururlar. Bu ucta zaten çıkış devresine kısa devredir. İncelenen kuvvetlendirici uygulamasında bu çıkış ucu işlemsel kuvvetlendiricinin sanal toprak (virtual ground) girişine bağlıdır.

Şekil 2.13a daki devreler kullanıldığında parazitik kapasitelerin devreyi etkilemediği görülür (Martin ve Sedra, 1981). Çünkü ϕ_1 anahtarı kapatıldığında parazitik kapasiteler kısa devredirler ve şarj olamazlar. ϕ_2 Anahtarları kapatıldığında giriş gerilimine paralel yada çıkış üzerinden kısa devre olurlar. Bu fazda giriş tarafındaki kapasite şarj olsa bile bir sonraki fazda kısa devre edilecektir.



Şekil 2.12 Parazitik kapasiteli anahtarlanmış kapasite modelleri

Giriş geriliminin bir anahtarlama periyodu boyunca sabit kaldığını kabul ederek Şekil 2.12b deki devrenin geçiş direncinin diğer devreninkinin negatifi olduğunu gösterilebilir. Şekil 2.12a deki devrelerin geçiş direnci;

$$R_T = \frac{v_1(t)}{i_2(t)} = \frac{v_1}{i_2(ort)} \quad (50)$$

dır. Şekil 2.12b deki devre $i_2(ort)$ değeri hesaplanırsa;

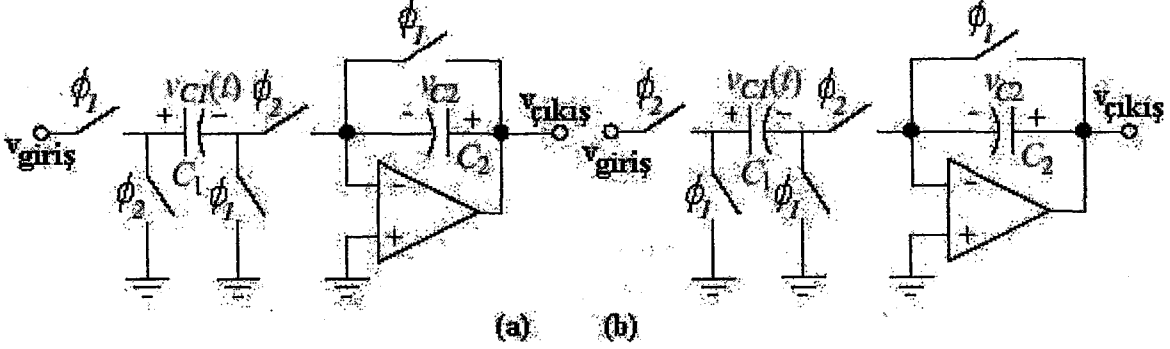
$$i_2(ort) = \frac{1}{T} \int_{T/2}^T i_2(t) dt = \frac{-q_2(T) + q_2(T/2)}{T} = \frac{-Cv_C(T) + Cv_C(T/2)}{T} = \frac{-Cv_1}{T} \quad (51)$$

bulunur. (51) denklemini (50) denkleminde yerine koyduğumuz zaman;

$$R_T = -\frac{T}{C} \quad (52)$$

olduğu görülür. Aynı şekilde Şekil 2.12a da ki devrenin geçiş direnci ise $R_T = \frac{T}{C}$ bulunur.

Burada anahtarlama şekli geçiş direncinin negatife dönmesine sebep olmaktadır.



Şekil 2.13 Parazitik kapasitelerden etkilenmeyen anahtarlanmış kapasiteli kuvvetlendirici

Bu tip anahtarlanmış kapasitelerin kuvvetlendiricilerde kullanılması sonucu parazitik kapasitelerden etkilenmeyen eviren ve evirmeyen tipte gerilim kuvvetlendiriciler; gerçekleştirilebilir. Bu tip devreler Şekil 2.13 de gösterilmiştir. Bu devrelere dikkat edildiğinde tek farkın anahtarlama sıralamasında olduğu görülür. Bu devrelerde C2 kapasitesi üzerindeki anahtarın geri besleme yolunun kırılmaması için kullanıldığına dikkat edilmelidir. Bu devreler istenen kuvvetlendiricileri gerçeklemesine rağmen sürekli zaman kuvvetlendiricilerinden oldukça farklıdır. Bu nedenle performanslarını daha iyi incelenmesi gerekir.

Şekil 2.13a da ki devre yine Şekil2.5b deki anahtarlama şekli ile incelenebilir. $(n-1)T$ ve $(n-\frac{1}{2})T$ zaman aralığında ϕ_1 fazında her bir kapasite üzerine düşen gerilimler;

$$v_{C1}^O((n-1)T) = v_{giriş}^O((n-1)T) \quad (53)$$

$$v_{C2}^O((n-1)T) = v_{çıkış}^O((n-1)T) = 0 \quad (54)$$

ve çıkış gerilimi;

$$v_{çıkış}^E((n-\frac{1}{2})T) = \left(\frac{C_1}{C_2}\right) v_{giriş}^O((n-1)T) \quad (55)$$

şeklinde bulunur. z-domenindeki ifadede

$$v_{\text{çıkış}}^E(z) = \left(\frac{C_1}{C_2} \right) z^{-1/2} v_{\text{giriş}}^O(z) \quad (56)$$

olur. Uygulanan işaret $v_{\text{giriş}}^O((n-1)T)$ bir önceki ϕ_2 fazı boyunca değişmez ise (56) ifadesi

$$v_{\text{çıkış}}^E(z) = \left(\frac{C_1}{C_2} \right) z^{-1} v_{\text{giriş}}^E(z) \quad (57)$$

haline döner. Bu sonuçlar, daha önceki sürekli zamandaki devreyle karşılaştırıldığında zaman yine frekans cevabındaki genlik değerinin aynı olduğu, faz kaymalarının ise $-\frac{\omega T}{2}$, $-\omega T$ olduğu görülür.

Şekil 2.13b'deki devre incelendiğinde ϕ_1 fazı boyunca C_1 , C_2 kapasitelerinin boşaldığı unutulmamalıdır. Aynı şekilde ϕ_1 , ϕ_2 fazları arasında bir yük transferi de olmamaktadır. ϕ_2 fazı boyunca Şekil 2.13b de ki devre basitçe eviren tipte bir gerilim kuvvetlendiricisidir. Bu fazdaki çıkış gerilimi;

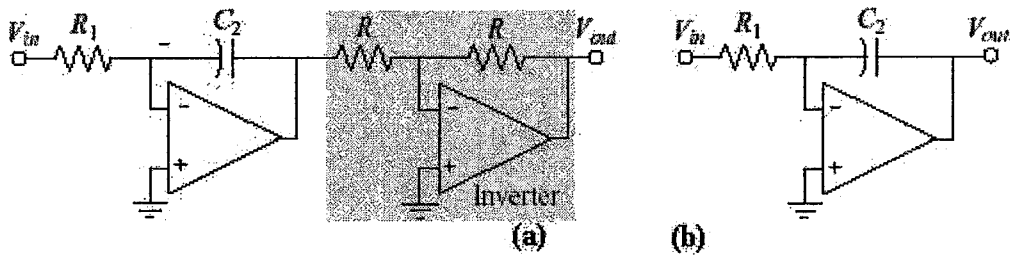
$$v_{\text{çıkış}}^E\left(\left(n-\frac{1}{2}\right)T\right) = -\left(\frac{C_1}{C_2}\right) v_{\text{giriş}}^e\left(\left(n-\frac{1}{2}\right)T\right) \quad (58)$$

şeklindedir. Burada çıkış geriliminde giriş gerilimine ait bir gecikme olmamaktadır.

$$v_{\text{çıkış}}^E(z) = -\left(\frac{C_1}{C_2}\right) v_{\text{giriş}}^E(z) \quad (59)$$

2.6.2 Anahtarlanmış Kapasiteli Entegratörler

Entegratör devreleri analog işaret işleme devrelerinin temel bloklarından biridir. Hemen hemen bütün analog filtreler içlerinde eviren yada evirmeyen tipte entegratörler bulundurulur.



Şekil 2.14 Eviren ve evirmeyen tipte entegral alan sürekli zaman devreleri

Şekil 2.14 de sürekli zaman da entegral alan eviren ve evirmeyen tipte iki devre görülmektedir. İlk şekilde ki devre, evirmeyen tipteki en basit yapıdaki bir entegratör devresi

olduğu için iki işlemsel kuvvetlendiricili olarak verilmiştir.

Evirmeyen tipteki entegratör devresinin ideal transfer fonksiyonu;

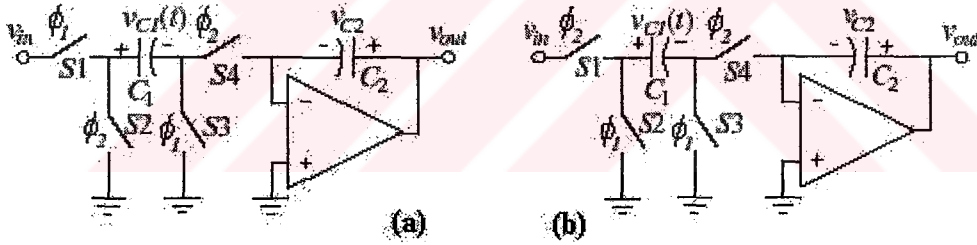
$$\frac{V_{\text{çıkı}}(j\omega)}{V_{\text{giriş}}(j\omega)} = \frac{1}{j\omega R_1 C_2} = \frac{\omega_1}{j\omega} = -\frac{j\omega_1}{\omega} \quad (60)$$

evirmeyen tipteki devrenin transfer fonksiyonu ise;

$$\frac{V_{\text{çıkı}}(j\omega)}{V_{\text{giriş}}(j\omega)} = -\frac{1}{j\omega R_1 C_2} = -\frac{\omega_1}{j\omega} = \frac{j\omega_1}{\omega} \quad (61)$$

dır. Bu fonksiyonlarda ω_1 , entegratörün kazanç genliğinin 1 olduğu noktadır. İki transfer fonksiyonundan devrelerin kazançlarının aynı olmasına rağmen faz cevaplarının 180 derece farklı olduğu görülmektedir.

Şekil 2.14b deki devrede R1 direnci yerine, negatif geçiş direnci olarak anahtarlanmış kapasiteli devre konularak elde edilen devre, evirmeyen tipte bir entegratör gerçekler. Eğer buradaki negatif geçiş direnci yerine pozitif geçiş direnci konulursa devre eviren tipte entegratör olacaktır. Devrelerde ortak olarak geri besleme yolunda ki anahtar kaldırılmıştır (Şekil 2.15).



Şekil 2.15 Eviren ve evirmeyen tipte anahtarlanmış kapasiteli entegral alan devreler

Bu devrelerin frekans cevaplarını bulmak için, evirmeyen tipteki (Şekil 2.15a) devreye yine Şekil 2.5b deki gibi bir anahtarlama şekli uygulandığında, ϕ_1 Fazı boyunca ($t = (n-1)T$ ve $t = (n - \frac{1}{2})T$ zaman aralığı) her bir kapasite üzerine düşen gerilim;

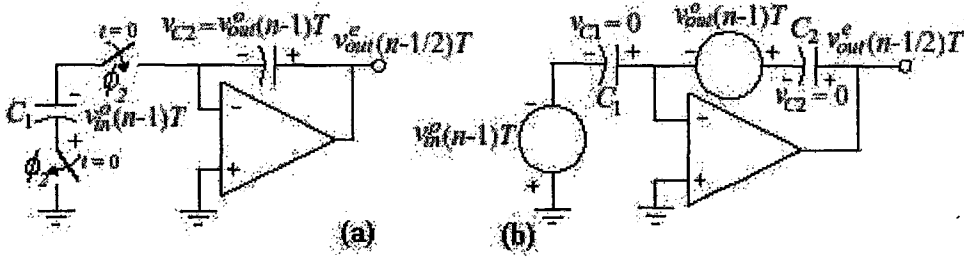
$$v_{C1}^O((n-1)T) = v_{\text{giriş}}^O((n-1)T) \quad (62)$$

$$v_{C2}^O((n-1)T) = v_{\text{çıkı}}^O((n-1)T) \quad (63)$$

olarak yazılabilir.

ϕ_1 Fazı boyunca devrelerin eşdeğeri Şekil 2.16a'da ve bu devrenin daha basitleştirilmiş hali

Şekil 2.16b’de verilmiştir. Görüldüğü gibi bu fazda her bir kapasite, başlangıç koşulları yerine bağımsız bir gerilim kaynağı ve buna bağlı seri bir kapasite şeklinde gösterilmiştir.



Şekil 2.16 Evirmeyen tipteki anahtarlanmış kapasiteli entegral alan devrenin ϕ_1 fazındaki eşdeğer devre modelleri

Bu şekilden;

$$v_{\text{çıkış}}^E((n-1/2)T) = \left(\frac{C_1}{C_2} \right) v_{\text{giriş}}^O((n-1)T) + v_{\text{çıkış}}^O((n-1)T) \quad (64)$$

yazılabilir. Bir periyot daha ileri gidildiğinde $t = nT$ ve $t = (n - \frac{1}{2})T$ zaman aralığı boyunca

çıkış geriliminin değişmediği görülür. Buradan hareketle;

$$v_{\text{çıkış}}^O(nT) = v_{\text{çıkış}}^E((n-1/2)T) \quad (65)$$

yazılabilir. (63) denklemi (64) denkleminde yerine konulduğunda istenen zaman bağımlı ifadeyi elde ederiz.

$$v_{\text{çıkış}}^O(nT) = \left(\frac{C_1}{C_2} \right) v_{\text{giriş}}^O((n-1)T) + v_{\text{çıkış}}^O((n-1)T) \quad (66)$$

(65) İfadesi z-domeninde yeniden yazıldığında;

$$V_{\text{çıkış}}^O(z) = \left(\frac{C_1}{C_2} \right) z^{-1} V_{\text{giriş}}^O(z) + z^{-1} V_{\text{çıkış}}^O(z) \quad (67)$$

ve devrenin transfer fonksiyonunu çıkartıldığında;

$$H^{OO}(z) = \frac{V_{\text{çıkış}}^O(z)}{V_{\text{giriş}}^O(z)} = \left(\frac{C_1}{C} \right) \frac{z^{-1}}{1 - z^{-1}} = \left(\frac{C_1}{C} \right) \frac{1}{z - 1} \quad (68)$$

elde edilir.

Devrenin frekans cevabı için $z = e^{j\omega T}$ dönüşümünü yapıldığında;

$$H^{OO}(e^{j\omega T}) = \frac{V_{\text{çıkış}}^O(e^{j\omega T})}{V_{\text{giriş}}^O(e^{j\omega T})} = \left(\frac{C_1}{C_2} \right) \frac{1}{e^{j\omega T} - 1} = \left(\frac{C_1}{C_2} \right) \frac{e^{-j\omega T/2}}{e^{j\omega T/2} - e^{-j\omega T/2}} \quad (69)$$

bulunur. Frekans cevabındaki $e^{j\omega T/2} - e^{-j\omega T/2}$ ifadesine trigonometrik dönüşüm uygulanırsa;

$$H^{OO}(e^{j\omega T}) = \frac{V_{\text{çıkış}}^O(e^{j\omega T})}{V_{\text{giriş}}^O(e^{j\omega T})} = \left(\frac{C_1}{C_2} \right) \frac{e^{-j\omega T/2}}{j2\sin(\omega T/2)} \left(\frac{\omega T}{\omega T} \right) = \left(\frac{C_1}{j\omega TC_2} \right) \left(\frac{\omega T/2}{\sin(\omega T/2)} \right) (e^{-j\omega T/2}) \quad (70)$$

bulunur. (69) denkleminde ωT 'nin çok küçük olduğu düşünüldüğünde sondaki iki terim ihmal edilebilir hale gelecektir. Buradan (70) denklemi ile (60) denklemi karşılaştırıldığında $R1$ direncinin T/C_1 olduğu görülür. Entegratör frekansı

$$\omega_1 = \frac{C_1}{TC_2} \quad (71)$$

olarak tanımlanır. Bu frekans iki kapasitenin oranı şeklinde olduğundan tümdevre içinde çok doğru gerçekleştirilebilir.

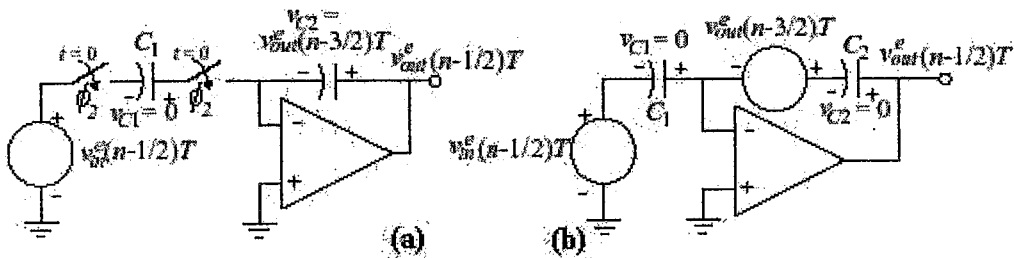
(70) ifadesindeki ikinci ve üçüncü terimler genlik ve faz hatalarıdır. Sinyal frekansı ω arttıkça genlik terimi 1 den sonsuza doğru büyür. Faz hatası ise düşük frekanslarda ihmal edilebilecek kadar küçüktür.

Şekil 2.17b deki eviren tipteki entegratörün frekans cevabı için öncekine benzer bir yöntem kullanılır. ϕ_1 fazıyla başlayarak $t = (n-1)T$ ve $t = (n-\frac{1}{2})T$ zaman aralığında;

$$v_{C_1}^O((n-1)T) = 0 \quad (72)$$

$$v_{C_2}^O((n-1)T) = v_{\text{çıkış}}^O((n-1)T) = v_{\text{çıkış}}^E((n-3/2)T) \quad (73)$$

elde edilir. (72) ifadesinde C_2 kapasitesinin bir önceki faz periyodu ϕ_2 den dolu olarak kaldığı görülmektedir.



Şekil 2.17 Eviren tipteki anahtarlanmış kapasiteli integral alan devrenin ϕ_2 fazındaki eşdeğer devre modelleri

Bir sonraki faz periyodundaki (ϕ_2 , $t = nT$ ve $t = (n - \frac{1}{2})T$ zaman aralığı) devrenin basitleştirilmiş eşdeğeri Şekil 2.16 da görülmektedir. Şekilden, çıkış gerilimi;

$$v_{\text{çıkış}}^E((n - 1/2)T) = v_{\text{çıkış}}^E((n - 3/2)T) - \left(\frac{C_1}{C_2}\right) v_{\text{giriş}}^E((n - 1/2)T) \quad (74)$$

şeklinde yazılabilir. Bu ifade z-domeninde tekrar yazıldığında;

$$V_{\text{çıkış}}^E(z) = z^{-1} V_{\text{çıkış}}^E(z) - \left(\frac{C_1}{C_2}\right) V_{\text{giriş}}^E(z) \quad (75)$$

ifadesi elde edilir. Elde edilen eşitsizlikten transfer fonksiyonu

$$H^{EE}(z) = \frac{V_{\text{çıkış}}^E(z)}{V_{\text{giriş}}^E(z)} = -\left(\frac{C_1}{C_2}\right) \frac{1}{1 - z^{-1}} = -\left(\frac{C_1}{C_2}\right) \frac{z}{z - 1} \quad (76)$$

şeklinde bulunur. Frekans cevabı için ise yine $z = e^{j\omega T}$ dönüşümü yapılır.

$$H^{EE}(e^{j\omega T}) = \frac{V_{\text{çıkış}}^E(e^{j\omega T})}{V_{\text{giriş}}^E(e^{j\omega T})} = -\left(\frac{C_1}{C_2}\right) \frac{e^{j\omega T}}{e^{j\omega T} - 1} = -\left(\frac{C_1}{C_2}\right) \frac{e^{j\omega T/2}}{e^{j\omega T/2} - e^{-j\omega T/2}} \quad (77)$$

Bulunan, frekans cevabındaki, $e^{j\omega T/2} - e^{-j\omega T/2}$ ifadesine trigonometrik dönüşüm uygulandığında;

$$H^{EE}(e^{j\omega T}) = \frac{V_{\text{çıkış}}^E(e^{j\omega T})}{V_{\text{giriş}}^E(e^{j\omega T})} = -\left(\frac{C_1}{j\omega TC_2}\right) \left(\frac{\omega T/2}{\sin(\omega T/2)}\right) (e^{j\omega T/2}) \quad (78)$$

bulunur. Bu ifade (70) ifadesiyle karşılaştırıldığı zaman, fark denklemin tamamını etkileyen -1 katsayısı ve üslü terimlerin bir tanesindeki farklılık olduğu görülür. Bu farklılık sistemin genliğini değiştirmez. Her iki frekans cevabının genlik katsayıları aynıdır. Ancak bu durum fazları için söylenemez. İki devre arasında faz farkı vardır. Bu devrenin faz farkı;

$$\text{Arg}[H^{EE}(e^{j\omega T})] = \frac{\pi}{2} + \frac{\omega T}{2} \quad (79)$$

şeklinde verilebilir.

3. CYPRESS PSOC İŞLEMCİSİ

3.1 Genel Mimari

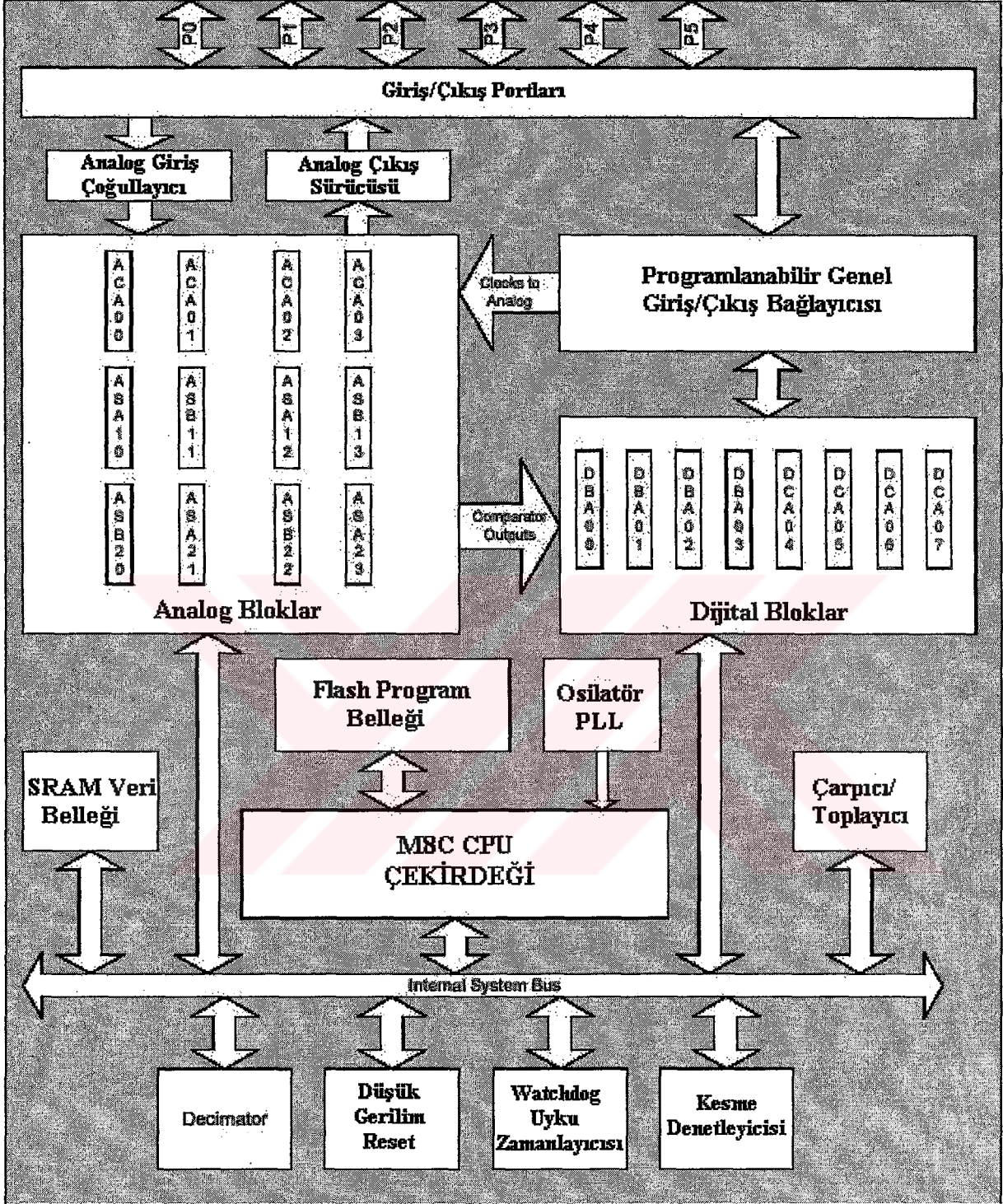
Programlanabilir sistemler kategorisinde yer alan bu tümdevre bir çok ilki bünyesinde barındırmaktadır. Daha önce bir çok yerde kullanılan standart 8bitlik denetçilerden farklı olarak, üzerinde sabit bir çevre birimi taşımamaktadır. İhtiyaç duyulan çevre birimleri, tümdevre üzerinde konfigüre edilebilir alanlarda tasarlanmaktadır. Denetleyici programlanabilir kapı dizilerinde (PGA,FPGA,...) olduğu gibi bir kullanılır. Ancak lojik işlemler yanında analog işlemler yapma yeteneğine de sahiptir. Üzerinde bulunan programlanabilir analog ve dijital devre blokları sayesinde istenilen bir çok çevre birimini tümdevre üzerinde yazılım yoluyla kullanabilmektedir. Bu özellik sayesinde mikrodenetleyici, çalışma esnasında (run-time) bile yeniden konfigüre edilebilir. Böylece gerçekleştirilen devre çalışma sırasında bambaşka işler yapan bir devre haline gelebilir.

Bu mikrodenetleyiciler Harward mimarisine dayalı 8 bitlik bir çekirdek içerir. Program ve hafıza yollarının ayrı olması yazılan programın verimini çok artırır. 24MHz'e varan çalışma hızı yanı sıra, çok sayıdaki makine dili komutları (instruction set) sistemin toplam performansını büyük ölçüde arttırmıştır.

Bu aile üyesi olan tüm işlemciler, analog ve dijital programlanabilir bloklar içerir. Bu bloklar birbirinden çok farklı fonksiyonların gerçekleştirilmesini sağlar. Bu bloklar, tümdevre üzerinde, zamanlayıcılar, sayıcılar, darbe genlik modülatörleri, asenkron iletişim modülleri gibi dijital fonksiyonların yanı sıra analog-dijital çeviriciler, genlik kuvvetlendiriciler ve filtreler gibi birçok analog fonksiyonu da gerçekleştirme imkanı sağlar. Bunların yanı sıra bu modülleri birleştirerek modem ve motor sürme devreleri gibi bir çok kompleks işleri de gerçekleştirmek mümkündür. Bu özellikler mikrodenetleyici sistemlere çok büyük olanaklar verirler.

Tümdevre üzerinde bunların yanında genel amaçlı bir çarpıcı toplayıcı modülü, kesme denetleyicisi, faz kilitlemeli bir osilatör ve düşük voltaj denetleyici gibi modüller de mevcuttur. Değişik kılıf tipleriyle bir çok giriş/çıkış bacakları sağlayan tümdevreler üzerinde, 4 ile 16 KB. arasında flash program belleği ve 256B. veri belleği bulunmaktadır. Sistemin genel bir blok şeması Şekil 3.1 de gösterilmiştir.

Dijital ve analog bloklar konfigüre edilebilir sistem kaynaklarıdır. Bir çok çevre birimi gerçekleştirilebildiği için harici çevre birimlerine olan ihtiyacı ortadan kaldırmıştır. Buda



Şekil 3.1 PSOC Denetçisi genel yapısı

ciddi bir maliyet indirimiyle sonuçlanabilir. İçinde bir çok kullanılmayacak çevre birimi içeren mikrodenetçiler kullanmak yerine sadece istediğimiz modülleri tasarlayabileceğimiz ve kullanabileceğimiz bir ortam mümkün olmaktadır.

3.2 Çekirdek Yapısı ve Programcı Bilgisi

Yüksek performanslı 8 bitlik Harvard mimarisi kullanılan bu işlemci, ana çekirdek işlemleri için 5 adet yazmaç içermektedir. Bu yazmaçlar, çeşitli işlemlerden etkilenmekte ancak kullanıcı tarafından bellek üzerinden direkt şekilde erişilememektedirler. Bu yazmaçlar Bayraklar (Flags), Program Sayıcı (Program Counter), Genel Yazmaç (Accumulator), Yığın İşaretleyici (Stack Pointer) ve İndeks Yazmacı (Index) dır.

16 Bitlik program sayıcı (PC) 16 KB 'lık program alanına direkt erişimi sağlamak için kullanılır. Herhangi bir sayfalama (paging) özelliği olmadan tüm alana lineer olarak erişilebilir. Çekirdek biriminde işletilecek olan bir sonraki kodun adresini göstermek için kullanılır.

Genel yazmaç (A) her türlü işlemin sonucunu saklamak için kullanılır. Bazı işlemler için giriş değerinin saklandığı genel amaçlı yazmaçtır. 8 Bitlik bir saklayıcıdır.

Index yazmacı (I) bazı adresleme tiplerinde kullanılan ofset değerini saklamak için kullanılır. Genelde veri belleğindeki bir grup verinin yerini göstermek için kullanılır.

Yığın yazmacı (SP) o anki yığının en üst adresini göstermek için kullanılır. Sadece bazı işletme kodlarından etkilenir. Bunlar yığına veri itme ve çekme, fonksiyon çağırılma ve kesme servisinden ayrılmak gibi komutlardır.

Bayrak yazmacı (F) çekirdeğin o anki durumuna ait bazı durum bayraklarını barındırır. Bunlar; sıfır bayrağı, elde bayrağı, işletme bayrağı, uzatılmış yazmaç deposu erişim bayrağı ve genel kesme izin bayrağıdır. Bu bayrakların durumu sadece çekirdek tarafından değiştirilebilir. Kullanıcı bu bayrakları sadece bilgi almak amacıyla kullanabilir.

3.2.1 Adresleme Tipleri

Mikrodenetçi toplam 10 farklı adresleme tipi kullanır. Bu adresleme tipleri ile yüksek seviyeli diller ile yazılan programlar çok verimli bir şekilde makine diline çevrilebilir. Bu adresleme tipleri kısaca şöyledir.

Çabuk adresleme: Bu adresleme tipinde komut için kullanılacak veri direkt olarak komutun işlem kodu arkasında yer alır. 2 Bayt uzunluğunda bir adresleme şeklidir. Örnek olarak;

ADD A , 7 : A yazmacına 7 ekler sonucu yine A yazmacına saklar.

MOV X , 8 : X yazmacına 8 değerini yükler.

Direkt kaynak adresleme: Bu adresleme tipi çabuk adresleme tipine benzer. Verinin kendisi

yerine adresi verilerek işlem yapılır. Örnek olarak;

ADD A,[7] :A yazmacına 7 adresindeki data eklenir sonuç A yazmacına saklanır.

İndeksli kaynak adresleme: Kullanılacak verinin adresini indeks yazmacına bağlı olarak hesaplar.

ADD A,[X+7]: A yazmacına X+7 adresindeki data eklenir.

İndeksli hedef adresleme: İşlem sonucunun yazılacağı yeri indeks yazmacının değerine bağlı olarak verir.

ADD [X+7],A : X+7 adresindeki dataya A yazmacındaki değeri ekler.

Direkt hedef adresleme: İşlem sonucunun yazılacağı adres direkt olarak bildirilir. Kaynak ise genel amaçlı yazmaçtır.

ADD [7],A : 7 Adresindeki veriye A yazmacındaki değeri ekler.

Direkt çabuk hedef adresleme: Hedef direkt olarak adreslenirken kaynak çabuk şekilde adreslenir.

ADD [7],5 : 7 adresindeki veriye 5 eklenir.

Kaynak hedef direkt adresleme: Kaynak ve hedef direkt olarak adreslenir.

ADD [8],[7]: 8 adresindeki veriye 7 adresindeki veri eklenir.

Dolaylı kaynaktan sonra artıran adresleme: Bu adresleme tipinde kaynak adres dolaylı olarak adreslenir ve işlem sonrasında dolaylı adres 1 arttırılır. Döngü işlemlerinde kullanılır.

ADD A,[7]:A yazmacına 7 adresindeki verinin adreslediği veri eklenir. Daha sonra 7 adresindeki veri bir arttırılır.

Dolaylı hedeften sonra artıran adresleme: Bu tipte hedef adres dolaylı olarak verilir. Sonra bu adresteki bilgi 1 arttırılır.

ADD [7],A: 7 adresindeki verinin gösterdiği adrese A yazmacının içeriği eklenir. Sonra 7 adresindeki veri bir arttırılır.

3.3 Dijital Bloklar

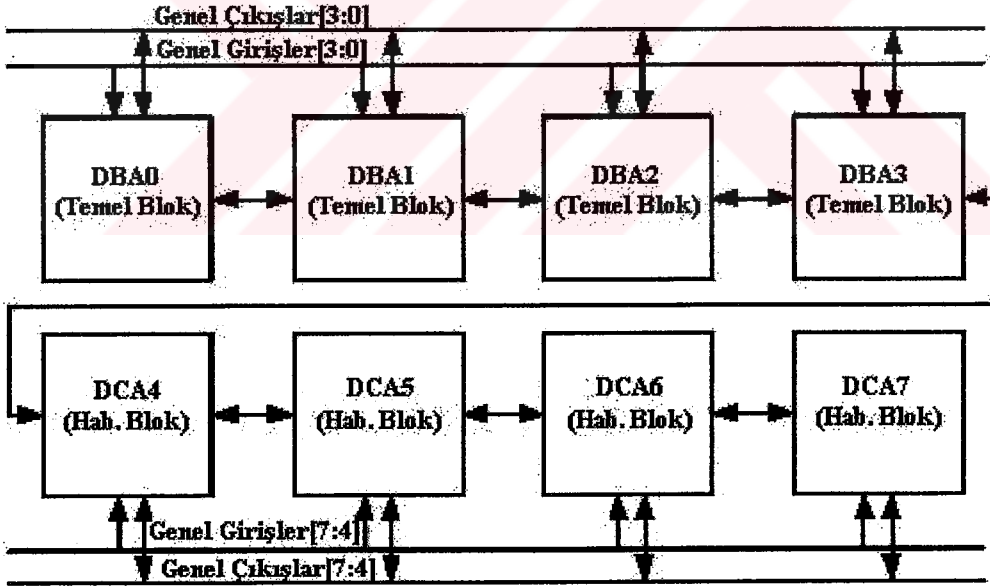
Sistemde iki çeşit olmak üzere toplam 8 adet dijital blok bulunmaktadır. Bunlar sıralı olarak birbirine bağlanabilmektedir. Bu blokların 4 tanesi temel dijital tipte diğer 4 tanesi ise dijital haberleşme tipindedir. Bu bloklar ayrı ayrı programlanabilirler. Her birine ait birer kesme vektörü, çalıştırma ve durdurma bitleri vardır.

Temel dijital bloklar ile sayıcı, zamanlayıcı, CRC üretici, darbe genlik modülatörü gibi çevre birimleri yapılabilir. Dijital haberleşme bloklarıyla ise senkron ve asenkron haberleşme birimleri gerçekleştirilebilir.

Dijital blokların konfigürasyonu her bir bloğun sahip olduğu 3 çeşit yazmaç tarafından yapılabilir. Bu yazmaçlar; genel fonksiyonları tanımlayan fonksiyon yazmacı, girişleri belirleyen giriş yazmacı ve çıkışları belirleyen çıkış yazmacıdır.

Ayrıca 3 adet data yazmacı ve bir adet kontrol yazmacı bloğun belirlenen görevi dahilinde değişik verileri bloğa bildirme amacıyla kullanılır.

Bu blokların dış dünya ile olan ilişkileri, tümdevre içerisinde bulunan genel giriş ve çıkış veri yolları ile sağlanır. Bu veri yolları ile bloklara data ve saat işaretleri ulaştırılabilir. Aynı şekilde bu veri yolları sayesinde bloklar arasında da veri yada saat aktarımı yapılabilir. Her bir veri yolu toplam 8 bit genişliğindedir. Her bir blok ise toplam 4 giriş yada 4 çıkış veri yolundan birini seçebilir. Herhangi bir veri yoluna aynı anda iki blok aynı tipte bağlanamaz. Yani aynı veri yoluna iki blok aynı anda giriş yada çıkış yapamaz. Her bir bloğun giriş ve çıkış için hangi veri yolunu kullanacağı, bloklara ait genel seçim yazmaçları ile belirlenir.



Şekil 3.2 Dijital bloklar ve genel giriş çıkış veri yolları

3.4 Analog Bloklar

Mikrodenetleyici üzerinde toplam 12 adet analog blok bulunmaktadır. Her bir blok 3 çeşit giriş ve 2 çeşit çıkışa sahiptir. Bu girişler; dış dünyadan gelen analog işaretleri almaya yarayan harici girişler, diğer bloklardan gelen işaretleri almaya yarayan girişler ve tümdevre

üzerindeki çeşitli referans gerilimleri almaya yönelik girişlerdir. Bloklarda bulunan çıkışlar ise diğer analog bloklara işaret göndermek için kullanılan çıkışlar, dijital bloklara tümdevre üzerindeki karşılaştırmacı üzerinden bilgi göndermek için kullanılan çıkışlar ve tamamen dış dünyaya işaret göndermek için kullanılan çıkışlardır.

Toplam 12 tane olan analog bloklar 4 'lü gruplar halinde 3 tiptedir. Bunlar sürekli zaman blokları, A tipinde anahtarlanmış kapasite blokları ve B tipinde anahtarlanmış kapasite bloklarıdır. Her bir blok üzerinde blokların kullanım amacına yönelik işler yapılabilir. Sürekli zaman bloklarında gerilim kuvvetlendirici uygulamaları yapıldığı gibi anahtarlanmış kapasite bloklarında örnekleme ve tutma devreleri yapılabilir.

3.4.1 Analog Sürekli Zaman Blokları

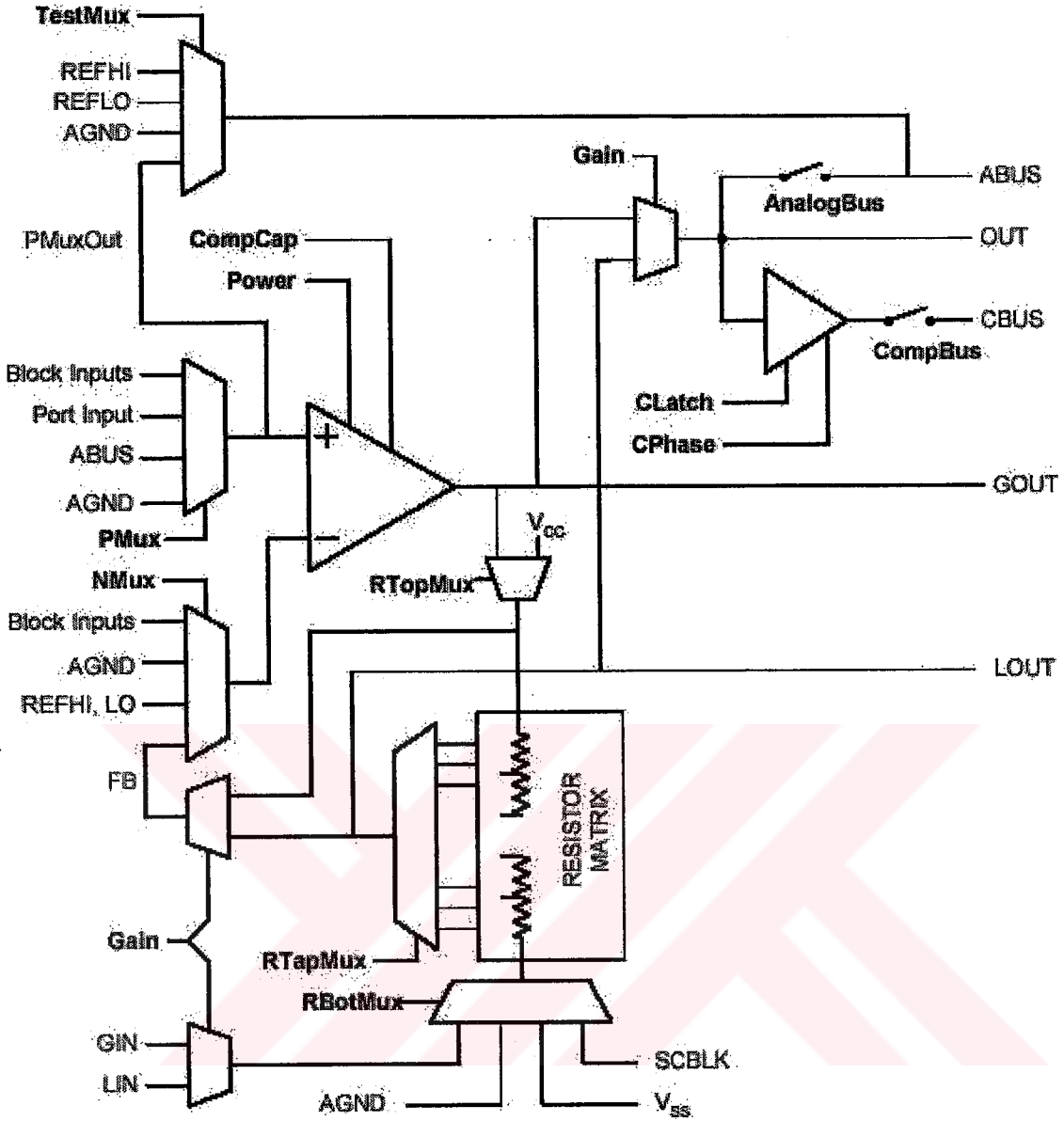
Bu tip bloklar bir işlemsel kuvvetlendirici, bunun etrafındaki analog seçici çoğullayıcılardan sağlanan girişler ve çıkışlardan oluşur. Blok üzerinde işlemsel kuvvetlendiriciye çeşitli şekillerde bağlanabilecek bir direnç matrisi vardır. Bu matris yardımıyla işlemsel kuvvetlendirici çeşitli fonksiyonları yerine getirmektedir.

Blok üzerinde toplam 5 adet çıkış bulunmaktadır. Bu çıkışlar;

- Blokla aynı sütun üzerinde bulunan analog bloklara işaret gönderebilmek için kullanılan analog çıkış veri yolu (ABUS)
- Blokla aynı sütun üzerinde bulunan analog bloklara dijital bilgi gönderebilmek için kullanılan analog karşılaştırmacı çıkış veri yolu (CBUS)
- Diğer bloklara ve dış dünyaya sinyal gönderebilmek için kullanılan veri yolları (OUT, GOUT ve LOUT)

Bu tip analog blokların tüm fonksiyonları 3 adet yazmaç tarafından belirlenir. Bu yazmaçlar; **Kontrol 0 yazmacı** blok üzerinde bulunan direnç matrisinin alt, üst bağlantılarının yapılacağı yeri ayrıca dirençler arasındaki oranı belirler. İşlemsel kuvvetlendiricinin kazanç mı yoksa kayıp vermesi de yine bu yazmaç üzerinden belirlenir.

Kontrol 1 yazmacı işlemsel kuvvetlendiricin pozitif ve negatif terminallerinin nereden alınacağını, çıkışın karşılaştırmacı veri yoluna ve analog çıkış veri yoluna aktarılıp aktarılmayacağı belirleyen yazmaçtır.



Şekil 3.3 Sürekli zaman analog bloğu devre şeması

Kontrol 2 yazmacı ise karşılaştırıcı için işaretin hangi zamanda tutulacağı bilgisini, saat işareti bilgisini ve bloğun güç seviyesi gibi bilgileri vermek amacıyla kullanılan yazmaçtır.

Bu yazmaçların ayrıntılı tablosu EK 1 de bulunabilir.

3.4.2 A Tipi Anahtarlanmış Kapasiteli Bloklar

Şekil 3.4 de A tipi anahtarlanmış kapasite bloğunun ayrıntılı bir devre şeması görülmektedir. Blok, toplam 4 yazmaç üzerinde tanımlanan, toplam 15 parametre ile tam olarak yapılabilmektedir. Yazmaçların içeriği EK 2 de tablo halinde sunulmuştur. Bu 15 adet parametre ise şunlardır;

kapasitesini kullanarak bu ofset gerilimi saklanabilir ve ofseti yok etmek amacıyla bir sonraki devre bloğuna gönderilebilir. Bu bit ayrıca bloğun A ve B yollarını ve bu yolların toplamını kontrol etmek amacıyla kullanılır. Bu bit 1 yapıldığında buradaki iki anahtar aktif hale gelir.

ARefMux, A girişinin neye göre referans alınarak değerlendirileceğini bildiren 2 bitlik bir bilgidir. Bu referans, bitlerin durumuna göre analog toprak , pozitif ve negatif referans gerilimi veya karşılaştırmacı çıkışına göre belirlenen analog bir işarettir.

FSW0 ve **FSW1**, FCap kapasitesinin devreye bağlı olup olmayacağına ve hangi fazda boşaltılacağını belirleyen 1'er bitlik değerdir.

BMux, BCap kapasitesine girilecek işaretin ne olacağına karar veren 2 bitlik bir bilgidir.

Power, bloğun nasıl bir güç ile çalışacağına karar veren 2 bitlik bilgidir. Yüksek, orta, alçak ve kapalı olmak üzere bloğun gücünü ayarlar.

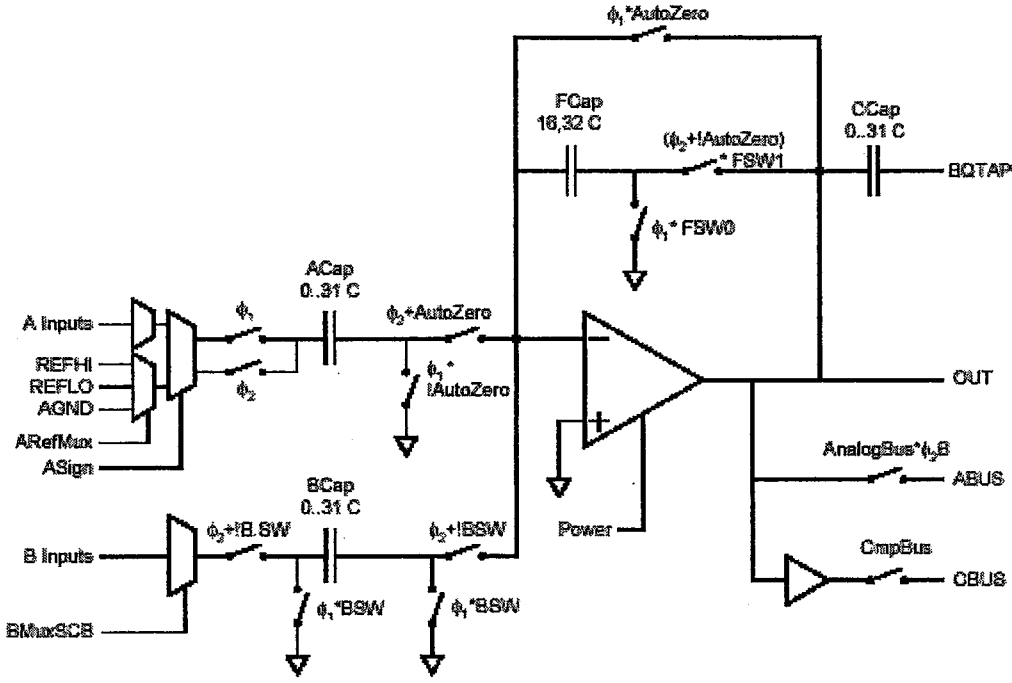
3.4.3 B Tipi Anahtarlanmış Kapasiteli Bloklar

Blok toplam 4 adet yazmaç üzerinden 16 parametre ile tanımlanabilmektedir. Bu 16 parametrenin 13 tanesi A tipi anahtarlanmış kapasite bloğu ile aynıdır. Farklı olan 3 tanesi ise şunlardır.

AMux, ACap kapasitesine bağlı olacak girişlerin ne olacağını bildiren 3 bitlik bir bilgidir.

BSW, BCap kapasitesinin anahtarlanmış bir kapasite olarak üzerinden işlemsel kuvvetlendiriciye işaret girilmesi amacıyla kullanılır. Set edilmediği zaman BCap kapasitesi sadece bir kapasite olarak kullanılabilir.

BMuxSCB, BCap kapasitesine bağlanacak bilginin iletilmesine karar veren 1 bitlik bir bilgidir.



Şekil 3.5 B tipi anahtarlanmış kapasite bloğu

3.4.4 Tümdevre Üzerinde Analog Blokların Yerleşimi

Tümdevre üzerinde ki analog bloklar belirli bir düzen içinde yerleştirilmişlerdir. Bu düzen bir matris yapısı içinde 3 satır ve 4 sütundan oluşur. Bu şekilde bloklar birbirine ve dış dünyaya belirli kurallar dahilinde bağlanabilir.

	Analog Sütun 0	Analog Sütun 1	Analog Sütun 2	Analog Sütun 3
Analog Satır 0	ACA00	ACA01	ACA02	ACA03
Analog Satır 1	ASA10	ASB11	ASA12	ASB13
Analog Satır 2	ASB20	ASA21	ASB22	ASA23

Şekil 3.6 Analog blokların yerleşimi

3.4.5 Analog Referans Gerilim Kaynakları

Referans gerilim üretici tümdevre içinde üç çeşit referans gerilimi üretir. Bu gerilim kaynakları analog toprak (AGND), yüksek referans (RefHi) ve düşük referansdır (RefLo). Tümdevre tek kaynak kullanması sonucu analog blokları çalıştırabilmek için bu gerilimleri üretir. İşlevsel kuvvetlendiriciler için gerekli negatif gerilimi sağlamak zor olacağı için analog toprak, ana besleme geriliminin ortalarında bir yerde oluşturulur. Böylece işlevsel

kuvvetlendiriciler analog toprağa göre pozitif ve negatif yönde çalışabilir. Bunun dışında referans gerilimleri, analog dijital dönüştürücülerin çevrim bölgesini ayarlamak için kullanılırlar. Bu 3 referans gerilimi tüm analog bloklara dağıtılabilir.



4. ÇALIŞMA DEVRESİ TASARIMI

Deneysel amaçlarla kullanılmak üzere tasarlanan sistem ile alçak geçiren ve band geçiren filtreler gerçekleştirilebilmektedir. Sistem temel olarak bir donanım ve iki farklı yazılımdan oluşmaktadır. Devrenin donanımı, PSOC mikrodenetleyicisini bulunduran basit bir devredir. Mikrodenetleyici üzerinde, seri porttan aldığı bilgilerle filtreleri yapılandıran bir yazılım bulunmaktadır. Sistemi kontrol eden diğer yazılım ise MS Windows üzerinde koşan bir grafiksel arabirim programıdır. Bu program kullanıcıdan aldığı bilgilerle filtreler için gerekli devre parametrelerini hesaplar.

Sistem donanımı bilgisayara bir seri port aracılığı ile bağlanmaktadır. Mikrodenetleyici üzerinde koşan gömülü yazılım ve PC de koşan arabirim yazılımı bu seri port üzerinden birbirlerine basit bir protokol aracılığıyla bağlıdır. Çalışma devresi, PC deki arabirim programından aldığı komutlar ve parametreler yardımıyla konfigüre olmakta ve çalışmasını buna göre sürdürmektedir.

Erişim programı üzerinden mikrodenetleyiciye gönderilen parametreler, mikrodenetleyici üzerinde silinmez bir bellek alanında saklanır. Devre her çalışmaya başlamasında bu parametreler yardımıyla konfigüre olur ve seri porttan yeni komutlar ve parametreler için bekler. Parametreler gelene kadar çalışmasını sürdürür. Böylece devre üzerindeki mikrodenetleyici, erişim programı olmadan da çalışabilir hale getirilmiştir. Mikrodenetleyici, çalışma devresi olmadan herhangi bir devrede, üzerinde sakladığı parametreler ile analog bir filtre olarak çalışabilmektedir. Buda çalışma devresi üzerinde programlanan işlemcinin deneysel amaçlar dışında gerçek dünyada bir filtre olarak kullanabileceği anlamına gelmektedir. İstenirse seri port yardımıyla filtre yapıları değiştirilebilir. Böylece programlanabilir değişken karakteristikli bir analog filtre elemanı elde edilmiş olur.

4.1 Donanım Mimarisi

Devre kartının yapımında ilk amaçlanan, mümkün olduğunca az devre elemanı kullanarak devrenin herhangi bir ortamda kolaylıkla kurulabilmesidir. Bu nedenle asıl önemli bloklar PSOC mikrodenetleyicisinin içinde gerçekleştirilmiştir. Devre üzerinde, mikrodenetleyici yanında bir güç kaynağı, RS-232 haberleşme arabirimi ve bir kaç koruma amaçlı devre elemanı bulunmaktadır.

Bu bloklar çalışan herhangi bir devre için zaten olması gereken temel bloklardır. Bu nedenle sadece mikrodenetleyici, üzerindeki program ile herhangi bir başka devrede kolaylıkla çalışabilir hale getirilebilir.

Mikrodenetleyici içinde oluşturulan analog filtrelerin temelini Biquad devresi olarak adlandırılan aktif bir devre sağlamaktadır. Sistemdeki en küçük filtre bloğu bu devreden ibarettir. Bu devre ile hem alçak geçiren hem de band geçiren filtreler yapılabilir. Birbiri ardına eklenen bu yapılar ile daha yüksek dereceli filtreler elde edilir.

4.1.1 Biquad Devre Yapısı

Alçak geçiren bir filtrenin gerilim transfer fonksiyonu en genel hali ile

$$T(s) = \frac{\pm H\omega_0^2}{s^2 + (\omega_0/Q)s + \omega_0^2} \quad (4.1)$$

şeklinde yazılabilir. Burada frekans ölçeklendirmesi yapılarak $\omega_0 = 1$ ve eviren tipte bir filtre gerçekleştirilmek istendiği varsayılarak transfer fonksiyonu

$$T(s) = \frac{-H}{s^2 + (1/Q)s + 1} = \frac{V_2}{V_1} \quad (4.2)$$

şekline çevrilmiştir. Bu denkleme bazı değişiklikler yapılarak basit devre blokları ile gerçekleştirilebilir hale getirilebilir. Bu amaçla denklem;

$$\left(s^2 + \frac{1}{Q}s + 1\right)V_2 = -HV_1 \quad (4.3)$$

şeklinde yazılır. Denklemin her iki yanını $s(s + 1/Q)$ ile bölünürse;

$$\left[1 + \frac{1}{s(s + 1/Q)}\right]V_2 = \frac{-H}{s(s + 1/Q)}V_1 \quad (4.4)$$

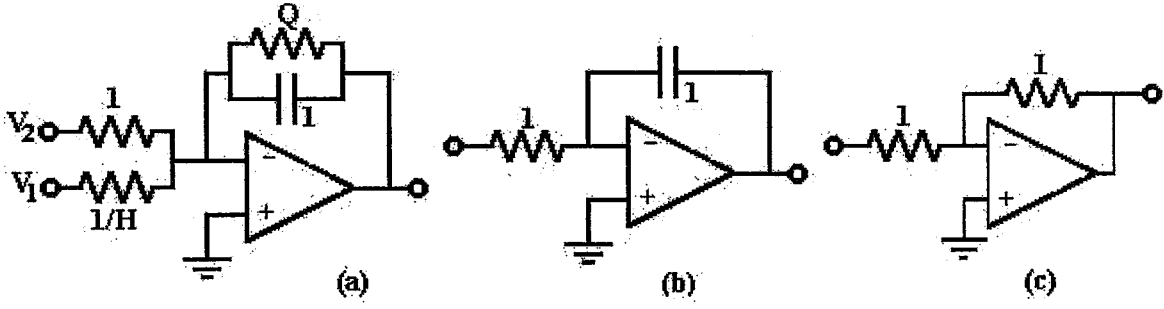
elde edilir. Bu ifade;

$$V_2 = \left[\frac{-1}{s + 1/Q}V_2 + \frac{-H}{s + 1/Q}V_1\right]\left(-\frac{1}{s}\right)(-1) \quad (4.5)$$

şeklinde daha farklı yazılabilir. Bu denklemin sağ tarafına bakıldığında -1 çarpanı kazancı 1 olan eviren tipte bir gerilim kuvvetlendiricisiyle, $-1/s$ ise eviren tipte bir entegral alan bir devreyle gerçekleştirilebildiği görülmektedir.

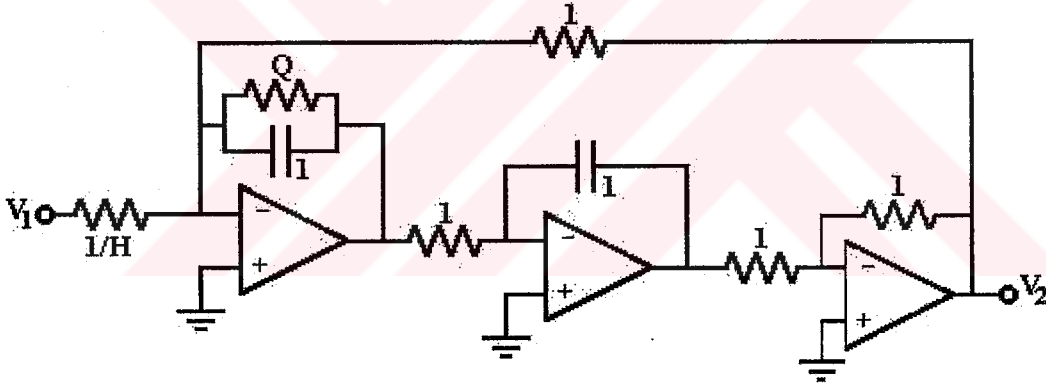
Denklemin geri kalan ifadeleri ise bir gerilim toplayıcısı şeklinde yazılabilir. Bu toplayıcının gerilim transfer fonksiyonu aşağıdaki şekilde olmalıdır.

$$\frac{-1}{(s + 1/Q)} \quad (4.6)$$



Şekil 4.1 Biquad devresinin blokları

Bu üç gerilim transfer fonksiyonunu sağlayan devreler Şekil 4.1 de görülmektedir. Bu şekildeki birinci devre iki gerilimin belli katsayı ile çarpılıp toplamını almaktadır. Bu tip devreler bazen kayıplı entegral alan devreler olarak isimlendirilir. İkinci devre standart eviren tipte bir entegral alan devredir. Üçüncü olarak da kazancı 1 olan gerilim kuvvetlendirici devresi görülmektedir. Eğer bu devreleri seri olarak birbirine bağlarsak ve çıkış geriliminden girişteki toplama noktalarından birine geri besleme yaparsak Şekil 4.2 deki devreyi elde etmiş oluruz. Buda en genel haliyle bir biquad devresidir.



Şekil 4.2 Birim elemanlı Biquad devresi

Bu devreyi incelemenin bir yolu da devrenin baştan bilindiği varsayılarak matematiksel ifadesini çıkartılmaya çalışmaktır. Bu yol için Şekil 4.3 deki gibi R, C elemanları ve işlemsel kuvvetlendiricilerle verilmiş bir devre herhangi bir yöntemle analiz edilerek, devrenin gerilim transfer fonksiyonu olarak;

$$T(s) = \frac{V_2}{V_1} = \frac{-1}{s^2 + \left(\frac{1}{R_1 C_1}\right)s + \frac{-1}{R_2 R_4 C_1 C_2}} \quad (4.7)$$

şeklinde bir ifadeye ulaşılır. Bu denklemden faydalanarak standart bir alçak geçiren filtrenin

katsayıları şöyle bulunur.

$$\omega_0^2 = \frac{1}{R_2 R_4 C_1 C_2} \quad (4.8)$$

$$Q = \sqrt{\frac{R_1^2 C_1}{R_2 R_4 C_2}} \quad (4.9)$$

$$H = \frac{R_2}{R_3} \quad (4.10)$$

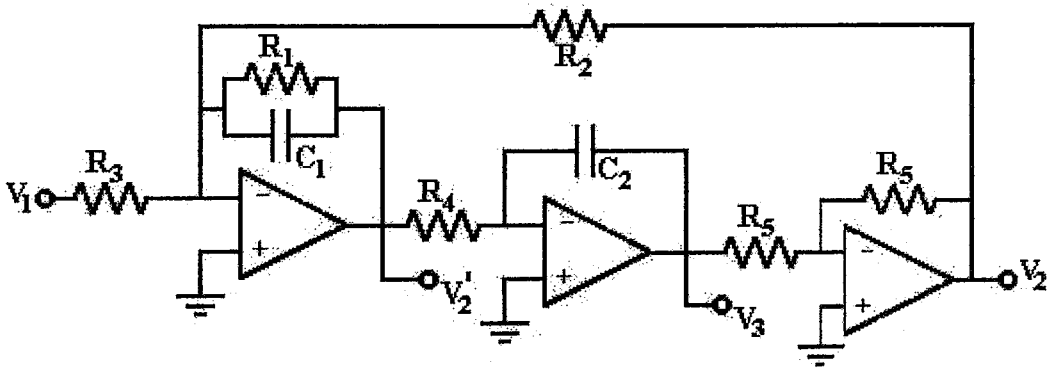
Geleneksel filtre sentez yöntemlerinden biriyle devrenin eleman değerleri bulunabilir. Bunun için istenen üç değer ω_0 , Q ve H ile bilinmeyen 6 devre elemanın değeri bulunmaya çalışılır. Bu işlem en basit olarak 3 değeri rasgele bir şekilde seçip, diğer 3 değeri istenenler yardımıyla hesaplayarak yapılır. Daha sonra bulunan devre eleman değerleri ile istenilen değerlerin sağlanıp sağlanmadığı test edilir. Devrede, frekans ve genlik ölçeklendirmesi yapılabileceği için bazı değerler 1 olarak seçilir. Bunlar rasgele seçilen değerlerdir. Bu değerler yardımıyla diğer değerler hesaplanabilir.

$$C_1 = C_2 = 1 \text{ ve } R_4 = 1 \quad (4.11)$$

Rasgele değerleri seçilip diğer değerler

$$R_1 = Q, R_2 = 1 \text{ ve } R_3 = 1/H \quad (4.12)$$

olarak bulunur. Bu eleman değerlerini Şekil 4.3 deki yerlerine koyduğumuzda Şekil 4.2 deki devreyi elde ederiz.



Şekil 4.3 Biquad devresi

Biquad devresinin en önemli özelliği parametrelerinin bağımsız olarak ayarlanabilmesidir. Yani R_2 direnci belirli bir ω_0 değeri için değiştirilebilir. Aynı şekilde R_1 direnci belirli bir Q

değeri için değiştirilebilir. Bu değişim daha önce yapılan ω_0 değeri ayarlamasını etkilemez. Son olarak da R_3 direnci belirli H değeri için ayarlanabilir. Bu değişiklik de daha önceki iki ayarlamayı etkilemez. Bu adımlar ayarlama algoritması olarak isimlendirilir. Eğer bu yöntem olanaklı olmasaydı istenilen devre parametreleri için eleman değerleri iterasyon yöntemiyle değiştirilerek ayarlanmak zorunda kalınırdı. Buda pek tercih edilen bir yöntem değildir.

Şekil 4.3 deki devreyi incelemeye devam ettiğimizde $V_2/V_3=-1$ olduğu görülür. Böylece

$$\frac{V_3}{V_1} = \frac{V_2}{V_1} \times \frac{V_3}{V_2} = -\frac{V_2}{V_1} \quad (4.13)$$

V_3/V_1 oranı bize evirmeyen bir alçak geçiren filtre transfer fonksiyonu verir. Devre üzerinde bir adım daha ileri giderek V_3 çıkışının V_2 düğümüne bağlı olarak transfer fonksiyonunun

$$\frac{V_3}{V_2'} = \frac{1}{R_4 C_2 s} \quad (4.14)$$

olduğu görülebilir. Zincir kuralı (Chain Rule) gereği

$$\frac{V_2'}{V_3} = \frac{V_3}{V_2} \times \frac{V_2}{V_1} = \frac{V_2'}{V_1} \quad (4.15)$$

bulunur. Buda bize

$$\frac{V_2'}{V_1} = \frac{(-1/R_3 C_1)s}{s^2 + (1/R_1 C_1)s + 1/R_2 R_4 C_1 C_2} \quad (4.16)$$

transfer fonksiyonunu verir. Bu fonksiyon band geçiren bir filtrenin transfer fonksiyonudur. Buda Biquad devresinden hem alçak geçiren hem de band geçiren bir filtre transfer fonksiyonunu elde etmenin mümkün olduğunu gösterir.

Biquad devresinin alçak geçiren transfer fonksiyonunun frekans cevabı için öncelikle genlik ve faz cevapları bulunmalıdır. Genlik ve faz cevapları (4.2) den hareket ederek bulunabilir. Basitlik olması için $H=1$ ve $\omega_0=1$ frekans ölçeklemesi yapılabilir. Bu durumda transfer fonksiyonu;

$$T(j\omega) = \frac{1}{1 - \omega^2 + j\omega/Q} \quad (4.17)$$

olur. Bir takım kompleks işlemlerden sonra genlik cevabı;

$$|T(j\omega)| = \frac{1}{\sqrt{(1-\omega^2)^2 + (\omega/Q)^2}} \quad (4.18)$$

ve faz cevabı;

$$\theta = -\tan^{-1}\left(\frac{\omega/Q}{1-\omega^2}\right) \quad (4.19)$$

olarak bulunur.

Genlik cevabından;

$$|T(j0)| = 1, |T(j1)| = Q \text{ ve } |T(j\infty)| \rightarrow 0 \quad (4.20)$$

olduğu görülebilir. Faz cevabından ise;

$$\theta(j0) = 0^\circ, \theta(j1) = -90^\circ \text{ ve } \theta(j\infty) \rightarrow -180^\circ \quad (4.21)$$

elde edilir.

Band geçiren transfer fonksiyonunun frekans cevabı için (4.16) denklemi incelenmelidir. Bu transfer fonksiyonu alçak geçiren filtrenin transfer fonksiyonundan paydasında taşıdığı bir sıfır noktası ile farklıdır. Paydaları ise aynıdır. Bu nedenle inceleme (4.1) denkleminin payına bir sıfır noktası ekleyerek yapılabilir.

$$T(s) = \frac{Ks}{s^2 + (\omega_0/Q)s + \omega_0^2} \quad (4.22)$$

Burada K belirlenmelidir. Bunun için band geçiren filtrenin $|T(j\omega_0)| = H$ özelliğini kullanarak denklemler eşleştirilmelidir. Bu yapıldığında

$$K = H \frac{\omega_0}{Q} \quad (4.23)$$

olarak bulunur. Buradan

$$T(s) = \frac{H(\omega_0/Q)s}{s^2 + (\omega_0/Q)s + \omega_0^2} \quad (4.24)$$

ifadesiyle frekans cevabı incelenmeye başlanabilir. Basitlik olması için yine $\omega_0 = 1$ frekans ölçeklemesi yapılırsa transfer fonksiyonunun genlik cevabı;

$$|T(j\omega)| = \frac{H\omega/Q}{\sqrt{(1-\omega^2)^2 + (\omega/Q)^2}} \quad (4.25)$$

ve faz cevabı;

$$\theta = 90^\circ - \tan^{-1}\left(\frac{\omega/Q}{1-\omega^2}\right) \quad (4.26)$$

olarak bulunur.

Genlik cevabından;

$$|T(j0)| = 0, |T(j1)| = Q \text{ ve } |T(j\infty)| \rightarrow 0 \quad (4.27)$$

olduğu görülebilir. Faz cevabından ise;

$$\theta(j0) = 90^\circ, \theta(j1) = 0^\circ \text{ ve } \theta(j\infty) = -90^\circ \quad (4.28)$$

elde edilir.

4.1.2 Alçak Geçiren Filtre Yapısı

Çalışma devresinde gerçekleştirilen tüm alçak geçiren filtreler iki kutuplu Biquad devresini temel kabul ederek, bu yapıdan peşi sıra eklenerek elde edilmiştir. Bu yapıdan bir tane kullanarak 2. dereceden alçak geçiren filtre elde edilebilir. Daha yüksek dereceli filtre gerçeklemeleri için bu temel bloktan birden fazla kullanılmaktadır.

Mikrodenetleyici içindeki analog bloklardan elde edilebilecek en uygun filtre yapısı Biquad devresidir. Bu tip bir filtrenin elde edilebilmesi için 2 tane anahtarlanmış kapasite bloğu kullanılmıştır (Şekil 4.4). Bu şekilde elde edilen devre ile filtrenin köşe frekansı ve durdurulan bandın bastırılma oranı, blokların anahtarlama frekansı ve seçilen kapasitelerin oranlarının fonksiyonlarıdır. Bu tip filtre devresi ile tüm klasik filtre yaklaşımları (butterworth, chebyshev ve bessel) uygulanabilir. Filtrenin köşe frekansı seçilen anahtarlama frekansı ile çok doğru olarak belirlenebilir. Bu şekilde yapılan bir filtre ile köşe frekansı, geçiş bandı kazancı ve durdurma bandı kayıpları, hiç bir harici elemana gerek kalmadan programlanabilir.

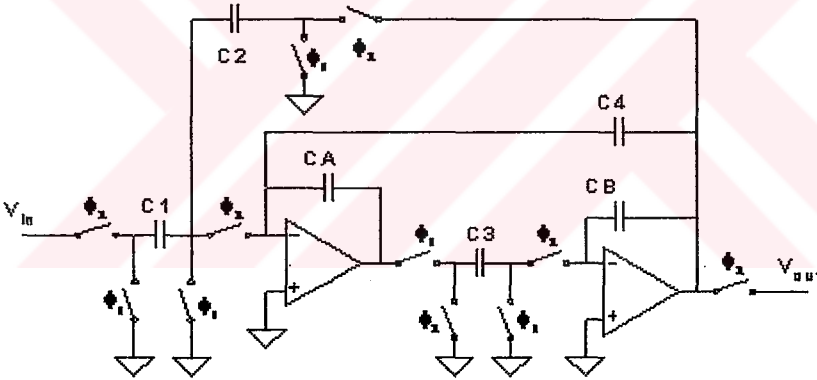
Frekans domeninde, 2 kutuplu alçak geçiren bir filtrenin transfer fonksiyonu, bastırma oranı ve köşe frekansına bağlı olarak şöyle yazılabilir;

$$\frac{V_{OUT}}{V_{IN}} = \frac{G(\omega_n \omega_0)^2}{s^2 + s\omega_n \omega_0 d + (\omega_n \omega_0)^2} \quad (4.29)$$

Burada ω_0 filtrenin doğal frekansı, ω_n normalleştirilmiş -3 dB frekansı ve d ise filtrenin

bastırma oranı (damp ratio) dır. Bütün ikinci dereceden alçak geçiren filtreler söndürme bandında 12dB/oct bir bastırma oranına sahiptirler. Geçiş bandının performansı filtrenin bastırma oranı ve doğal frekansı ile belirlenir. Butterworth yaklaşımında filtreler iyi olmayan söndürme bandına ancak oldukça kararlı bir geçiş bandı kazancına sahiptirler. Chebyshev tipi filtreler söndürme bandları oldukça keskin buna karşın geçiş bandında ise dalgalı bir kazançla sahiptirler. Değişik filtre yaklaşımlarında bu tip parametreler bloklardaki kapasitelerin oranları ile ayarlanabilirler.

Temel biquad devresi daha önce anlatıldığı gibi aslında 3 adet işlemsel kuvvetlendirici içerir (Şekil 4.3). Biquad devresinin PSOC işlemcisindeki gerçekleştirilmesinde ilk olarak tüm direnç elemanları yerine anahtarlanmış kapasiteli eşdeğer devreler kullanılmış bunun sonucu devreye program ile kontrol edilebilme yeteneği getirilmiştir. İkinci olarak da Şekil 4.3 deki eviren tipteki birim kazançlı işlemsel kuvvetlendirici devresi yerine ters polarizeli entegratör devresi konulmuştur. Polarizenin ters çevrilmesiyle bu bloktan negatif kazanç sağlanmıştır. Bu sayede eviren tipte bir entegral devresi elde edilmiş ve bir işlemsel kuvvetlendirici eksik kullanılmıştır. Bu şekilde Şekil 4.4 deki devreye ulaşılmıştır.



Şekil 4.4 Alçak geçiren filtre devresi

Anahtarlanmış kapasite devresi doğası gereği zamanda örnekleme yapan devredir. Bu nedenle önce frekans domeninde inceleme yapılması gerekirken kolaylık olması açısından zaman domeninde inceleme yapıp daha sonra frekans domenine geçilebilir. Tek fark olarak bir örnekleme periyodu kadar, gecikme meydana gelecektir.

Devrenin frekans domenindeki transfer fonksiyonu daha önceki yöntemlerle çıkartıldığında;

$$\frac{V_{OUT}}{V_{IN}} = \frac{-\frac{C_1}{C_2} \left(\frac{1 - (\frac{s}{2f_s})^2 \right) f_s^2}{\left(\frac{C_A C_B}{C_2 C_3} - \frac{1}{4} - \frac{1}{2} \frac{C_4}{C_2} \right)} + \frac{f_s^2}{\left(\frac{C_A C_B}{C_2 C_3} - \frac{1}{4} - \frac{1}{2} \frac{C_4}{C_2} \right)}}{s^2 + \frac{C_4}{C_2} \frac{s f_s}{\left(\frac{C_A C_B}{C_2 C_3} - \frac{1}{4} - \frac{1}{2} \frac{C_4}{C_2} \right)} + \frac{f_s^2}{\left(\frac{C_A C_B}{C_2 C_3} - \frac{1}{4} - \frac{1}{2} \frac{C_4}{C_2} \right)}} \quad (4.30)$$

sonucuna ulaşılır. Bu sonuçtan aşağıdaki çıkarımlar yapılabilir.

$$G = -\frac{C_1}{C_2} \quad (4.31)$$

$$\omega_n \omega_0 = \frac{f_s \sqrt{C_2 C_3}}{\sqrt{C_A C_B - \frac{C_3 C_3}{4} - \frac{C_4 C_3}{2}}} \quad (4.32)$$

$$d = \frac{C_4 \sqrt{\frac{C_3}{C_2}}}{\sqrt{C_A C_B - \frac{C_3 C_3}{4} - \frac{C_4 C_3}{2}}} \quad (4.33)$$

Burada G kazanç, $\omega_n \omega_0$ köşe frekansı ve d ise bastırılma oranıdır. Paydaki $1 - (\frac{s}{2f_s})^2$ terimi

filtrenin kazancını örnekleme frekansına yakın yerlerde azalmasına sebep olur. Bu nedenle örnekleme frekansı seçiminde işlenecek işaretin büyük önemi vardır.

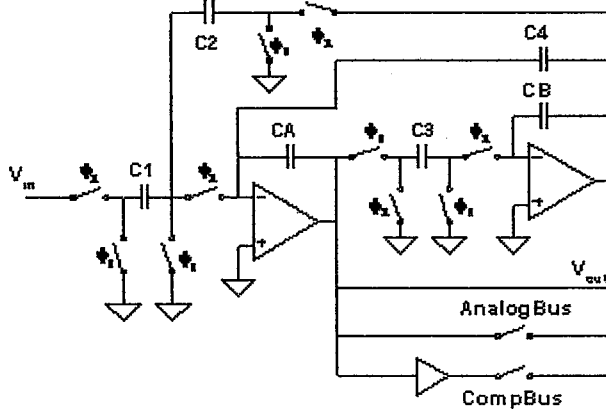
4.1.3 Band Geçiren Filtre Yapısı

Band geçiren filtre gerçeklemek için alçak geçiren filtre yapısının aynısı kullanılır. Sadece devrenin çıkışı, band geçiren filtre devresinin özelliklerinden yararlanarak farklı noktadan alınmıştır. Bu sayede genel amaçlı Biquad devresi band geçiren filtre fonksiyonlarını gerçekler. Band geçiren filtre yapısının devre şeması Şekil 4.5'deki gibidir. Görüldüğü gibi çıkış işlemsel kuvvetlendiriciden biquad devresinde anlatıldığı gibi alınmıştır.

2. Dereceden band geçiren bir filtre frekans domeninde genel olarak şöyle bir transfer fonksiyonuna sahiptir;

$$\frac{V_{OUT}}{V_{IN}} = \frac{\frac{G}{Q} \omega_0 s}{s^2 + \frac{s \omega_0}{Q} + \omega_0^2} \quad (4.34)$$

Burada Q merkez frekansının -3dB band genişliğine oranı, ω_0 filtrenin merkez frekansıdır. Tüm iki kutuplu band geçiren filtreler gibi geçirme bandı dışında asimptotik olarak 12dB/oct 'lık bir yaklaşım görülür.



Şekil 4.5 Band geçiren filtre yapısı

Band geçiren filtre yapısında da alçak geçiren yapıda olduğu gibi dirençler yerine anahtarlanmış kapasite eşdeğerleri kullanılmıştır. Ayrıca birim kazançlı eviren tipteki işlemsel kuvvetlendirici devresi yerine entegratör devresinin anahtarlama polarizasyonu ters çevrilerek kullanılmıştır.

Şekil 4.5 deki band geçiren filtre devresi frekans domeninde şöyle bir transfer fonksiyonuna sahiptir;

$$\frac{V_{OUT}}{V_{IN}} = \frac{-\frac{C_1 C_B}{C_2 C_3} \frac{s \left(1 + \frac{s}{2f_s}\right) f_s}{\left(\frac{C_A C_B}{C_2 C_3} - \frac{1}{4} - \frac{1}{2} \frac{C_4}{C_2}\right)}}{s^2 + \frac{C_4}{C_2} \frac{s f_s}{\left(\frac{C_A C_B}{C_2 C_3} - \frac{1}{4} - \frac{1}{2} \frac{C_4}{C_2}\right)} + \frac{f_s^2}{\left(\frac{C_A C_B}{C_2 C_3} - \frac{1}{4} - \frac{1}{2} \frac{C_4}{C_2}\right)}} \quad (4.35)$$

Bu ifadeden aşağıdaki çıkarımlar yapılabilir.

$$G = -\frac{C_1 C_B}{C_4 C_3} \quad (4.36)$$

$$f_c = \frac{1}{2\pi} \frac{f_s}{\sqrt{\frac{C_A C_B}{C_2 C_3} - \frac{1}{4} - \frac{1}{2} \frac{C_4}{C_2}}} \quad (4.37)$$

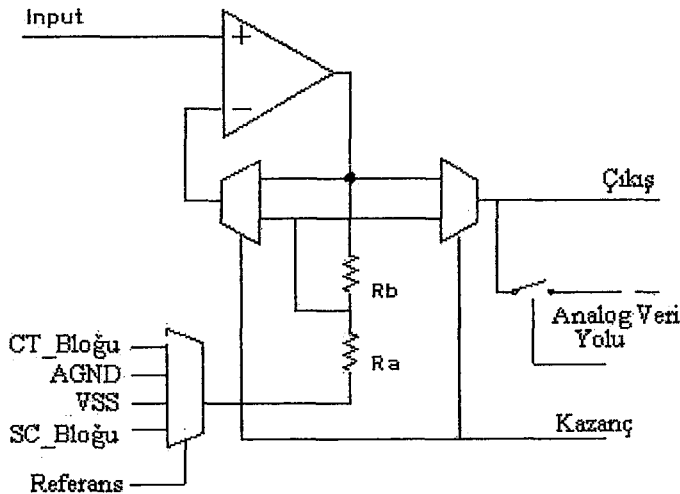
$$Q = \frac{C_2}{C_4} \sqrt{\frac{C_A C_B}{C_2 C_3} - \frac{1}{4} - \frac{1}{2} \frac{C_4}{C_2}} \quad (4.38)$$

Burada G kazanç, f_c köşe frekansı ve Q ise filtrenin kalite terimidir. Paydaki $1 + \frac{s}{2f_s}$ terimi filtrenin kazancını örnekleme frekansının yakın yerlerde azalmasına sebep olur. Bu ifade nedeniyle yeteri kadar yüksek anahtarlanmayan devrelerde örnekleme gürültüsü görülür.

Alçak geçiren ve band geçiren filtre yapıları daha önce anlatılan anahtarlanmış kapasite bloklarından ikişer tane kullanılarak yapıldıklarından bu yapıların tüm parametreleri daha önce anlatılan anahtarlanmış kapasite bloklarının parametreleri ile tamamen aynıdır. Bu bloklarla yapılacak tasarımlarda filtre parametreleri yukarıdaki denklemlerde yerlerine konularak uygun eleman değerleri ve anahtarlama frekansı bulunur. Bulunan değerler ilgili yazmaçlara yazılarak bloğun programlanması yapılmış olur. Bazı kapasitelerin değerlerinin kısıtlı olması ayrıca seri bağlı yapılarda tüm blokların anahtarlama frekansının aynı olması gerekliliği sistemin performansını kötü yönde etkileyen faktörlerdir.

4.1.4 Gerilim Kuvvetlendiricisi

Programlanabilir gerilim kuvvetlendiricisi dışarıdan girilen işaretleri kuvvetlendirmek yada zayıflatmak için kullanılan bir gerilim kuvvetlendiricisidir. Dışarıdan girilen işaret, tümdevre içinde üretilen referans gerilimlerinden birine göre kuvvetlendirilir. Devrenin kazanç mı yoksa kayıp mı vereceği içeride bulunan direnç devresinin özel bir yazmaç ile ayarlanması sonucu belirlenir. Bu direnç devresinin alt ucu seçilen referans gerilimine bağlanır. Orta ucu ise ayarlanır.



Şekil 4.6 Gerilim kuvvetlendiricisi

Şekil 4.6 da devresi görülen kuvvetlendirici için 2 transfer fonksiyonu vardır. Bu transfer fonksiyonlarından bir tanesi devrenin 1 ve yukarı kazanç sağladığı durumlarda diğeri ise 1'in altındaki zayıflatmaları için geçerlidir.Devrenin kuvvetlendirici olarak çalıştığı durumlarda gerilim bölücü dirençlerin üst ucu, işlemsel kuvvetlendirici çıkışına, orta ucu ise işlemsel kuvvetlendiricinin eviren girişine bağlanır. Bu durumda çıkış gerilimi;

$$V_O = (V_I - V_{GND})\left(1 + \frac{R_a}{R_b}\right) + V_{GND} \quad (4.39)$$

şeklindedir. Devrenin kayıp verdiği durumda ise işlemsel kuvvetlendirici bir gerilim takipçisi şeklinde çalışır. Devre çıkışı ise dirençlerin orta ucundan alınır. Bu durumdaki devrenin çıkış gerilimi;

$$V_O = (V_I - V_{GND})\left(1 + \frac{R_a}{R_a + R_b}\right) + V_{GND} \quad (4.40)$$

şeklindedir.

Devreye girilecek işaretin lineer bir şekilde yükseltilebilmesi için belirli sınırlar içerisinde olması gerekir. Bu sınırları devrenin beslemesi, referans seviyesi gibi işlemsel kuvvetlendirici özellikleri belirler.

4.1.5 Seri Port Yapısı

PSOC için de gerçekleştirilen UART (Universal Asynchronous Receiver Transmitter) RS-232 standardında veri haberleşmesi için kullanılır. İki bloğun birleştirilmesi ile oluşur. Bu bloklar bir alıcı (receiver) ve bir verici (transmitter) bloklarıdır.

Alıcı bloğu sürekli alışı kanalını gözlemler. Burada ki seviyeyi bir karşılaştırmacı yardımıyla kontrol ederek sinyal seviyesinin 1 mi yoksa 0 mı olduğuna karar verir. Bu işlem için haberleşme verisindeki bir bitin iletim süresinin 8'de 1'i kadar bir saat periyodu kullanır. Alış kanalından peş peşe alınan 8 örnekte, sayısı fazla olan bitin gelen bit olduğu anlaşılır. Daha sonra seri olarak gelen bu bit dizisini paralel şekle çevirerek alındı yazmacına aktarılır. UART'a ait diğer bütün özellikler yazılım yoluyla kontrol edilir.

Verici bloğu ise temelde bir sayıcıdır. Bloğa girilen bit hızının 8 katı saat hızıyla sayarak her 8 saat işaretinde çıkışını değiştirir. Bu sayede çıkışta gönderilecek veri oluşur. Gönderilecek bilgi gönderme yazmacından kaydırılarak alınır. Bu sayede yazmaçtaki bilgi seri olarak gönderilmiş olur.

UART bloğuna gönderilecek olan saat sinyali frekansı ayarlanabilen bir sayıcı yardımıyla

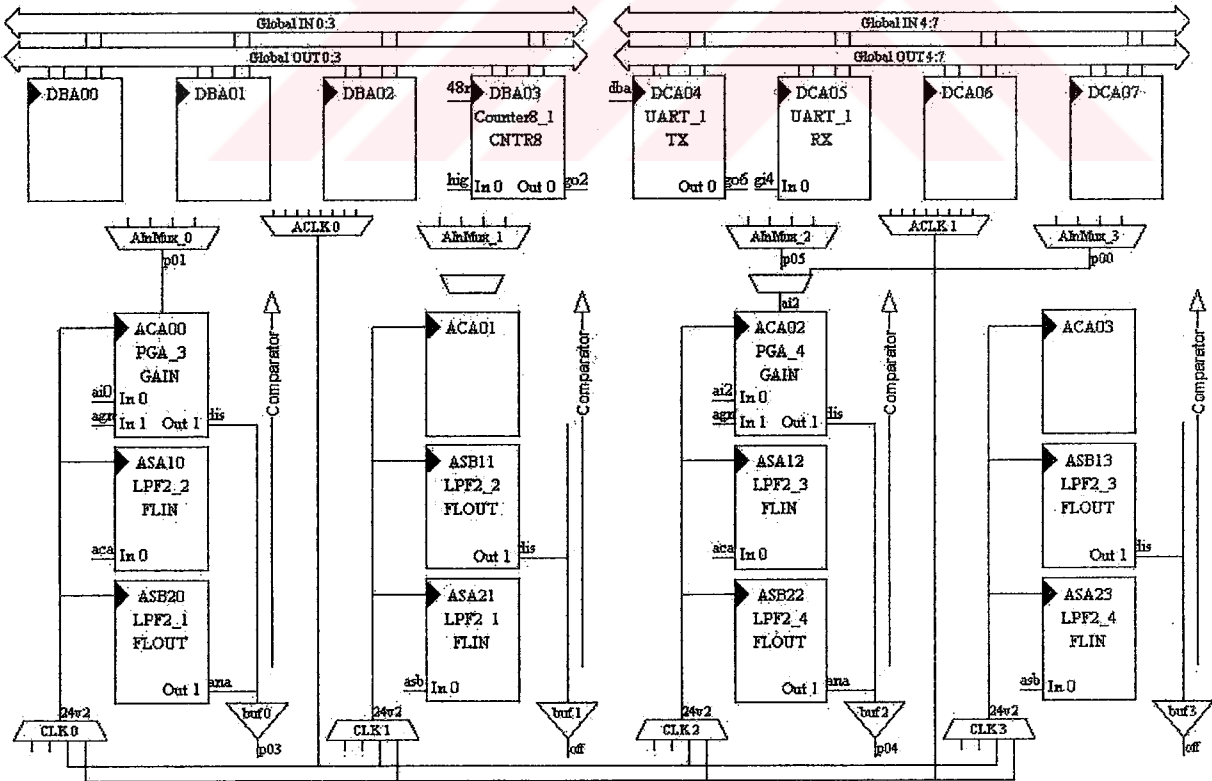
üretir. Burada üretilen kare dalga saat işareti bit hızının 8 katı bir hızda olması zorunludur. Seri haberleşmenin hızı bu sayıcı bloğunun ürettiği frekansa bağlıdır. Alıcı ve verici blokların seri haberleşme hızına herhangi bir etkileri yoktur. Hızdan bağımsız olarak çalışırlar.

4.1.6 PSOC İçinde Oluşturulan Devre Şeması

PSOC içinde 2.,4.,6. ve 8. dereceden 4 alçak geçiren filtre ve aynı derecelerden 4 de band geçiren filtre olmak üzere toplam 8 çeşit analog filtre çalıştırılabilmektedir. PSOC içindeki analog ve dijital blokların sayısı bu devrelerin hepsinin aynı anda kurulu ve çalışıyor olmasını mümkün kılacak kadar çok değildir. Bu nedenle devrenin çalıştırıldığı herhangi bir anda sadece bir tanesi yüklü ve aktif durumdadır. Herhangi bir devre için gerekli konfigürasyon yazılım aracılığıyla aktif hale getirilip gerekli devrenin içinde çalışmasını sağlamaktadır. Daha sonra kurulan devre yine yazılım aracılığıyla çalıştırılabilmektedir.

Örnek olarak 8. dereceden alçak geçiren bir filtreyi inceleyelim;

8. Dereceden alçak geçiren filtre devresi için 4 adet 2. dereceden alçak geçiren filtre devresi seri olarak peş peşe bağlanmışlardır. Dışarıdan girilen işaretleri birer gerilim kuvvetlendirici karşılar. Bunun nedeni işaretin seviyesinin filtre bloklarına uygun hale getirmektir



Şekil 4.7 PSOC içinde oluşturulan 8. dereceden alçak geçiren filtre devresi

Şekil 4.7 de PSOC tasarım programından alınan 8. derece alçak geçiren filtre devresi görülmektedir. Bu devrede alçak geçiren filtreden geçirilmesi istenen işaret 1. sütundaki analog giriş seçicisi üzerinden 1. analog sürekli zaman bloğuna (ACA00) girilir. Bu analog giriş seçicisi (AinMux0) tümdevrenin 0 numaralı portunun 1 numaralı bacağına seçecek şekilde ayarlanmıştır. Burada gerekli kazanç ya da kayba uğrayan işaretin seviyesi bir sonraki bloğa uygun hale getirilir. 1. ve 2. alçak geçiren filtreler üzerinde işlenen işaret analog sürücü 0 (buf0) üzerinden tümdevre dışına gönderilir. Sinyal tümdevre dışına 0. portun 3 numaralı bacağından çıkacak şekilde ayarlanmıştır. Burada kullanılan 3 blok arasındaki iki bağlantı, 2. dereceden alçak geçiren filtre bloklarına giriş amacıyla yapılmaktadır. Bu blokların girişlerinde A tipi anahtarlanmış kapasite devreleri bulunmaktadır. Dolayısıyla girişler ACAP kapasitelerine yapılır. Bu nedenle ara bağlantılar AMUX veri yolu üzerinden yapılmaktadır.

Bu üç bloktan sonra işaretin tümdevre dışına gönderilmesinin sebebi bir sonraki bloğa işaretin tümdevre içinden gönderilememesidir. İşaret bir bacadan dışarı çıkartılıp tekrar başka bir bacadan içeri sokulmaktadır. Bu iki bacak baskılı devre üzerinde kısa devre yapılmak zorundadır. Ancak bu durum sadece 6. ve 8.dereceden filtre gerçeklemelerinde ortaya çıkmaktadır. 2. ve 4. dereceden yapılan filtrelerde dışarı işaret çıkartılmamaktadır.

İkinci kez tümdevre içine alınan işaret 2. sütunda bulunan analog bilgi seçicisi üzerinden (0. portun 5 numaralı bacağı) tekrar bir gerilim kuvvetlendiricisine sokulur. Buradaki gerilim kuvvetlendiricisinin kazancı 1 olarak tutulmuştur. Kullanılma sebebi ise anahtarlanmış kapasiteli bloklara dışarıdan direkt olarak işaret sokulamamasıdır. 3. sütundaki gerilim kuvvetlendiricisi üzerinden işaret tekrar sırasıyla 3. ve 4. alçak geçiren filtrelere sokulur. 4. alçak geçiren filtreden geçirilen işaret 4. sütundaki analog sürücü 3 üzerinden sonuç olarak tekrar tümdevre dışına gönderilir.

Devrede toplam 8 adet anahtarlanmış kapasiteli devre ikiye ikiye 2. dereceden alçak geçiren filtre yapımında kullanılmıştır. Her bir filtre bloğu içindeki anahtarlanmış kapasiteli devreler işlenen sinyalin bütünlüğü için aynı saat işaretiyle tetiklenmek zorundadırlar. Ancak PSOC denetçisi üzerinde bir adet programlanabilir saat sinyali üreticisi olmasından dolayı tüm filtreler aynı saat işaretini kullanmak zorundadırlar. Buda filtrelerin istenilen karakteristiği sağlayamamasında en önemli etken olmaktadır.

6. Derece alçak geçiren filtre devresi 8. dereceden filtre yapısından bir tane 2. derece alçak geçiren filtre bloğu eksik olarak yapılmıştır. Ayrıca devre çıkışı 4. filtre bloğuna girmeden 3. sütunda bulunan analog sürücü 2 üzerinden (0. portun 2. bacağına ayarlanmıştır) sonuç olarak tümdevre dışına gönderilir.

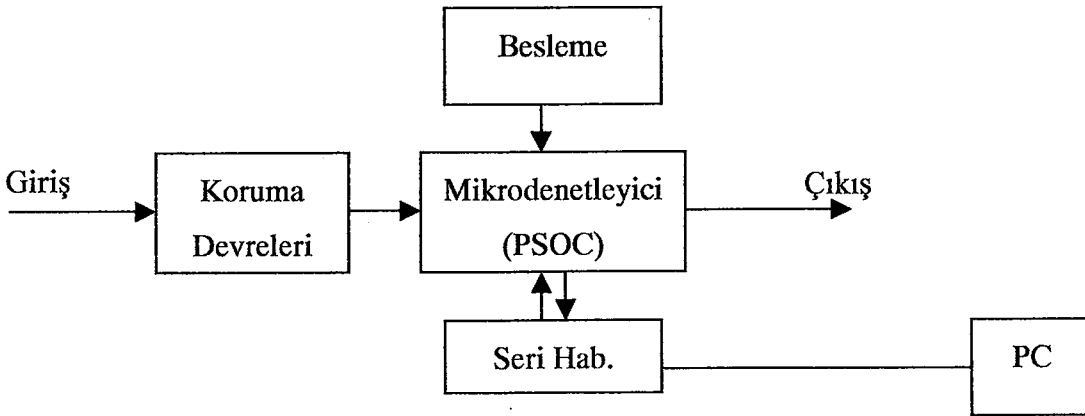
4. Derece alçak geçiren filtre çıkışı 0 numaralı portun 3 numaralı çıkışından, 2. dereceden alçak geçiren filtrenin çıkışı ise 0 numaralı portun 5 numaralı çıkışından yapılmaktadır.

8. Dereceden band geçiren devrenin tamamı çıkış bacakları dışında alçak geçiren filtre devresiyle aynıdır. Bu devrede 2. derece alçak geçiren filtre blokları yerine daha önce anlatılan 2. derece band geçiren filtre blokları kullanılmıştır. Çıkış bacaklarının farklı olmasının sebebi ise Biquad devresinde band geçiren filtre cevabının alındığı düğümün alçak geçiren filtreden alınan düğüm ile aynı olmamasıdır. Bu durum aynen PSOC içindeki devreye de yansımıştır.

2. Dereceden band geçiren filtre çıkışı 0 numaralı portun 3 numaralı bacağından, 4. dereceden band geçiren filtre çıkışı 0 numaralı portun 5 numaralı bacağından, 6. dereceden band geçiren filtre çıkışı 0 numaralı portun 4 numaralı bacağından ve 8. dereceden band geçiren filtre çıkışı 0 numaralı portun 2 numaralı bacağından alınmıştır. 6. ve 8. Dereceden band geçiren filtre çalışır durumda iken yine iki bacağın tümdevre dışında kısa devre yapılması gerekmektedir.

Devre haberleşmesi için gerekli UART ise 3 adet dijital blok üzerine yerleşmiştir. Bunlardan bir tanesi daha önce anlatıldığı gibi UART devresini tetikleyen saat işaretini üretmekte kullanılan sayıcıdır. Sayıcı çıkışı aynı zamanda genel çıkış veri yolunu üzerinden 1 numaralı portun 2 numaralı bacağından dışarı gözlem amacıyla çıkartılmıştır. Sistemin alıcı ve verici blokları birer tane dijital blok üzerine yerleştirilmiştir. UART 1 numaralı portun 6 numaralı bacağından veri göndermekte (TX) ve yine aynı portun 4 numaralı bacağından veri almaktadır (RX).

4.1.7 Çalışma Devresi Devre Şeması



Şekil 4.8 Çalışma devresinin blok gösterimi

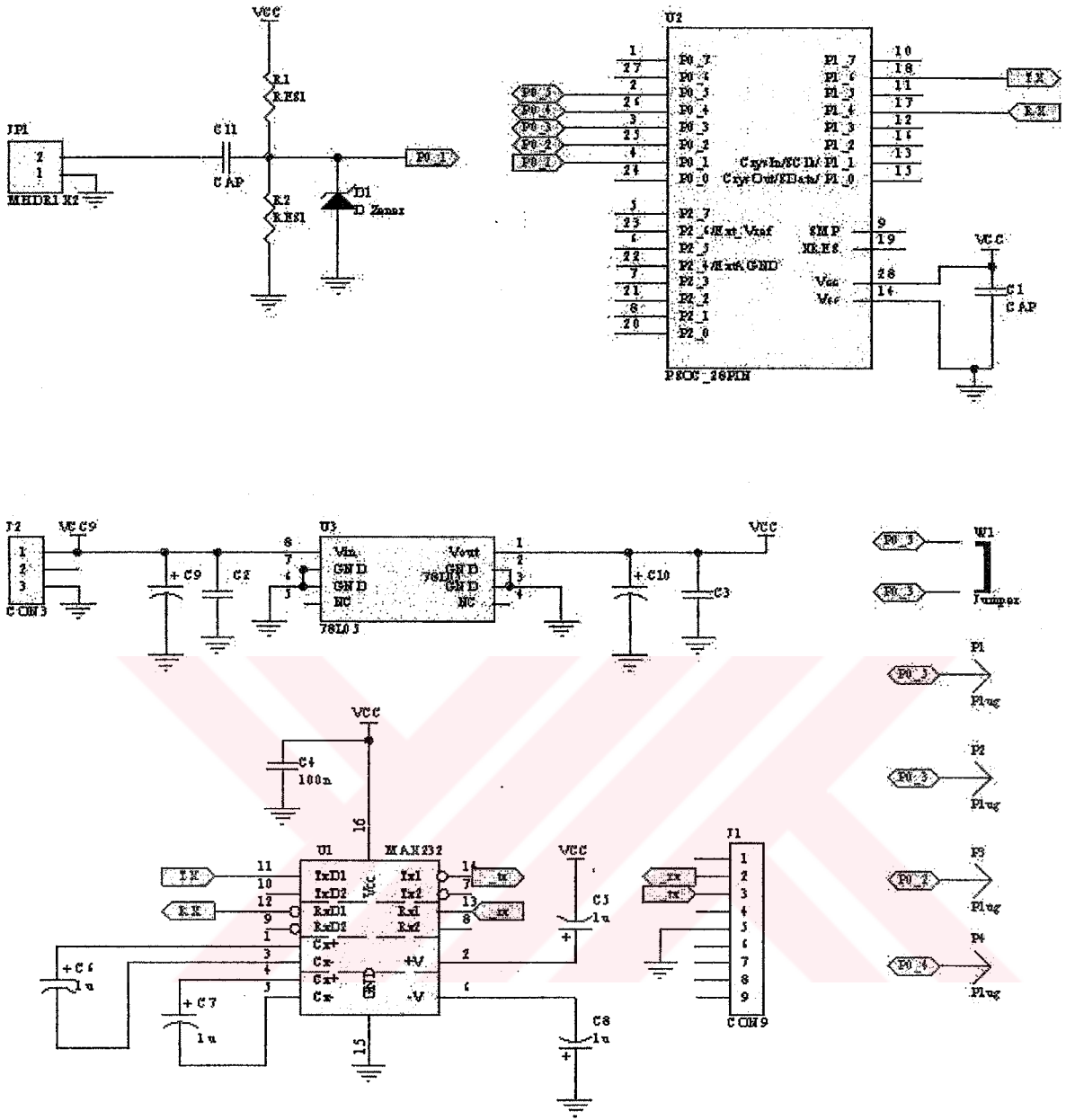
Çalışma devresinde sadece PSOC mikrodenetçisini çalıştırmaya yetecek kadar eleman kullanılmıştır. Yapılan işin büyük bölümünün PSOC içinde yapılmıştır. Devre üzerinde PSOC dışında kartın çalışmasını sağlayacak bir güç kaynağı, veri haberleşmesinde kullanılmak üzere RS-232 seviye uygunlaştırıcısı ve analog gerilim girişi yapılan yerde ufak bir koruma devresi kullanılmıştır (Şekil 4.8).

Devrenin güç kaynağının kalbini lineer bir gerilim düzenleyici oluşturmaktadır. Bu iş için çok yaygın olarak kullanılan 7805 tümdevresi kullanılmıştır. Devre dışarıdan 9 Voltluk bir güç kaynağı ile beslenmektedir. Bu gerilim devre üzerinde 5. Volta düşürülmektedir. Devre üzerindeki tüm besleme 5 Volt ile sağlanmaktadır. Besleme entegresinin öncesi ve sonrasında ikişer tane süzme kapasitesi kullanılmıştır. Bu kapasite sayesinde besleme geriliminin daha gürültüsüz olması sağlanmıştır.

Analog giriş yapılan yerde bulunan koruma devreleri giriş geriliminin PSOC tümdevresine zarar verecek derecede yükselmesini engeller. Ayrıca analog gerilimi tümdevre içinde karşılayan işlemsel kuvvetlendirici 2.5 Voltluk referans gerilimi üzerinde çalışıklarından giriş gerilim 2.5Volt seviyesine yükseltilmektedir.

Devre üzerinden seri haberleşme için bulunan arabirim entegresi gönderilen ve alınan veriyi TTL seviyesinden RS-232 seviyesine yükseltmek ve tam tersi yönde düşürmek için kullanılır. Bu tümdevrede yine çok yaygın olarak kullanılan MAX232 entegresidir.

Devrenin şeması Şekil 4.9 verilmiştir.



Şekil 4.9 Çalışma devresi devre şeması

4.2 Yazılım Mimarisi

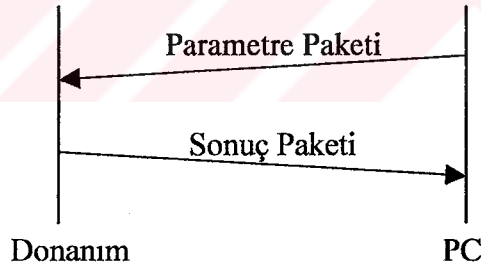
Sistem yazılımı PC de ve deney kartı üzerinde koştan iki ayrı programdan ibarettir. PC de çalışan yazılım kullanıcı ile etkileşim içerisinde bulunmaktadır. Bu etkileşim sonucu aldığı veriler ile yapılması istenen filtrenin parametrelerini hesaplamakta ve istenildiğinde bu parametreleri filtrelerin kurulacağı donanıma yüklemektedir. Ayrıca bu yazılım, gerçekleştirilen filtrelerin karakteristiklerinin istendiğinde analizinin yapılabilmesi için gerekli MATLAB kodunu yaratmakta ve bunu PC’de çalıştığı dizin altına kayıt etmektedir. Kullanıcı istediğinde kayıt edilen bu kodu MATLAB programında çalıştırmakta ve simülasyonunu yazılım

ortamında yapabilmektedir. Bu şekilde filtrelerin çıktıları hem donanım hem de yazılım ortamlarında gerçekleştirilebilmektedir.

Çalışma devresinde çalışan yazılım sürekli seri portu dinleyerek yeni gelecek komut ve devre parametrelerini beklemektedir. Bu esnada daha önce yüklü olan filtre donanımı çalışmasına devam etmektedir. Yeni bir filtre yüklenmek istendiğinde gerekli veriler seri port aracılığı ile alınmaktadır. Sistem yeni parametreleri aldıktan sonra PSOC içinde çalışan donanımı kaldırmakta ve yenisini yükleyerek çalışmasını sağlamaktadır. Her yüklenen ve çalıştırılan donanım PSOC içinde silinmeyen bir hafıza bölgesine kayıt edilmektedir. Sistem her yeniden çalışmaya başlamasında daha önce yüklenen donanımı yükleyerek tekrar çalışır hale getirilmektedir.

4.2.1 Haberleşme Protokolü

Sistem filtrelerin ve ilgili parametrelerin yüklenebilmesi amacıyla bir PC ile birlikte çalışabilmektedir. Devre kartı PC ye seri haberleşme portu (RS-232) üzerinden bağlanır. Bu bağlantı üzerinde taşınan bir baytlık veri iletişimi 38400 baud hızında 8 bitlik data ve bir stop biti aracılığıyla yapılır. Taşınan veri içerisinde eşlik biti kullanılmamıştır. Bu bağlantı üzerinden haberleşmenin sağlanabilmesi için çift yönlü özel bir protokol tanımlanmıştır. Tüm veriler bu protokol içerisinde gönderilip alınmaktadır.



Şekil 4.10 Haberleşme protokolü

PC tarafı hazırladığı yeni parametreleri Parametre Paketi ile sistem donanımına gönderir. Sistem donanımı da aldığı paketi işleyip sonucunu Sonuç Paketi ile PC'ye bildirir. Parametre paketi ile sadece yeniden yüklenmek istenen parametreler gönderilir. Sonuç paketi ise sadece bir önceki işlemin başarılı yada başarısız ise gerekli hata kodunu, PC ye bildirmek için kullanılır.

Parametre paketi yapısı toplam 5 bölüm içerir. Bu bölümler sırasıyla STX,CMD,DATA,LRC ve ETX diye isimlendirilir. Sistem donanımı bu paket dışında başka bir şekilde bir veri almaz. Aldığı paketteki komutları ve parametreleri kullanarak filtreleri yapılandırır. Paket

bölümlerinin anlamları ve taşıdığı bilgiler aşağıdaki tabloda verilmiştir.

Çizelge 4.1 Haberleşme protokolü yapısı

Bölüm Adı	Uzunluğu (bayt)	İçeriği (16'lı)	Açıklama
STX	1	0x02	Paket başlangıcı bilgisi
CMD	1	0xE0	2. Derece alçak geçiren filtre yükleneceğini bildirir.
		0xE1	4. Derece alçak geçiren filtre yükleneceğini bildirir.
		0xE2	6. Derece alçak geçiren filtre yükleneceğini bildirir.
		0xE3	8. Derece alçak geçiren filtre yükleneceğini bildirir.
		0xE4	2. Derece band geçiren filtre yükleneceğini bildirir.
		0xE5	4. Derece band geçiren filtre yükleneceğini bildirir.
		0xE6	6. Derece band geçiren filtre yükleneceğini bildirir.
		0xE7	8. Derece band geçiren filtre yükleneceğini bildirir.
DATA	21	-	yüklenecek filtre için gerekli parametreler.
LRC	1	-	alınan tüm baytların XOR işlemine tabi tutularak bulunan kontrol baytı.
ETX	1	0x03	Paket sonu olduğunu bildirir.

CMD alanı ne tip bir filtre yükleneceğini bildirir. PSOC içinde kurulan devre bu komut yardımıyla yapılandırılır. Komutun içeriğine göre uygun filtre devresi PSOC içinde kurulur.

LRC alanı bu bayt alına kadar gelen tüm baytlar birbirleriyle XOR işlemine tutulur. Gelen LRC baytı elde tutulan işlemin sonucuna eşit olmalıdır. Eğer bir eşitsizlik varsa gelen pakette yanlışlık olduğu anlaşılır.

Çizelge 4.2 Haberleşme protokolü DATA alanı

Data Ananı	Uzunluğu	Açıklaması
F0_C1	1	Birinci filtre katı C1 kapasitesi değeri
F0_C2	1	Birinci filtre katı C2 kapasitesi değeri
F0_C3	1	Birinci filtre katı C3 kapasitesi değeri
F0_C4	1	Birinci filtre katı C4 kapasitesi değeri
F0_CA_CB	1	Birinci filtre katı CA ve CB kapasitesi değeri
F1_C1	1	İkinci filtre katı C1 kapasitesi değeri
F1_C2	1	İkinci filtre katı C2 kapasitesi değeri
F1_C3	1	İkinci filtre katı C3 kapasitesi değeri
F1_C4	1	İkinci filtre katı C4 kapasitesi değeri
F1_CA_CB	1	İkinci filtre katı CA ve CB kapasitesi değeri
F2_C1	1	Üçüncü filtre katı C1 kapasitesi değeri
F2_C2	1	Üçüncü filtre katı C2 kapasitesi değeri
F2_C3	1	Üçüncü filtre katı C3 kapasitesi değeri
F2_C4	1	Üçüncü filtre katı C4 kapasitesi değeri
F2_CA_CB	1	Üçüncü filtre katı CA ve CB kapasitesi değeri
F3_C1	1	Dördüncü filtre katı C1 kapasitesi değeri
F3_C2	1	Dördüncü filtre katı C2 kapasitesi değeri
F3_C3	1	Dördüncü filtre katı C3 kapasitesi değeri
F3_C4	1	Dördüncü filtre katı C4 kapasitesi değeri
F3_CA_CB	1	Dördüncü filtre katı CA ve CB kapasitesi değeri
OSC_N1_N2	1	Devre bloklarını besleyen osilatör frekansını 24MHz den bölerek elde Bölen değerleri

LRC doğru olarak hesaplandı ve alındıysa bir sonraki paket alanı olan ETX gelen paketi sonlandırır ve işleme koyar.

Eğer sistemde 8. dereceden bir filtre çalıştırılacaksa DATA alanı böyle bir filtrenin tüm parametreleri için yeterli alana sahiptir. Eğer daha düşük dereceden filtreler gerçekleştirilecekse DATA alanının bir kısmı boş kalacaktır. Bu alanlar paket içerisinde 255 (0xFF 16'lı) değeri ile iletilmiştir.

4.2.2 Gömülü Sistem Yazılımı

Çalışma devresinin donanımında çalışan yazılım katmanlı bir yapıdan oluşmaktadır. Bu katmanların en altında gerçek zamanlı bir işletim sisteminin gömülü sistemler için çok küçültülmüş bir versiyonu bulunmaktadır. Bunun üzerinde ise sistemin donanım yapılandırmalarını yapan aygıt sürücüler (device driver) bulunmaktadır. Aygıt sürücüler işletim sisteminin verdiği mesaj servisi ile birbirleriyle haberleşirler.

İşletim sistemi gerçek zamanlı (real time) çok uygulamalı (multi tasking) bir işletim sisteminin gömülü sistemler için küçültülmüş bir şeklidir. Sistemin ihtiyaçlarına göre işletim sistemi sadece mesajlaşma servisi verecek kadar küçültülmüştür. İşletim sistemi işletilecek bir mesaj olmadığı zaman hiç bir iş yapmadan çok küçük bir döngü içinde çalışır durur. Sistemde herhangi bir mesaj oluştuğunda mesajın gideceği uygulama yada aygıt sunucusunu uyandırılır. Uyanan uygulama yada aygıt sunucusu aldığı mesajı işletir ve akışı tekrar işletim sistemine bırakır.

Sistemde mesaj gönderen tek uygulama ve mesaj alan tek bir uygulama vardır. Bu nedenle mesajlaşma servisinin verdiği hizmette alıcı ve gönderici adresleri gibi bilgiler bulunmaz. Sadece mesaj tipi iletilir. Sistemde toplam 4 adet mesajı işleyecek kadar bir mesaj kuyruğu vardır. Gönderilen her mesaj bu kuyrukta sıradaki yere yazılır. İşlenen her mesaj ise kuyruktan çıkartılır. Mesaj gönderme işlemi SendMessage fonksiyonu çağrılarak yapılır. Bu fonksiyon öncelikle mesaj kuyruğundaki boş bir mesaj alanını bulur. Gönderilecek mesajı bu alana yerleştirir. Bu işlem başarılı bir şekilde sonuçlandıysa işlem başarılı değeri döndürülür. Aksi halde işlem başarısız değeri döner.

Gömülü sistem üzerinde seri haberleşme protokolünü seri aygıt sunucusu yürütür. Bu aygıt sürekli seri portu dinlemektedir. Seri porttan gelen her paket bu aygıt sürücüsü üzerinde parçalanır, anlamlandırılır ve işlemi devam ettiren mesajın gönderilmesiyle sonlanır. Bu işlem seri port üzerinde her bir karakter alınmasıyla üreyen alındı kesmesiyle (receive interrupt) yapılır. Bu kesme içinde bir durum makinesi (state machine) vardır. Bu durum makinesi

protokoldeki paket bölümlerini birer durum olarak kabul eder ve her bir durumu sırasıyla doğru sayıda karakter aldıkça işletir. Gelen herhangi bir karakterde yanlışlık olduğunda durum makinesi başlangıç durumuna alınır. Bu durumda bir hata kodu üretilebilir. Tüm paket doğru alındığı takdirde alınan LRC değeri kontrolü doğru olarak sonuçlanır. ETX karakterinin alınmasıyla da gelen paket işletilir. Gelen paketteki CMD bölümü iç bir mesaj ile mesajı işletecek olan uygulamaya gönderir. Paketten çıkan datayı da bellekteki paylaşılan ortak bir alana saklar.

Seri aygıt sürücü gelen ve gönderilecek verileri saklamak için birer tampon bellek alanı kullanır. Bu alanlar birer dizi şeklinde tanımlanmışlardır. Bu dizileri erişmek için de birer okuma ve yazma indeks değişkeni kullanır.

PC'den gelen mesajlar sistem içinde iç mesajlara dönüşür. Bu mesajları filtre aygıt sürücüsü alır ve işletir. Aldığı mesajın tipine göre önce yüklü olan devreyi kaldırır ve yeni devreyi yükler. Yeni seri aygıt sürücüsüyle paylaşılan ortak bellek alanından parametreleri yükler ve devreyi yeni parametreleriyle çalıştırır.

Çizelge 4.3 Filtre aygıt sürücüsünün aldığı mesajlar

Mesaj Tipi	İşlevi
EMessLoadLPF2Received	2. Dereceden alçak geçiren filtre devresini yükler ve çalıştırır.
EMessLoadLPF4Received	4. Dereceden alçak geçiren filtre devresini yükler ve çalıştırır.
EMessLoadLPF6Received	6. Dereceden alçak geçiren filtre devresini yükler ve çalıştırır.
EMessLoadLPF8Received	8. Dereceden alçak geçiren filtre devresini yükler ve çalıştırır.
EMessLoadBPF2Received	2. Dereceden band geçiren filtre devresini yükler ve çalıştırır.
EMessLoadBPF4Received	4. Dereceden band geçiren filtre devresini yükler ve çalıştırır.
EMessLoadBPF6Received	6. Dereceden band geçiren filtre devresini yükler ve çalıştırır.
EMessLoadBPF8Received	8. Dereceden band geçiren filtre devresini yükler ve çalıştırır.

4.2.3 Çalışma Devresi Kullanıcı Arabirimi Yazılımı

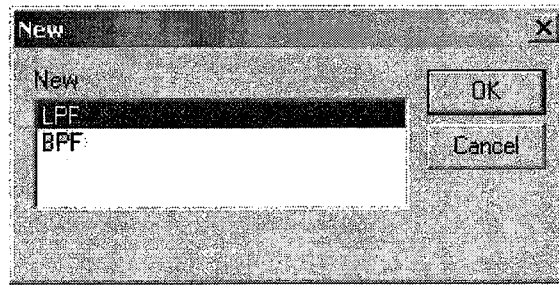
Çalışma devresinin kullanımını kolaylaştırmak amacıyla PC'de MS Windows işletim sistemi üzerinde çalışan bir arabirim programı yazılmıştır. Bu programın başlıca görevi, kullanıcıdan gerçekleştirilmek istenen filtrenin bazı özelliklerini alarak, devre için gerekli katsayıların

hesaplamaktır. Hesaplanan katsayılar istenirse gömülü sisteme gönderilerek devrenin donanım üzerinde gerçekleştirilmesini sağlanmaktadır. Bu programın yazımında Windows işletim sisteminin sunduğu bir takım program şablonları, kullanıcıdan istenen verilerin alınmasında ve kullanıcıya sunulması amacıyla kullanılmıştır.

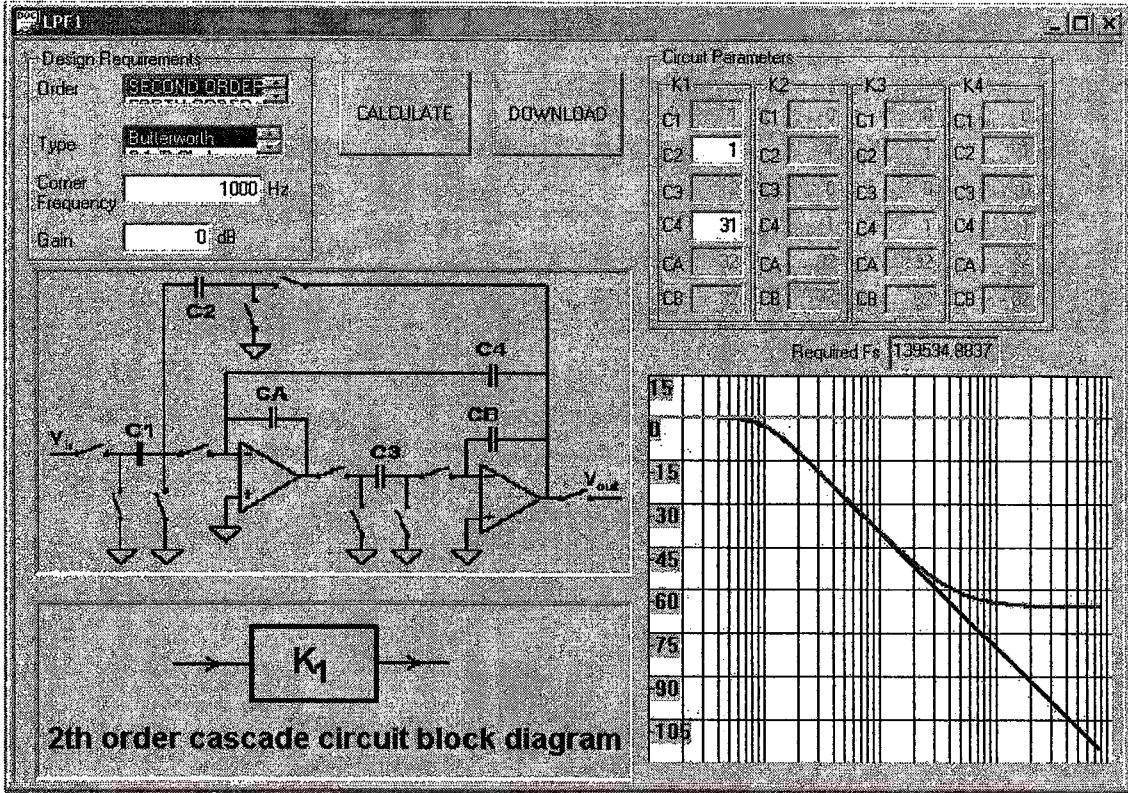
Kullanıcı alçak geçiren mi yoksa band geçiren filtre yapımını seçtikten sonra (Şekil 4.11) ekrana gelen parametre penceresi üzerinde girilmesi gereken değerleri girer. Bunlar filtrenin köşe yada merkez frekansı, band genişliği, ne tür bir yaklaşım yapılacağı ve serbest olarak seçilmesi gereken devre parametreleridir. Bilgi girişi tamamlandıktan sonra “Calculate” düğmesine basılarak girilen parametreler ile filtre için gerekli katsayıların hesaplanması sağlanır. Bu hesaplama anında filtrenin transfer fonksiyonu Matlab programında çalıştırılabilir bir şekilde bir dosyaya kayıt edilir. Hesaplanan katsayılar ekranda gösterilir. Bu katsayılar devre yapısındaki kapasite elemanlarının büyüklükleri ve anahtarlama frekansıdır. Hesaplanan katsayılar ile birlikte filtrenin transfer fonksiyonunun frekans düzleminde yaklaşık bir görüntüsü ekranda çizdirilir.

Hesaplanan filtre katsayıları dilerse “Download” düğmesiyle devreye aktarılabilir. Bu aktarım seri port üzerinden daha önce anlatılmış olan protokol vasıtasıyla yapılmaktadır.

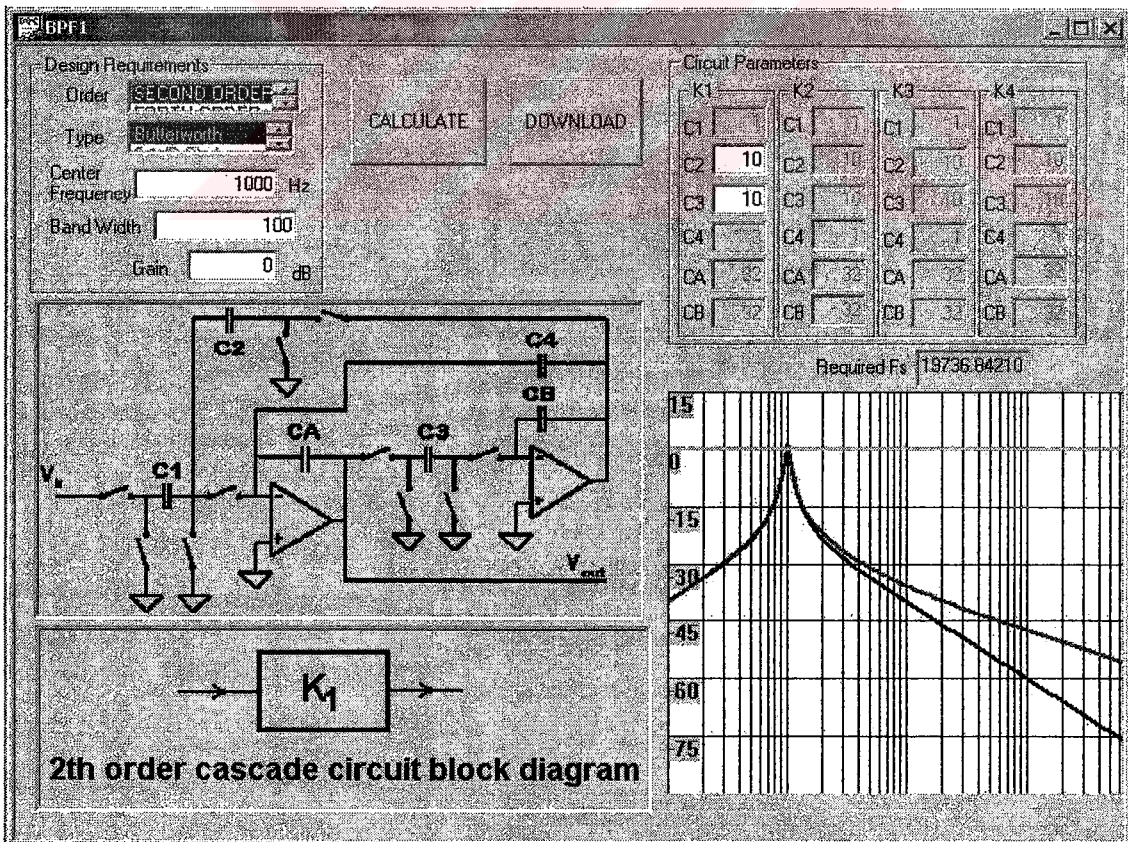
Alçak geçiren filtre için girilmesi gereken veriler filtrenin kaçınıcı dereceden olacağı hangi yaklaşımın kullanılacağı köşe frekansı ve geçirme bandı kazancıdır. Filtre yaklaşımı Butterworth, 1dB Chebyshev , 0.1dB Chebyshev ve Bessel yaklaşımlarından biri olabilir. Band geçiren filtre kısmında ise girilmesi gereken veriler alçak geçiren filtreden farklı olarak merkez frekansı ve band genişliğidir.



Şekil 4.11 Alçak geçiren yada Band geçiren seçim penceresi



Şekil 4.12 Alçak geçiren filtre parametre penceresi



Şekil 4.13 Band geçiren filtre parametre penceresi

5. SONUÇLAR

Bu tez çalışmasında, anahtarlanmış kapasiteli analog filtre devrelerinin laboratuvar ortamında incelenmesi ve öğrenilmesine yönelik, eğitim amaçlı bir çalışma devresi gerçekleştirilmiştir. Aynı zamanda gerçekleştirilen filtrelerin başka sistemlerde de filtre elemanı olarak çalışması amaçlanmıştır. Bir çok araştırmadan sonra böyle bir tasarım için en uygun yöntemin yeni çıkan bir mikrodenetleyici olduğuna karar verilmiş ve tasarım PSOC mikrodenetleyicisi ile yapılmıştır.

PSOC mikrodenetleyicisi içerisinde analog ve digital, anahtarlanmış kapasiteli devre blokları bulunmaktadır. Bu devre blokları, programlanarak alçak geçiren ve band geçiren filtre devreleri oluşturulur. Bu filtre devrelerinin transfer fonksiyonlarının katsayıları yine yazılım ile değiştirilerek, girilen işaretin genlik-frekans ve faz-frekans karakteristikleri istenildiği gibi ayarlanabilir.

Mikrodenetleyici içinde kullanılabilecek devre bloklarının sayısının kısıtlı olması daha yüksek dereceden filtre gerçeklemelerinin, 1 mikrodenetleyici üzerinde, imkansız hale getirmiştir. Bu sorun aynı türden birden fazla mikrodenetleyicinin arka arkaya (cascade) bağlanabilme özelliği verilerek aşılmıştır. Böylece daha yüksek dereceden filtre devreleri gerçekleştirilebilir.

Mikrodenetleyici içinde sadece iki tip anahtarlanmış kapasiteli devre bloğu bulunmaktadır. Bu nedenle sadece alçak geçiren ve band geçiren filtreler gerçekleştirilebilmiştir. Örneğin yüksek geçiren bir filtre topolojisi, içerideki anahtarlanmış kapasiteli devre tipleri ile gerçekleştirilememektedir.

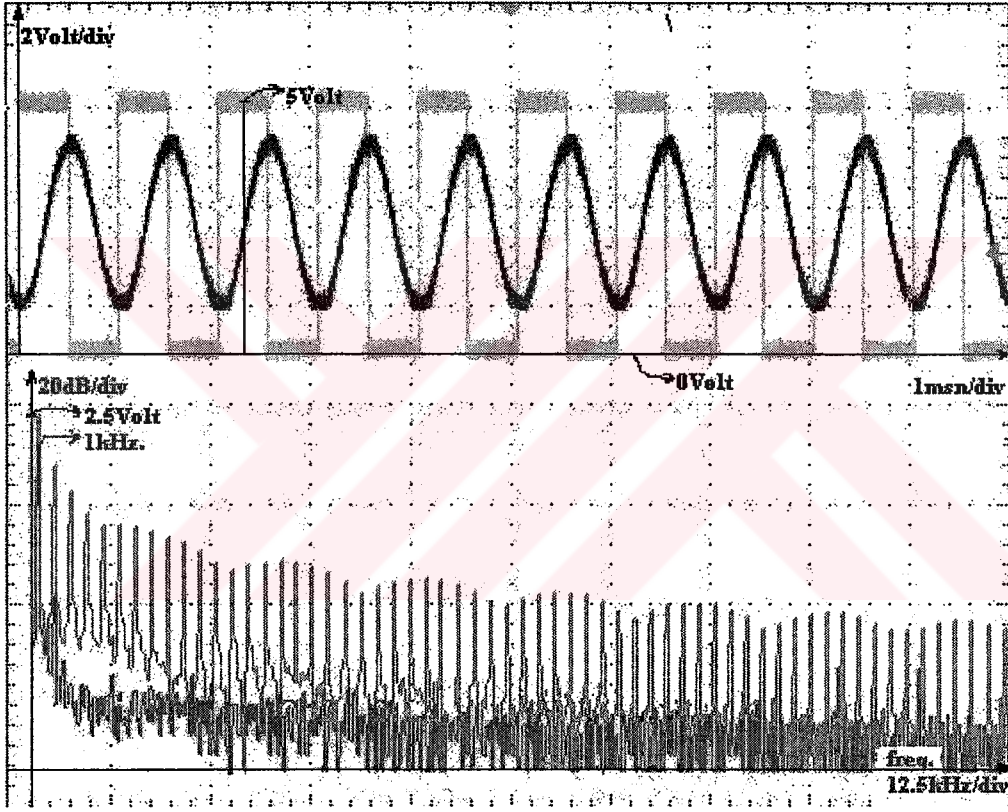
Gerçeklenen filtrelerin transfer fonksiyonlarının katsayıları kullanılan anahtarlanmış kapasite elemanları ve bu elemanların anahtarlama frekansları ile belirlenmektedir. Bu elemanların değerleri ve bu elemanlara uygulanabilecek anahtarlama frekanslarının sınırlı olması, transfer fonksiyonundaki her katsayının istenildiği gibi değiştirilememesine sebep olur. Ayrıca bir filtre içindeki bütün anahtarlanmış kapasitelerin, sinyal akışının bütünlüğünün sağlanması için aynı saat işareti ile anahtarlanmaları gerekir. Bu nedenle istenilen transfer fonksiyonu idealden uzaklaşmaktadır.

Tüm dezavantajlara rağmen sonuçta karakteristiği ve yaklaşımı programlanarak değiştirilebilen bir elektronik devre elemanı ve laboratuvarında çalışabilecek bir çalışma devresi elde edilmiştir.

Aşağıda gerçekleştirilen alçak geçiren ve band geçiren iki filtrenin, osiloskoptan (Tektronix

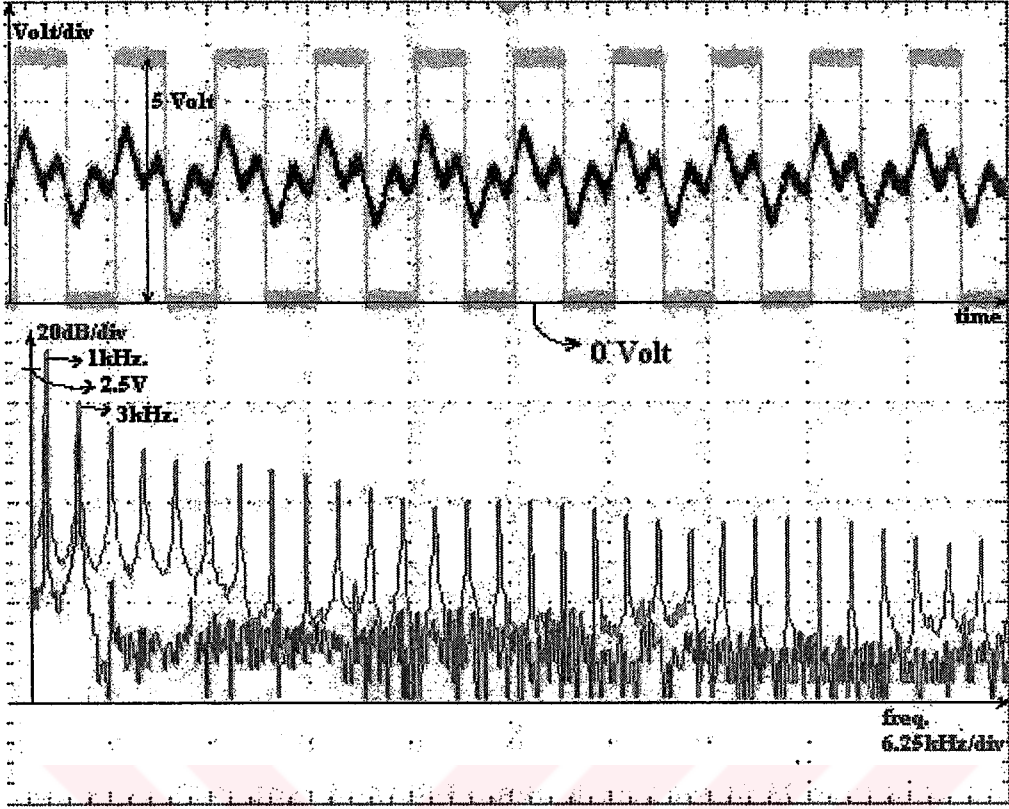
TDS3014B.) kaydedilen giriş ve çıkış işaret şekilleri görülmektedir. Bu işaretlerin elde edilmesi için filtreler 2.5 Volt ortalama gerilimli, tepeden tepeye 5 Volt genlikli kare dalga bir işaret uygulanmıştır. Bu kare dalga işaretin fourier açılımı bilindiği gibi tüm tek sayılı sinüs terimlerini barındırır. Uygulanan kare dalga işaretin genlik-zaman ve genlik-frekans grafikleri yine osiloskoptan elde edilen şekillerde görülmektedir (Şekil 5.1 ve Şekil 5.2).

Şekil5.1’de 2kHz köşe frekanslı 4. dereceden butterworth yaklaşımı alçak geçiren bir filtreden elde edilen işaretler görülmektedir. Görüldüğü gibi girilen kare dalga işaretin sadece 1kHzde bulunan 1. harmoniği geçirilmiş ve 1kHz frekanslı sinüsoidal bir işaret elde edilmiştir. Bu durum aynı şekilde fourier açılımlarında da görülmektedir (Şekil 5.1).



Şekil 5.1 2kHz Köşe frekanslı 4. dereceden butterworth yaklaşımı alçak geçiren filtrenin giriş ve çıkışı

Şekil5.2’de 2kHz Merkez frekanslı ve 2kHz band genişlikli yine butterworth yaklaşımı band geçiren bir filtreden elde edilen işaretler bulunmaktadır. Görüldüğü gibi girilen kare dalga işaretin sadece 1kHz. ve 3kHz.’de bulunan 1. ve 3. harmonikleri geçirilmiş ve 2 sinüsoidal işaretin toplamı olan bir işaret elde edilmiştir. Bu durum Şekil 5.2’de zaman düzlemi çiziminde görülmektedir Çıkan işaret sadece 1kHz ve 3kHz. frekanslarında bileşenler taşımaktadır. Bu durum da Şekil 5.2’de ki frekans düzlemi çiziminde görülmektedir.



Şekil 5.2 2KHz Merkez ve 2KHz band genişlikli 4. dereceden butterworth yaklaşımı band geçiren filtrenin giriş ve çıkışı

KAYNAKLAR

A. Fettweis, "Realization of General Network Functions using the Resonant-Transfer Principle," Proc. Fourth Asilomar Conf. on Circuits and Systems, Pacific Grove, CA, Nov. 1970, 663-666.

D.L. Fried, "Analog Sample-Data Filters," IEEE J. of Solid-State Circuits, Vol. SC-7, No. 4, August 1972, 302-304.

L.R. Rabiner, et. al., "Terminology in Digital Signal Processing," IEEE Trans. Audio and Electroacoustics, Vol. AU-20, December 1972, 323-337.

A.S. Sedra and K.C. Smith, Microelectronic Circuit, 3rd Ed., University Oxford Press, Inc. New York, NY, 1991.

K. Martin and A.S. Sedra, "Effects of the Op Amp Finite Gain and Bandwidth on the Performance of Switched-Capacitor Filters," IEEE Trans. on Circuits and Systems, vol. CAS-28, no. 8, August 1981, 822-829.

M.E. Van Valkenburg, "Analog Filter Design", College Publishing 1982, 497-498

The Cypress Microsystems PSOC family device documentation November 2002 Document #: 38-12010 CY Rev. *A CMS Rev. 3.21

EKLER

- EK 1 Analog Sürekli Zaman Blokları Kontrol Yazmaçları
EK 2 A Tipi Anahtarlanmış Kapasite Bloğu Kontrol Yazmaçları
EK 3 B Tipi Anahtarlanmış Kapasite Bloğu Kontrol Yazmaçları



Kontrol 1 Yazmacı

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	AnalogBus	CompBus	NMux2	NMux1	NMux0	PMux2	PMux1	PMux0

Bit 7: AnalogBus Enable output to the analog bus
0 = Disable analog bus driven by this block
1 = Enable analog bus driven by this block
Bit 6: CompBus Enable output to the comparator bus
0 = Disable comparator bus driven by this block
1 = Enable comparator bus driven by this block
Bit [5:3]: NMux [2:0] Encoding for negative input select

	ACA00	ACA01	ACA02	ACA03
0 0 0 =	ACA01	ACA00	ACA03	ACA02
0 0 1 =	AGND	AGND	AGND	AGND
0 1 0 =	REFLO	REFLO	REFLO	REFLO
0 1 1 =	REFHI	REFHI	REFHI	REFHI
1 0 0 =	ACA00	ACA01	ACA02	ACA03
1 0 1 =	ASA10	ASA11	ASA12	ASA13
1 1 0 =	ASB11	ASB10	ASB13	ASB12
1.1.1 =	Reserved	Reserved	Reserved	Reserved

Bit [2:0]: PMux [2:0] Encoding for positive input select

	ACA00	ACA01	ACA02	ACA03
0 0 0 =	REFLO	ACA02	ACA01	REFLO
0 0 1 =	Port Input	Port Inputs	Port Inputs	Port Inputs
0 1 0 =	ACA01	ACA00	ACA03	ACA02
0 1 1 =	AGND	AGND	AGND	AGND
1 0 0 =	ASA10	ASA11	ASA12	ASA13
1 0 1 =	ASB11	ASB10	ASB13	ASB12
1 1 0 =	ABUS0	ABUS1	ABUS2	ABUS3
1.1.1 =	Reserved	Reserved	Reserved	Reserved

EK 2 A Tipi Anahtarlanmış Kapasite Bloğu Kontrol Yazmaçları

Kontrol 0 Yazmacı

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	FCap	ClockPhase	ASign	ACap[4]	ACap[3]	ACap[2]	ACap[1]	ACap[0]

Bit 7: FCap F Capacitor value selection bit

0 = 16 capacitor units

1 = 32 capacitor units

Bit 6: ClockPhase Clock phase select,

0 = Capture Point Event triggered by Falling PHI2, Output Point Event triggered by Rising PHI1

1 = Capture Point Event triggered by Falling PHI1, Output Point Event triggered by Rising PHI2

Bit 5: ASign

0 = Input sampled on Internal PHI1, Reference Input sampled on internal PHI2

1 = Input sampled on Internal PHI2, Reference Input sampled on internal PHI1

Bit [4:0]: ACap [4:0] Binary encoding for 32 possible capacitor sizes for A Capacitor:

0 0 0 0 0 = 0 Capacitor units in array	1 0 0 0 0 = 16 Capacitor units in array
0 0 0 0 1 = 1 Capacitor units in array	1 0 0 0 1 = 17 Capacitor units in array
0 0 0 1 0 = 2 Capacitor units in array	1 0 0 1 0 = 18 Capacitor units in array
0 0 0 1 1 = 3 Capacitor units in array	1 0 0 1 1 = 19 Capacitor units in array
0 0 1 0 0 = 4 Capacitor units in array	1 1 0 0 0 = 20 Capacitor units in array
0 0 1 0 1 = 5 Capacitor units in array	1 1 0 0 1 = 21 Capacitor units in array
0 0 1 1 0 = 6 Capacitor units in array	1 1 0 1 0 = 22 Capacitor units in array
0 0 1 1 1 = 7 Capacitor units in array	1 1 0 1 1 = 23 Capacitor units in array
0 1 0 0 0 = 8 Capacitor units in array	1 0 0 0 0 = 24 Capacitor units in array
0 1 0 0 1 = 9 Capacitor units in array	1 0 0 0 1 = 25 Capacitor units in array
0 1 0 1 0 = 10 Capacitor units in array	1 0 0 1 0 = 26 Capacitor units in array
0 1 0 1 1 = 11 Capacitor units in array	1 0 0 1 1 = 27 Capacitor units in array
0 1 1 0 0 = 12 Capacitor units in array	1 1 0 0 0 = 28 Capacitor units in array
0 1 1 0 1 = 13 Capacitor units in array	1 1 0 0 1 = 29 Capacitor units in array
0 1 1 1 0 = 14 Capacitor units in array	1 1 0 1 0 = 30 Capacitor units in array
0 1 1 1 1 = 15 Capacitor units in array	1 1 1 1 1 = 31 Capacitor units in array

Kontrol 1 Yazmacı

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	ACMux[2]	ACMux[2]	ACMux [2]	BCap[4]	BCap[3]	BCap[2]	BCap[1]	BCap[0]
Bit [7:5] ACMux [2:0] Encoding for selecting A and C inputs. (Note that available mux inputs vary by individual PSoC block.)								
ASA10 A Inputs C Inputs 0 0 0 = ACA00 ACA00 0 0 1 = ASB11 ACA00 0 1 0 = REFHI ACA00 0 1 1 = ASB20 ACA00 1 0 0 = ACA01Reserved 1 0 1 = Reserved Reserved 1 1 0 = Reserved Reserved 1 1 1 = Reserved Reserved		ASA21 A Inputs C Inputs ASB11 ASB11 ASB20 ASB11 REFHI ASB11 Vtemp ASB11 ASA10 Reserved Reserved Reserved Reserved Reserved Reserved Reserved		ASA12 A Inputs C Inputs ACA02 ACA02 ASB13 ACA02 REFHI ACA02 ASB22 ACA02 ACA03 Reserved Reserved Reserved Reserved Reserved Reserved Reserved		ASA23 A Inputs C Inputs ASB13 ASB13 ASB22 ASB13 REFHI ASB13 ABUS3 ASB13 ASA12 Reserved Reserved Reserved Reserved Reserved Reserved Reserved		
Bit [4:0]: BCap [4:0] Binary encoding for 32 possible capacitor sizes for B Capacitor:								
0 0 0 0 0 = 0 Capacitor units in array 0 0 0 0 1 = 1 Capacitor units in array 0 0 0 1 0 = 2 Capacitor units in array 0 0 0 1 1 = 3 Capacitor units in array 0 0 1 0 0 = 4 Capacitor units in array 0 0 1 0 1 = 5 Capacitor units in array 0 0 1 1 0 = 6 Capacitor units in array 0 0 1 1 1 = 7 Capacitor units in array 0 1 0 0 0 = 8 Capacitor units in array 0 1 0 0 1 = 9 Capacitor units in array 0 1 0 1 0 = 10 Capacitor units in array 0 1 0 1 1 = 11 Capacitor units in array 0 1 1 0 0 = 12 Capacitor units in array 0 1 1 0 1 = 13 Capacitor units in array 0 1 1 1 0 = 14 Capacitor units in array 0 1 1 1 1 = 15 Capacitor units in array				1 0 0 0 0 = 16 Capacitor units in array 1 0 0 0 1 = 17 Capacitor units in array 1 0 0 1 0 = 18 Capacitor units in array 1 0 0 1 1 = 19 Capacitor units in array 1 0 1 0 0 = 20 Capacitor units in array 1 0 1 0 1 = 21 Capacitor units in array 1 0 1 1 0 = 22 Capacitor units in array 1 0 1 1 1 = 23 Capacitor units in array 1 1 0 0 0 = 24 Capacitor units in array 1 1 0 0 1 = 25 Capacitor units in array 1 1 0 1 0 = 26 Capacitor units in array 1 1 0 1 1 = 27 Capacitor units in array 1 1 1 0 0 = 28 Capacitor units in array 1 1 1 0 1 = 29 Capacitor units in array 1 1 1 1 0 = 30 Capacitor units in array 1 1 1 1 1 = 31 Capacitor units in array				

Kontrol 2 Yazmacı

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	AnalogBus	CompBus	AutoZero	CCap[4]	CCap[3]	CCap[2]	CCap[1]	CCap[0]

Bit 7: AnalogBus Enable output to the analog bus

0 = Disable output to analog column bus

1 = Enable output to analog column bus

Bit 6: CompBus Enable output to the comparator bus

0 = Disable output to comparator bus

1 = Enable output to comparator bus

Bit 5: AutoZero Bit for controlling gated switches

0 = Shorting switch is not active. Input cap branches shorted to op-amp input

1 = Shorting switch is enabled during internal PHI1. Input cap branches shorted to analog ground during internal

PHI1 and to op-amp input during internal PHI2.

Bit [4:0]: CCap [4:0] Binary encoding for 32 possible capacitor sizes for C Capacitor:

0 0 0 0 = 0 Capacitor units in array	1 0 0 0 = 16 Capacitor units in array
0 0 0 1 = 1 Capacitor units in array	1 0 0 1 = 17 Capacitor units in array
0 0 1 0 = 2 Capacitor units in array	1 0 1 0 = 18 Capacitor units in array
0 0 1 1 = 3 Capacitor units in array	1 0 1 1 = 19 Capacitor units in array
0 1 0 0 = 4 Capacitor units in array	1 1 0 0 = 20 Capacitor units in array
0 1 0 1 = 5 Capacitor units in array	1 1 0 1 = 21 Capacitor units in array
0 1 1 0 = 6 Capacitor units in array	1 1 1 0 = 22 Capacitor units in array
0 1 1 1 = 7 Capacitor units in array	1 1 1 1 = 23 Capacitor units in array
1 0 0 0 = 8 Capacitor units in array	1 1 0 0 = 24 Capacitor units in array
1 0 0 1 = 9 Capacitor units in array	1 1 0 1 = 25 Capacitor units in array
1 0 1 0 = 10 Capacitor units in array	1 1 1 0 = 26 Capacitor units in array
1 0 1 1 = 11 Capacitor units in array	1 1 1 1 = 27 Capacitor units in array
1 1 0 0 = 12 Capacitor units in array	1 1 1 0 = 28 Capacitor units in array
1 1 0 1 = 13 Capacitor units in array	1 1 1 1 = 29 Capacitor units in array
1 1 1 0 = 14 Capacitor units in array	1 1 1 1 = 30 Capacitor units in array
1 1 1 1 = 15 Capacitor units in array	1 1 1 1 = 31 Capacitor units in array

Kontrol 3 Yazmacı

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	ArefMux [1]	ArefMux [0]	FSW[1]	FSW[0]	BMux SCA[1]	BMux SCA[0]	Power [1]	Power [0]

Bit [7:6]: ARefMux [1:0] Encoding for selecting reference input

0 0 = Analog ground is selected

0 1 = REFHI input selected (This is usually the high reference)

1 0 = REFLO input selected (This is usually the low reference)

1 1 = Reference selection is driven by the comparator (When output comparator node is set high, the input is set to

REFHI. When set low, the input is set to REFLO)

Bit 5: FSW1 Bit for controlling gated switches

0 = Switch is disabled

1 = If the FSW1 bit is set to 1, the state of the switch is determined by the AutoZero bit. If the AutoZero bit is 0, the

switch is enabled at all times. If the AutoZero bit is 1, the switch is enabled only when the internal PHI2 is high

Bit 4: FSW0 Bits for controlling gated switches

0 = Switch is disabled

1 = Switch is enabled when PHI1 is high

Bit [3:2] BMuxSCA [1:0] Encoding for selecting B inputs. (Note that the available mux inputs vary by individual

PSoC block.)

ASA10 ASA21 ASA12 ASA23

0 0 = ACA00 ASB11 ACA02 ASB13

0 1 = ASB11 ASB20 ASB13 ASB22

1 0 = P2.3 ASB22 ASB11 P2.0

1 1 = ASB20 TrefGND ASB22 ABUS3

Bit [1:0]: Power [1:0] Encoding for selecting 1 of 4 power levels

0 0 = Off

0 1 = 10 μ A, typical

1 0 = 50 μ A, typical

1 1 = 200 μ A, typical

EK 3 B Tipi Anahtarlanmış Kapasite Bloğu Kontrol Yazmaçları

Kontrol 0 Yazmacı

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	FCap	ClockPhase	ASign	ACap[4]	ACap[3]	ACap[2]	ACap[1]	ACap[0]

Bit 7: FCap F Capacitor value selection bit

0 = 16 capacitor units

1 = 32 capacitor units

Bit 6: ClockPhase Clock phase select,

0 = Capture Point Event triggered by Falling PHI2, Output Point Event triggered by Rising PHI1

1 = Capture Point Event triggered by Falling PHI1, Output Point Event triggered by Rising PHI2

Bit 5: ASign

0 = Input sampled on Internal PHI1, Reference Input sampled on internal PHI2

1 = Input sampled on Internal PHI2, Reference Input sampled on internal PHI1

Bit [4:0]: ACap [4:0] Binary encoding for 32 possible capacitor sizes for A Capacitor:

0 0 0 0 = 0 Capacitor units in array	1 0 0 0 = 16 Capacitor units in array
0 0 0 1 = 1 Capacitor units in array	1 0 0 1 = 17 Capacitor units in array
0 0 1 0 = 2 Capacitor units in array	1 0 1 0 = 18 Capacitor units in array
0 0 1 1 = 3 Capacitor units in array	1 0 1 1 = 19 Capacitor units in array
0 1 0 0 = 4 Capacitor units in array	1 1 0 0 = 20 Capacitor units in array
0 1 0 1 = 5 Capacitor units in array	1 1 0 1 = 21 Capacitor units in array
0 1 1 0 = 6 Capacitor units in array	1 1 1 0 = 22 Capacitor units in array
0 1 1 1 = 7 Capacitor units in array	1 1 1 1 = 23 Capacitor units in array
1 0 0 0 = 8 Capacitor units in array	1 0 0 0 = 24 Capacitor units in array
1 0 0 1 = 9 Capacitor units in array	1 0 0 1 = 25 Capacitor units in array
1 0 1 0 = 10 Capacitor units in array	1 0 1 0 = 26 Capacitor units in array
1 0 1 1 = 11 Capacitor units in array	1 0 1 1 = 27 Capacitor units in array
1 1 0 0 = 12 Capacitor units in array	1 1 0 0 = 28 Capacitor units in array
1 1 0 1 = 13 Capacitor units in array	1 1 0 1 = 29 Capacitor units in array
1 1 1 0 = 14 Capacitor units in array	1 1 1 0 = 30 Capacitor units in array
1 1 1 1 = 15 Capacitor units in array	1 1 1 1 = 31 Capacitor units in array

Kontrol 1 Yazmacı

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	ACMux [2]	ACMux [1]	ACMux [0]	BCap [4]	BCap [3]	BCap [2]	BCap [1]	BCap [0]
Bit [7:5] ACMux [2:0] Encoding for selecting A and C inputs. (Note that available mux inputs vary by individual PSoC block.)								
ASB11 ASB13 ASB20 ASB22 0 0 0 = ACA01 ACA03 ASA10 ASA12 0 0 1 = ASA12 P2.2 P2.1 ASA21 0 1 0 = ASA10 ASA12 ASA21 ASA23 0 1 1 = ASA21 ASA23 ABUS0 ABUS2 1 0 0 = REFHI REFHI REFHI REFHI 1 0 1 = ACA00 ACA02 ASB11 ASB13 1 1 0 = Reserved Reserved Reserved Reserved 1 1 1 = Reserved Reserved Reserved Reserved								
Bit [4:0]: BCap [4:0] Binary encoding for 32 possible capacitor sizes for B Capacitor:								
0 0 0 0 0 = 0 Capacitor units in array 0 0 0 0 1 = 1 Capacitor units in array 0 0 0 1 0 = 2 Capacitor units in array 0 0 0 1 1 = 3 Capacitor units in array 0 0 1 0 0 = 4 Capacitor units in array 0 0 1 0 1 = 5 Capacitor units in array 0 0 1 1 0 = 6 Capacitor units in array 0 0 1 1 1 = 7 Capacitor units in array 0 1 0 0 0 = 8 Capacitor units in array 0 1 0 0 1 = 9 Capacitor units in array 0 1 0 1 0 = 10 Capacitor units in array 0 1 0 1 1 = 11 Capacitor units in array 0 1 1 0 0 = 12 Capacitor units in array 0 1 1 0 1 = 13 Capacitor units in array 0 1 1 1 0 = 14 Capacitor units in array 0 1 1 1 1 = 15 Capacitor units in array				1 0 0 0 0 = 16 Capacitor units in array 1 0 0 0 1 = 17 Capacitor units in array 1 0 0 1 0 = 18 Capacitor units in array 1 0 0 1 1 = 19 Capacitor units in array 1 0 1 0 0 = 20 Capacitor units in array 1 0 1 0 1 = 21 Capacitor units in array 1 0 1 1 0 = 22 Capacitor units in array 1 0 1 1 1 = 23 Capacitor units in array 1 1 0 0 0 = 24 Capacitor units in array 1 1 0 0 1 = 25 Capacitor units in array 1 1 0 1 0 = 26 Capacitor units in array 1 1 0 1 1 = 27 Capacitor units in array 1 1 1 0 0 = 28 Capacitor units in array 1 1 1 0 1 = 29 Capacitor units in array 1 1 1 1 0 = 30 Capacitor units in array 1 1 1 1 1 = 31 Capacitor units in array				

Kontrol 2 Yazmacı

Bit #	7	6	5	4	3	2	1	0
POR	0	0	0	0	0	0	0	0
Read/ Write	RW	RW	RW	RW	RW	RW	RW	RW
Bit Name	AnalogBus	CompBus	AutoZero	Ccap [4]	Ccap [3]	Ccap [2]	Ccap [1]	Ccap [0]

Bit 7: AnalogBus Enable output to the analog bus

0 = Disable output to analog column bus

1 = Enable output to analog column bus

Bit 6: CompBus Enable output to the comparator bus

0 = Disable output to comparator bus

1 = Enable output to comparator bus

Bit 5: AutoZero Bit for controlling gated switches

0 = Shorting switch is not active. Input cap branches shorted to op-amp input

1 = Shorting switch is enabled during internal PHI1. Input cap branches shorted to analog ground during internal

PHI1 and to op-amp input during internal PHI2.

Bit [4:0]: CCap [4:0] Binary encoding for 32 possible capacitor sizes for C Capacitor:

0 0 0 0 0 = 0 Capacitor units in array	1 0 0 0 0 = 16 Capacitor units in array
0 0 0 0 1 = 1 Capacitor units in array	1 0 0 0 1 = 17 Capacitor units in array
0 0 0 1 0 = 2 Capacitor units in array	1 0 0 1 0 = 18 Capacitor units in array
0 0 0 1 1 = 3 Capacitor units in array	1 0 0 1 1 = 19 Capacitor units in array
0 0 1 0 0 = 4 Capacitor units in array	1 0 1 0 0 = 20 Capacitor units in array
0 0 1 0 1 = 5 Capacitor units in array	1 0 1 0 1 = 21 Capacitor units in array
0 0 1 1 0 = 6 Capacitor units in array	1 0 1 1 0 = 22 Capacitor units in array
0 0 1 1 1 = 7 Capacitor units in array	1 0 1 1 1 = 23 Capacitor units in array
0 1 0 0 0 = 8 Capacitor units in array	1 1 0 0 0 = 24 Capacitor units in array
0 1 0 0 1 = 9 Capacitor units in array	1 1 0 0 1 = 25 Capacitor units in array
0 1 0 1 0 = 10 Capacitor units in array	1 1 0 1 0 = 26 Capacitor units in array
0 1 0 1 1 = 11 Capacitor units in array	1 1 0 1 1 = 27 Capacitor units in array
0 1 1 0 0 = 12 Capacitor units in array	1 1 1 0 0 = 28 Capacitor units in array
0 1 1 0 1 = 13 Capacitor units in array	1 1 1 0 1 = 29 Capacitor units in array
0 1 1 1 0 = 14 Capacitor units in array	1 1 1 1 0 = 30 Capacitor units in array
0 1 1 1 1 = 15 Capacitor units in array	1 1 1 1 1 = 31 Capacitor units in array

ÖZGEÇMİŞ

Doğum tarihi 15.06.1976

Doğum yeri İstanbul

Lise 1990-1995 Samsun Atakum Anadolu Teknik Lisesi
Elektronik Bölümü

Lisans 1995-1999 Yıldız Teknik Üniversitesi Elektrik-Elektronik
Fakültesi
Elektronik Haberleşme Mühendisliği Bölümü

Çalıştığı kurumlar 1999-2000 Adam Elektronik AŞ
Tasarım Mühendisi

2000-2002 Alcatel-Teletaş
Ar-Ge Elektronik Ödeme Sistemleri Bölümü
Tasarım Mühendisi

2002-2003 Sayot AŞ
Ar-Ge Tasarım Mühendisi

2003- Teknoloji Tasarım Ltd. Şti. ve Metre Grup Ltd. Şti
Ar-Ge Tasarım Mühendisi