

**YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

139681

**DÜŞÜK GERİLİMLİ ANALOG DEVRELERİN VLSİ
TASARIMI**

139681

Elektronik ve Hab. Müh. Tüba KIYAN

**FBE Elektronik ve Haberleşme Mühendisliği Anabilim Dalı Elektronik Programında
Hazırlanan**

YÜKSEK LİSANS TEZİ

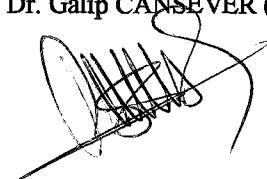


Tez Danışmanı: Prof. Dr. Atilla ATAMAN (Y.T.Ü.)

Jüri Üyeleri : Doç. Dr. Herman SEDEF (Y.T.Ü.)



Prof. Dr. Galip CANSEVER (Y.T.Ü.)



İSTANBUL, 2003

**YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

İÇİNDEKİLER

	Sayfa
SİMGE LİSTESİ	iii
KISALTMA LİSTESİ.....	iv
ŞEKİL LİSTESİ	v
ÇİZELGE LİSTESİ	viii
ÖNSÖZ.....	ix
ÖZET	x
ABSTRACT	xi
1. GİRİŞ	1
1.1 Tez Düzeni	2
2. MOS TRANSİSTÖR	3
2.1 MOS Transistörün Yapısı.....	4
2.2 n-Kanal MOS İçin Temel DC Eşitlikler	6
2.2.1 Gövde etkisi.....	7
3. DÜŞÜK GERİLİMLİ ANALOG DEVRELERİN TASARIM TEKNİKLERİ	9
3.1 Analog İşaret İşleme	10
3.2 Kritik Sorunlar	11
3.3 Teknoloji Gereksinimleri.....	11
3.4 Besleme Gerilimini Düşürmede Kullanılan Devre Stratejileri.....	12
3.4.1 Eşik Gerilimi Altında Çalışan Devreler	14
3.4.2 Gövdeden Sürülen MOSFET'ler	15
3.4.3 Kendinden-Kaskodlanmış MOSFET'ler.....	19
3.4.4 Yüzer-Geçitli MOSFET'ler.....	20
3.4.5 Seviye-Öteleme Yaklaşımı.....	23
3.4.6 Düşük Gerilimli Analog Hücrelerin Kullanımı	25
3.5 Farklı Yöntemlerin Karşılaştırılması	25
3.6 Düşük Gerilimli Yapı Blokları	26
3.6.1 Düşük Gerilimli Akım Aynaları	26
3.6.2 Diferansiyel Giriş Katları.....	28
3.6.2.1 Sabit Geçiş İletkenliği Sağlama Yöntemleri	32
3.6.3 Düşük Gerilimli Çıkış Katları	33
4. CDBA (AKIM FARKLI GERİLİM İZLEYİCİSİ KUVVETLENDİRİCİSİ).....	35
4.1 DCCCS (Diferansiyel Akım Kontrollü Akım Kaynağı).....	36
4.1.1 DC Analiz.....	37

4.1.2	Kazanç ve Faz Karakteristikleri	42
4.1.3	Çıkış Salınımı	44
4.1.4	Güç.....	46
4.1.5	Toplam Harmonik Distorsiyon.....	47
4.2	İşlemsel Kuvvetlendirici	47
4.2.1	Sabit Geçiş İletkenlikli Giriş Katı.....	49
4.2.2	Akım Anahtarlama Devre ($\beta_n=\beta_p$)	49
4.2.3	İşlemsel Kuvvetlendiricinin Başarım Ölçütleri	51
4.2.3.1	Kazanç.....	53
4.2.3.2	Kazanç Band Genişliği.....	55
4.2.3.3	Faz Payı.....	55
4.2.3.4	Çıkış Salınımı	56
4.2.3.5	Offset Gerilimi.....	57
4.2.3.6	Yükselme ve Alçalma Eğimleri.....	58
4.2.3.7	Güç.....	59
4.2.3.8	Toplam Harmonik Distorsiyon.....	59
5.	SERİM	60
5.1	Tasarım Kuralları.....	60
5.2	CDBA Devresinin Serimi.....	61
6.	POST-SİMÜLASYON	63
6.1	DCCCS'nin Post Simülasyonu.....	63
6.1.1	DC Analiz.....	63
6.1.2	Kazanç ve Faz Karakteristikleri	66
6.1.3	Çıkış Salınımı	68
6.1.4	Güç.....	69
6.1.5	Toplam Harmonik Distorsiyon.....	70
6.2	İşlemsel Kuvvetlendiricinin Post-Simülasyonu	70
6.2.1	Kazanç Ve Faz Karakteristiği.....	70
6.2.2	Çıkış Salınımı	71
6.2.3	Offset Gerilimi.....	72
6.2.4	Yükselme ve Alçalma Eğimleri.....	73
6.2.5	Güç.....	74
6.2.6	Toplam Harmonik Distorsiyon.....	74
7.	FİLTRE UYGULAMALARI	75
7.1	Simülasyon Sonuçları	75
8.	SONUÇ	78
	KAYNAKLAR.....	80
	EKLER.....	81
	Ek 1 TUBİTAK-YİTAL 1.5 μ M Poli Geçitli CMOS Prosesi Tasarım Kuralları	82
	ÖZGEÇMİŞ.....	85

SİMGE LİSTESİ

C	Kondansatör
C_{ox}	Oksit kapasitesi
g_m	Geçiş iletkenliği
I_{DS}	Savak-kaynak akımı
L	Sorce ve savak bölgeleri arasındaki uzaklık
R	Direnç
Si	Silisyum
SR^+	Yükselme eğimi
SR^-	Alçalma eğimi
t_{ox}	Geçit-oksit tabakasının kalınlığı
V_T	Eşik gerilimi
V_{GS}	Geçit-kaynak gerilimi
V_{DS}	Savak-kaynak gerilimi
V_{GD}	Geçit-savak gerilimi
V_{BS}	Gövde-kaynak gerilimi
V_S	Kaynak gerilimi
V_D	Savak gerilimi
V_G	Geçit gerilimi
W	Kanal genişliği
ϵ_{ox}	Gate-oksit tabakasının dielektrik sabiti
μ_0	Taşıyıcıların (elektron ya da delik) hareket kabiliyeti
λ	Kanal boyu modülasyonu
β	MOS transistörün kazanç faktörü

KISALTMA LİSTESİ

CDBA	Current differencing buffered amplifier
CMOS	Complementary metal oxide semiconductor
CMRR	Common mode rejection ratio
DCCCS	Differential current controlled current source
MOSFET	Metal oxide semiconductor field effect transistor
THD	Toplam harmonik distorsiyon
PSRR	Power Supply Rejection Ratio



ŞEKİL LİSTESİ

Şekil 2.1 n-tipi kanal oluşturmali MOSFET'in yapısı	4
Şekil 2.2 n-kanal MOSFET	4
Şekil 2.3 n-kanal MOSFET'in akım-gerilim karakteristiği	6
Şekil 2.4 Gövde etkisi	8
Şekil 3.1 (a)Kaskod kazanç katı (b)Kaskod olmayan kazanç katı (Yan ve Sanchez-Sinencio, 2000).....	12
Şekil 3.2 Kaskod ve kaskod olmayan yapıların besleme gerilimi boyunca normalize transistör boyutları ve kazanç-band genişliği (Yan ve Sanchez-Sinencio, 2000).....	13
Şekil 3.3 Gövde terminalinden sürülmüş bir MOSFET	15
Şekil 3.4 Baskın kapasiteler (a) Gövdeden sürülen nMOS transistör için (b) Geçitten sürülen nMOS transistör için.....	16
Şekil 3.5 Gövde terminalinden sürülen MOSFET'in yapısı	16
Şekil 3.6 Gövdeden sürülen n-kanallı MOSFET'in yapısı.....	16
Şekil 3.7 (a) Gövdeden sürülen nMOS transistör (b) Geçitten sürülen nMOS transistör (c)Gövdeden sürülen ve geçitten sürülen MOS'ların giriş gerilimi-çıkış akımı karakteristiği (Sanchez-Sinencio, 2000).....	17
Şekil 3.8 Geçitten sürülen MOSFET'lerin çıkış salınımlarının karşılaştırması (Sanchez-Sinencio, 2000)	17
Şekil 3.9 Gövdeden sürülen akım aynası	18
Şekil 3.10 Gövdeden sürülen transistörlerin kullanıldığı diferansiyel giriş katı	18
Şekil 3.11 Kendinden kaskodlanmış nMOS transistör (Sanchez-Sinencio, 2000).....	19
Şekil 3.12 Kendinden kaskodlanmış yapı kullanılarak oluşturulmuş bir akım aynası	20
Şekil 3.13 Yüzer-geçitli MOSFET (a) Serim (b) Şematik sembolü (c) Eşdeğer devre (Sanchez-Sinencio, 2000).....	21
Şekil 3.14 Yüzer-geçitli MOSFET (Sanchez-Sinencio, 2000).....	21
Şekil 3.15 (a)Yüzer-geçitli diferansiyel çift (b)Yüzer geçitli diferansiyel çiftin baskın kapasiteleri (Sanchez-Sinencio, 2000)	23
Şekil 3.16 Seviye-öteleme tekniği kullanılmış bir akım aynası	23
Şekil 3.17 Düşük gerilimli akım aynaları (Sanchez-Sinencio, 2000).....	27
Şekil 3.18 İşlemsel kuvvetlendirici konfigürasyonları (Sanchez-Sinencio, 2000).....	28
Şekil 3.19 n ve p tipi diferansiyel çiftler (Sanchez-Sinencio, 2000)	31
Şekil 3.20 Basit n-p komplementer giriş katı(Sanchez-Sinencio, 2000)	32
Şekil 3.21 n, p ve n-p komplementer giriş katlarının g_m karakteristikleri(Sanchez-Sinencio, 2000).....	32
Şekil 3.22 Çıkış katları (a) Kaynak izleyicisi (b) A sınıfı çıkış katı (c) B sınıfı çıkış katı	34
(d) AB sınıfı çıkış katı.....	34
Şekil 4.1 (a) CDBA'nın sembolü (b) CDBA'nın eşdeğer devresi.....	35
Şekil 4.2 CDBA aktif elemanının CMOS gerçekleştirilmesi	36
Şekil 4.3 DCCCS'nin devre sembolü	36
Şekil 4.4 DCCCS devresi	37
Şekil 4.5 DC analiz için yararlanılan devre.....	38
Şekil 4.6 i_z akımının i_p akımına göre dc analizi.....	38
Şekil 4.7 i_z akımının i_n akımına göre DC analizi	39
Şekil 4.8 v_z geriliminin $-1V$ ile $1V$ değerleri arasında i_z akımının i_p akımına göre dc analizi	40
Şekil 4.9 v_z geriliminin $-1V$ ile $1V$ arasında değişen değerlerine göre i_z akımının i_p akımına göre dc analizi	40
Şekil 4.10 $R_z=2K\Omega$ için i_z akımı grafiği.....	41
Şekil 4.11 $R_z=2.5K\Omega$ için i_z akımı grafiği.....	42
Şekil 4.12 i_z/i_p kazanç grafiği	42

Şekil 4.13 i_z/i_p faz grafiği	43
Şekil 4.14 i_z/i_n kazanç grafiği	43
Şekil 4.15 i_z/i_n faz grafiği	44
Şekil 4.16 10KHz'de i_z akımının i_p akımına göre geçici hal analizi.....	44
Şekil 4.17 10KHz'de i_z akımının i_n akımına göre geçici hal analizi.....	45
Şekil 4.18 1KHz'de i_z akımının i_p akımına göre geçici hal analiz grafiği	45
Şekil 4.19 1KHz'de i_z akımının i_n akımına göre geçici hal analiz grafiği	46
Şekil 4.20 i_p giriş akımına göre devrede harcanan gücün grafiği.....	46
Şekil 4.21 i_n giriş akımına göre devrede harcanan gücün grafiği.....	47
Şekil 4.22 Bir işlemsel kuvvetlendiricinin devre şeması	48
Şekil 4.23 Birim geri beslemeli işlemsel kuvvetlendiricinin CMOS gerçekleştirilmesi	48
Şekil 4.24 İşlemsel kuvvetlendiricinin beslemeden beslemeye giriş katı.....	50
Şekil 4.25 Akım anahtarlama devresinin toplam geçiş iletkenliği grafiği.....	51
Şekil 4.26 Birim geri beslemeli işlemsel kuvvetlendirici	52
Şekil 4.27 Gerilim kaynağı.....	52
Şekil 4.28 Değişken giriş gerilimine göre gerilim kaynaklarının gerilim grafiği.....	53
Şekil 4.29 İşlemsel kuvvetlendiricinin kazanç grafiği	54
Şekil 4.30 Birim geri beslemeli bağlanmış işlemsel kuvvetlendiricinin kazanç grafiği.....	54
Şekil 4.31 İşlemsel kuvvetlendiricinin çıkışın ait kazanç-band genişliği grafiği	55
Şekil 4.32 İşlemsel kuvvetlendiricinin çıkış düğümüne ait faz grafiği.....	55
Şekil 4.33 Birim geri beslemeli işlemsel kuvvetlendiricinin faz grafiği.....	56
Şekil 4.34 Birim geri beslemeli bağlanmış işlemsel kuvvetlendiricinin geçici hal analizi.....	57
Şekil 4.35 İşlemsel kuvvetlendiricinin çıkış salınımı	57
Şekil 4.36 İşlemsel kuvvetlendiricinin giriş offset gerilimi	58
Şekil 4.37 Birim geri beslemeli işlemsel kuvvetlendiricinin 1MHz'lik darbe cevabı.....	58
Şekil 4.38 İşlemsel kuvvetlendirici devresinde harcanan güç.....	59
Şekil 5.1 Katlamalı serim tekniği.....	61
Şekil 5.2 CDBA devresinin serimi.....	62
Şekil 6.1 i_z akımının i_p akımına göre DC analizi	63
Şekil 6.2 i_z akımının i_n akımına göre DC analizi	64
Şekil 6.3 v_z geriliminin değişen değerleri için i_z akımının i_p akımına göre DC analizi	64
Şekil 6.4 v_z geriliminin değişen değerleri için i_z akımının i_n akımına göre DC analizi	65
Şekil 6.5 $R_z=2K\Omega$ için i_z akımının i_p akımına göre DC analizi.....	65
Şekil 6.6 $R_z=2K\Omega$ için i_z akımının i_n akımına göre DC analizi.....	66
Şekil 6.7 i_z/i_p 'nin kazanç grafiği	66
Şekil 6.8 i_z/i_p 'nin faz grafiği	67
Şekil 6.9 i_z/i_n 'nin kazanç grafiği	67
Şekil 6.10 i_z/i_n 'nin faz grafiği	68
Şekil 6.11 i_z akımının i_p akımına göre geçici hal analizi.....	68
Şekil 6.12 i_z akımının i_n akımına göre geçici hal analizi.....	69
Şekil 6.13 DCCCS devresinde harcanan gücün i_p akımına göre grafiği.....	69
Şekil 6.14 DCCCS devresinde harcanan gücün i_n akımına göre grafiği.....	70
Şekil 6.15 Birim geri beslemeli işlemsel kuvvetlendiricinin kazanç grafiği.....	71
Şekil 6.16 Birim geri beslemeli işlemsel kuvvetlendiricinin faz grafiği.....	71
Şekil 6.17 Birim geri beslemeli işlemsel kuvvetlendiricinin giriş gerilimine göre çıkış cevabı.....	72
Şekil 6.18 Birim geri beslemeli işlemsel kuvvetlendiricinin çıkış salınımı	72
Şekil 6.19 Offset gerilimi	73
Şekil 6.20 Birim geri beslemeli işlemsel kuvvetlendiricinin darbe cevabı.....	73
Şekil 6.21 Ortak mod giriş gerilimine göre işlemsel kuvvetlendiricide harcanan güç	74
Şekil 7.1 CDBA aktif elemanı kullanılarak tasarlanan birinci dereceden tüm geçiren filtre...	75
Şekil 7.2 Tüm geçiren filtrenin kazancı	76

Şekil 7.3 Tüm geçiren filtrenin fazı	76
Şekil 7.4 Tüm geçiren filtrenin kazancı (75 ⁰ C)	77
Şekil 7.5 Tüm geçiren filtrenin fazı(75 ⁰ C)	77



ÇİZELGE LİSTESİ

Çizelge 3.1 Düşük gerilimli analog devrelerin tasarımında kullanılan farklı tekniklerin karşılaştırması	25
Çizelge 3.2 İşlemsel kuvvetlendirici konfigürasyonlarının ortak mod giriş ve çıkış gerilimi salınımı	29
Çizelge 4.1 DCCCS devresinin transistör boyutları	37
Çizelge 4.2 İşlemsel kuvvetlendiricinin transistör boyutları	52
Çizelge 4.3 Gerilim kaynaklarının transistör boyutları	53
Çizelge 8.1 Simülasyon ve post-simülasyon sonuçlarının karşılaştırıldığı sonuç tablosu	79



ÖNSÖZ

Tezimin konusunun belirlenmesinde ve çalışmamamın hazırlanmasında bana yardımcı olan Prof. Dr. Atilla Ataman'a, benimle beraber özveriyle çalışan Doç. Dr. Herman Sedef'e ve oda arkadaşlarım Nihan Coşkun, Burcu Kapanoğlu, Revna Acar ve her zaman manevi destekleriyle yanımda olan aileme ve Barış Toraman'a teşekkür ederim.



ÖZET

Bu çalışmada, düşük gerilimli analog devrelerin tasarım yöntemleri incelenmiştir. Bu incelemeler sonucunda CDBA (Akım Farklı Gerilim İzleyicisi Kuvvetlendiricisi) aktif devre elemanı düşük besleme geriliminde çalışmak üzere tasarlanmıştır. Tasarımda TÜBİTAK-YİTAL 1.5µm poli geçitli CMOS prosesi tasarım kuralları kullanılmıştır.

CDBA 5-terminalli bir devre elemanıdır. İki kattan oluşur. Birinci kat akım modlu olan DCCCS devresi ve ikinci kat ise gerilim modlu olan birim geri beslemeli işlemsel kuvvetlendirici devresidir. CDBA elemanının bu özelliği sayesinde hem akım modlu hem de gerilim modlu filtreler gerçekleştirmek mümkündür.

PSPICE programı kullanılarak CDBA devresinin performans analizi yapılmış ve bu analizler sonucunda CDBA devresinin dinamikliği belirlenmiştir.

Tasarlanan CDBA devresinin serimi L-Edit programı kullanılarak elde edilmiştir. Serim sonrasında elde edilen çıkarım dosyası ile simülasyonlar tekrarlanmıştır. Böylece serim sonucunda oluşacak olan parazitik kapasitelerin devreye olan idealsizlik etkileri gözlenmiştir.

Gerçekleştirilen CDBA elemanının bir uygulaması olarak tüm geçiren bir filtre devresi tasarlanmıştır.

Tezin son bölümünde ise simülasyon, post-simülasyon ve serim sonrasında elde edilen sonuçlar sunulmuştur.

Anahtar kelimeler: Düşük gerilimli analog devreler, CDBA, DCCCS, işlemsel kuvvetlendirici, sabit-geçiş iletkenlikli giriş katı.

ABSTRACT

In this study, low voltage analog integrated circuits techniques are examined. With these information about low voltage analog circuit design, CDBA active element is designed to operate at low voltage. During design, TÜBİTAK-YİTAL 1.5 μ m CMOS process parameters are used.

CDBA is a five-terminal active element. It has two stages. The first stage is current mode DCCCS circuit and the second stage is voltage mode buffered operational amplifier. By using this special feature, both current mode and voltage mode active filters can be designed.

The performance analysis of the CDBA circuit are done and with these analysis, the dynamics of the CDBA aktive element are determined by using PSPICE program.

CDBA circuit's lay-out is completed by using L-Edit program. After the lay-out the extraction of the circuit is obtained. Thus, the non-ideal effects of the parazitic capacities to the circuit are examined.

As an application, an all-pass filter is designed by using CDBA circuit.

At the end, the simulation, post-simulation and lay-out results are presented.

Keywords: Low voltage analog circuits, CDBA, DCCCS, operational amplifier, constant- g_m input stage.

1. GİRİŞ

Haberleşme, algılama, multimedya, kontrol amaçlı kullanılan modern analog devreler ve karışık işaretli çok geniş ölçekli tümdevre sistemleri artık daha küçük besleme gerilimlerinde çalışmaktadır. Mikroelektronik alanındaki bu yenilik ve bazı ihtiyaçlar tasarımcıları, düşük besleme gerilimlerine daha uyumlu yeni tasarım yaklaşımları geliştirmelerine yol açtı.

Düşük besleme gerilimlerine ve düşük güç tüketen devrelere ilgi, tıbbi elektronik (işitme cihazları, kan akış hızı ölçümü vb.) ve saat gibi cihazların hızla gelişmesi ile paralel olarak artmıştır. Bu artan ilginin nedenini taşınabilir ekipmanların ve pilsiz çalışan sistemlerin güç kaybının azaltılması gibi ticari ihtiyaçlardan doğduğunu söyleyebiliriz. Bunlara örnek olarak dizüstü bilgisayarlar, elektronik çevirmenler, taşınabilir radyo ve TV setlerini verebiliriz. 1940'larda transistörün bulunmasıyla ve 1950'lerde ilk entegre devrelerin oluşturulmasından itibaren düşük gerilimli ve düşük güç tüketimli sistemler bu gelişmeleri takip etti. Yeni daha küçük boyuttaki proses teknolojisi, daha az güç tüketirken aynı zamanda daha yüksek frekanslarda çalışma imkanı sağlamaktadır. Analog devreler için bu gerçek, besleme gerilimi düştüğünde aynı performansı sağlamak için akımın artırılması ile sağlanabilir.

Son yıllarda CMOS teknolojisinde akım modlu analog entegre devreler büyük bir önem kazanmıştır. Akım modlu teknikler kullanılarak, kuvvetlendirici hızı ve band genişliği daha iyi olan devreler elde edilebilir. CDBA (Akım farklı Gerilim İzleyicisi Kuvvetlendiricisi, Current Differencing Buffered Amplifier) iki girişli ve iki çıkışlı çok terminalli bir aktif elemandır. CFA (Akım Geribeslemeli Kuvvetlendirici, Current Feedback Amplifier) elemanından türetilmiştir. Bu elemanın ortaya atılmasının amacı analog filtrelerin tasarımını kolaylaştırmaktır (Elwan, 1996, Acar ve Özoğuz 1999).

CMOS CDBA elemanını gerçekleştirmek için farklı yöntemler kullanılabilir. Muhtemel bir yöntem DCCCS (Diferansiyel Akım Kontrollü Akım Kaynağı, Differential Current Controlled Current Source) katı ardından gerilim izleyicisi kullanmaktır. DCCCS katı, akım modlu olarak, gerilim izleyicisi ise gerilim modlu olarak çalışmaktadır. CDBA aktif elemanın bu özelliği kullanılarak hem akım hem de gerilim modlu aktif filtreler tasarlanabilir. Bu tezde gerilim izleyicisi olarak birim geri beslemeli bir işlemsel kuvvetlendirici kullanılmıştır.

Literatürde CDBA elemanı kullanılarak oluşturulan filtre yapılarına bir çok örnek vardır (Özoğuz vd., 1999, Toker vd., 2000, Salam ve Soliman, 2000). Bu yapılarda minimum sayıda pasif eleman kullanarak devre tasarımı gerçekleştirilmesi amaçlanmıştır. Bu filtre devreleri,

merkez frekans (ω_0), kalite faktörü (Q) ve kazanç üzerinde bağımsız kontrol olanağı sağlar. Ayrıca alçak geçiren, yüksek geçiren, band geçiren ve tümgeçiren filtreler kutup sayıları ne olursa olsun CDBA elemanı kullanılarak gerçekleştirilebilir.

CDBA 5 terminalli bir aktif elemandır. Giriş, çıkış terminalleri p, n, z ve w harfleri ile simgelenir. Bütün akımları içeri doğru alırsak z terminalinden akan akım, p ve n terminallerinden akan akımın farkının evriğine eşittir. p terminaline pozitif (evirmeyen), n-terminaline negatif (eviren) akım girişi ismi verilebilir. Ayrıca w terminalindeki gerilim z terminalindeki gerilimi izler. Bu yüzden w terminaline gerilim çıkışı denilebilir. Son olarak p ve n giriş terminalindeki gerilimlerin değeri sıfıra eşittir. CDBA'nın gerilim izleme ve akım farkı alma özellikleri kullanılarak hem gerilim hem de akım modlu filtreler oluşturulabilir.

1.1 Tez Düzeni

Bu tezin amacı, düşük gerilimli analog devrelerin tasarımına örnek olarak CDBA elemanın tasarım ve analizinin gerçekleştirilmesidir. Çalışmada CDBA aktif elemanın simülasyon ve post-simülasyon sonuçları ile devrenin serimi ayrıntılı bir şekilde verilmiştir.

Bölüm 2'de MOS transistörün çalışması ve yapısı hakkında ayrıntılı bilgi verilmiş ve giriş, çıkış karakteristikleri incelenmiştir.

Bölüm 3'de düşük gerilimli analog devrelerin tasarım teknikleri hakkında etraflı bir bilgi verilmiştir.

Bölüm 4 tezin en önemli kısımlarından biridir. Bu bölümde CDBA ve CDBA aktif elemanını oluşturan DCCCS ve işlemsel kuvvetlendirici katları incelenmiş ve devre yapıları oluşturulmuştur. Ayrıca CDBA devresinin performans parametreleri ve simülasyon sonuçları sunulmuştur.

Tasarımı yapılan CDBA devresinin serimi ise Bölüm 5'de verilmiştir.

Serim sonucunda elde edilen çıkarım dosyası ile simülasyon tekrarlanmış ve sonuçları Bölüm 6'da sunulmuştur.

Bölüm 7'de CDBA aktif elemanı kullanılarak gerçekleştirilen bir tüm geçiren filtre devresi sunulmuştur.

Bölüm 8 tezin incelemesinin ve sonuç kısmının sunulduğu bölümdür.

2. MOS TRANSİSTÖR

MOS transistörün nasıl kutuplanması gerektiğini ve bir elektronik eleman olarak avantaj ve dezavantajlarını anlamak, optimum analog tümdevre tasarımı için vazgeçilemez bir önceliktir.

MOS transistör, çalışma ilkesi yüzey alan etkisine dayanan bir akım kontrol elemanıdır. Bu etki; yarıiletken yüzeyinin iletkenliğinin bu yüzeye çok yaklaştırılmış ama elektriksel olarak yüzeyden yalıtılmış bir iletken elektrot aracılığı ile kontrol edilmesi olarak tarif edilebilir. Nitekim transistör yapısının temel elemanları n veya p tipi iletkenlikli bir yarı iletken “taban”, bu tabanın yüzeyinde oluşturulmuş bir geçit yalıtkanı ve bunun da üstüne yerleştirilmiş bir iletken geçit elektrotudur. Yarı iletken kullanımında genel olarak silisyum seçilir. Bunun temel nedeni, silisyumun geçit yalıtkanı olarak kullanılmaya çok elverişli olan ve çok kolay büyütülebilen bir okside (SiO_2) sahip olmasıdır. Geçit elektrotu ise yüksek dozda katkılanarak iyi iletken hale getirilmiş polikristal silisyumdan veya zaten iyi iletken olan alüminyum, molibden gibi metallerden yapılır.

MOS transistörün önemli bir özelliği , akımı her iki yönde aynı kolaylıkta geçirebilme yeteneğine sahip olmasıdır. Her şeyden önce n kanallı bir MOS transistörde kaynak ve savağın tabanla oluşturduğu p-n jonksiyonlarını geçirme yönünde kutuplayıp tabana büyük diyot akımları akıtmamak için V_S ve V_D nin negatif olmaması gerekmektedir. İşte bir n kanallı transistörde bu iki jonksiyondan hangisinin gerilimi daha pozitifse onun adı savak diğeriinki kaynaktır.

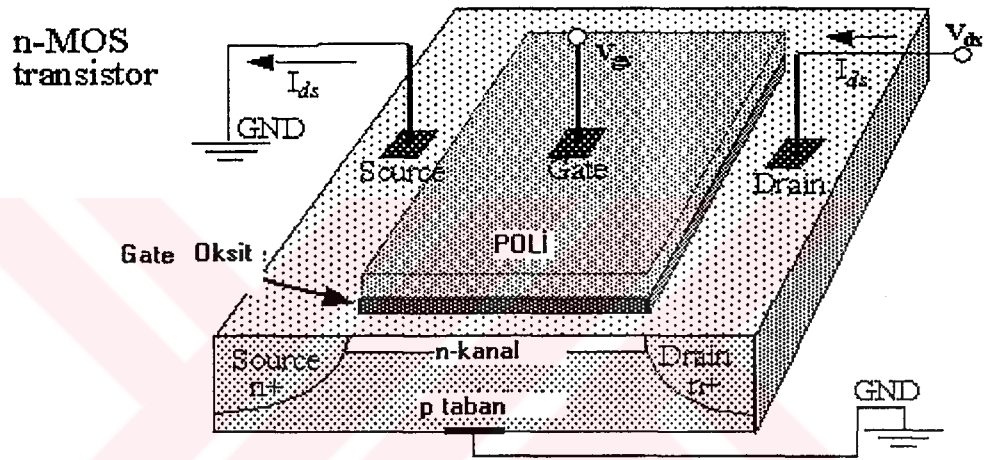
İki n^+ bölgesi, savak ve kaynak olarak adlandırılır. Bu iki bölge arasında ‘kanal’ olarak adlandırılan ve p-tipi tabandan oluşan L uzunluğunda dar bir bölge bulunmaktadır. Bu kanal ‘geçit oksit’ olarak adlandırılan ince yalıtkan bir tabaka (SiO_2) ile kaplanmıştır. Bu oksit tabakası üzerinde ‘geçit’ dediğimiz polisilisyum elektrot bulunmaktadır. Oksit tabakası yalıtkan olduğundan, geçit’den kanala doğru hiç akım akmaz.

Alan etkili bir transistörün geçit ucu kanaldan izole edilmiş olarak yapılabilir. Sıklıkla kullanılan Metal-Oksit-Yarıiletken MOSFET ya kanal ayarlamalı MOSFET ya da kanal oluşturmali MOSFET olarak üretilmektedir. Kanal ayarlamalı üretim tipinde, kanal, fiziksel olarak oluşturulur ve savak–kaynak arasına uygulanan bir gerilim sonucu savak ile kaynak arasında akım akar. Kanal oluşturmali MOSFET’te kanal, eleman üretilirken oluşturulmaz. Yük taşıyıcılarından bir kanal oluşturmak ve savak-kaynak arasına gerilim uygulandığında akım akmasını sağlamak üzere kapıya bir gerilim uygulanması gerekir.

2.1 MOS Transistörün Yapısı

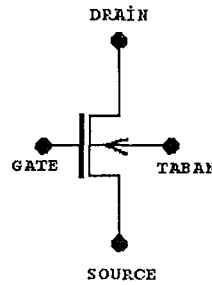
Şekil 2.1’de n-kanal MOSFET’in temel yapısı görülmektedir. Bu 4 terminalli eleman, p tipi taban malzemesi içine katılan yüksek konsantrasyonlu n^+ bölgesinden oluşur. Denge halinde; p tabanı ile n^+ kaynak ve p tabanı ile n^+ savak pn jonksiyonu oluştururlar. Bu yüzden p tabanı ile n^+ kaynak ve p tabanı ile n^+ savak arasında uzay yükü bölgeleri oluşur.

Kaynak ve savak, pn jonksiyonları ile birbirlerinden yalıtılmışlardır. Bu durumda kaynak ile savak arasındaki direnç oldukça büyük ($\approx 10^{12}$) olur ve hiç akım akmaz.



Şekil 2.1 n-tipi kanal oluşturmali MOSFET'in yapısı

Geçit ve MOS transistörün tabanı arasında dielektrik tabaka (SiO_2) bulunduğundan, bir kapasitenin paralel plakalarını oluştururlar. Bu kapasitenin geçit alanına oranı, C_{ox} ile gösterilir ve 'oksit kapasitesi' olarak adlandırılır.



Şekil 2.2 n-kanal MOSFET

Geçit ile kaynak arasına pozitif bir gerilim uygulanırsa ; oksit tabakasına dik bir elektrik alan meydana gelir. Bu elektrik alanın etkisiyle geçit üzerinde pozitif yük birikirken, geçidin altındaki yarı-iletken yüzeyinde de, delikler tabanın içine doğru itilir ve geride sabit akseptör atomlarını bırakırlar.

Geçit-kaynak arasındaki gerilim arttırılırsa elektrik alan şiddeti de artmış olur. Yüksek elektrik alan şiddetinin etkisiyle elektron-delik çiftleri oluşur. Oluşan elektronlar yüzeye doğru çekilirken, delikler de tabanın içine doğru itilir. Böylece yüzeyde elektronlardan ince bir tabaka oluşur. Yani geçit altındaki taban malzemesi tersine dönerek, p-tipi yarı-iletken maddeden n-tipi yarı-iletken maddeye döner.

Sonuçta, kaynak ile savak arasında bir kanal oluşur. V_{GS} 'nin , MOS'un ilettime geçtiği andaki değerine de "eşik gerilimi" denir ve " V_T " ile gösterilir.

MOS transistör, gerilim kontrollü bir anahtar gibi davranır. $V_{GS}=V_T$ iken, savak ile kaynak arasına pozitif bir gerilim uygulanırsa, kaynak-savak arasındaki gerilimden dolayı yatay bir elektrik alan şiddeti oluşurken, geçit-taban arasındaki gerilimden dolayı da oksit tabakasına dik doğrultuda bir elektrik alan şiddeti oluşur ve bunun sonucu olarak da, kanalda iletim sağlanır. Elektrik alanın yatay bileşeni, kanal içindeki elektronların kaynaktan savağa doğru sürüklenmesini sağlar.

V_{DS} arttıkça, kanal karakteristiği de değişmeye başlar. Kanalin kaynak ucunda, evirtim olayı için, tüm geçit gerilimi etkiliyken, savak ucunda sadece geçit ve savak gerilimleri arasındaki fark etkilidir.

MOS transistörün iletim karakteristikleri aşağıdaki şekilde sınıflandırılabilir :

Efektif geçit gerilimi $(V_{GS}-V_T) > V_{DS}$ ise, V_{GS} arttırıldıkça, kanal derinleşir. Bu bölge "ohmik" ya da "doymasız" bölge olarak adlandırılır. Bu bölgede, kanal akımı (I_{DS}), hem geçit geriliminin hem de savak geriliminin fonksiyonudur.

Şekil 2.3'de $V_{DS}=0$ eksenini ile $V_{DS}=V_{GS}-V_T$ eğrisi arasında kalan bölge doymasız bölgedir. Şekilden de görülmektedir ki, doymasız bölgede MOS transistör, bir direnç gibi davranmaktadır.

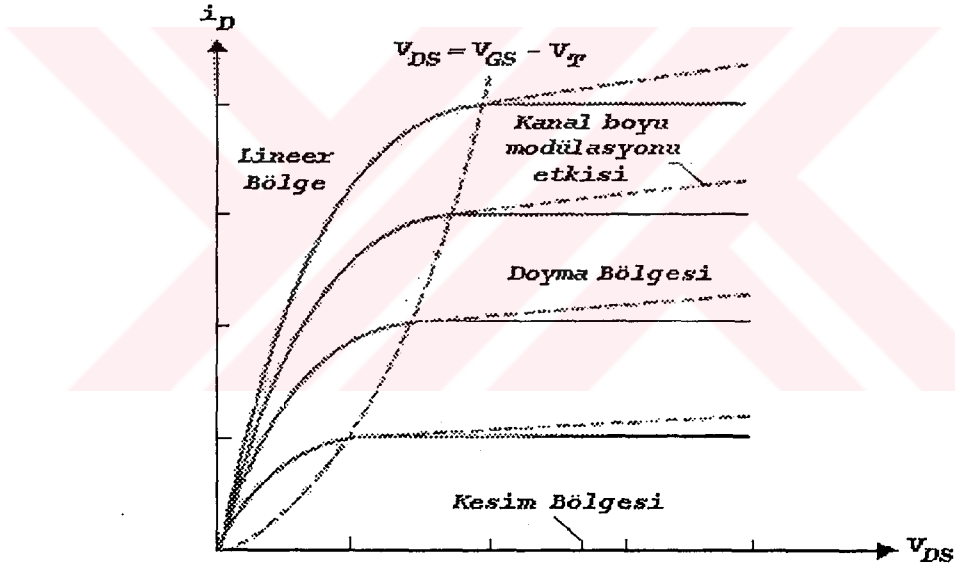
Eğer $V_{DS} > (V_{GS}-V_T)$ ise , $V_{GD} < V_T$ olacağından kanalın savak ucunda bir kısılma meydana gelir. Artık, kanal savağa ulaşamaz. Fakat pozitif savak geriliminin sebep olduğu elektrik alanının etkisinde elektronlar sürüklenir ve iletim sağlanır. Kanalı terkeden elektronlar, savak uzay yükü bölgesinin içine enjekte edilirler ve sonra da savağa doğru hızlandırılırlar.

Artık MOS transistör bir direnç gibi değil, bir akım kaynağı gibi davranır. Kanal akımının geçit gerilimi ile kontrol edildiği ve neredeyse, savak geriliminden bağımsız olduğu bu durum "doymalı" bölge olarak adlandırılır.

Aslında kanal akımı artan V_{DS} ile artar. Ancak bu artış, ihmal edilebilecek kadar küçüktür. Bu artışın sebebi de, artan V_{DS} ile kanal boyunun (L) azalması, buna bağlı olarak da kanal direncinin düşmesidir. Bu olaya “kanal boyu modülasyonu” adı verilir.

Eğer $V_{GS} < V_T$ ise yarı-iletken yüzeyindeki evirtim sağlanamadığından savak ile kaynak arasında kanal oluşmaz ve MOS iletme geçemez. MOS transistörün, bir açık devre elemanı gibi davrandığı bu bölgeye “kesim” bölgesi denir.

Şekil 2.2’de her üç bölge de gösterilmiştir. Düz çizgi ile çizilmiş olan eğriler $\lambda = 0$; kesikli çizgilerle çizilmiş olan eğriler ise $\lambda \neq 0$ olduğu zamanki durumdur. Burada λ , “kanal boyu modülasyonu parametresi” olarak adlandırılır. Şekilden de görüldüğü gibi λ , savak akımının V_{DS} ’ye göre eğimidir.



Şekil 2.3 n-kanal MOSFET'in akım-gerilim karakteristiği

Sabit geçit ve savak gerilimleri için, I_{DS} değerini etkileyen faktörler şunlardır :

Kaynak ve savak bölgeleri arasındaki uzaklık (L), kanal genişliği (W), eşik gerilimi (V_T), geçit-oksit tabakasının kalınlığı (t_{ox}), geçit-oksit tabakasının dielektrik sabiti (ϵ_{ox}), taşıyıcıların (elektron ya da delik), hareket kabiliyeti (μ_n).

2.2 n-Kanal MOS İçin Temel DC Eşitlikler

MOS transistörlerin 3 değişik bölgedeki iletim karakteristikleri ayrıntıları ile incelenmiştir. nMOS transistörün, bu 3 bölgedeki davranışını tanımlayan bağıntılar ise şu şekildedir:

Doymasız bölge ;

$$I_{DS} = \beta \cdot \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \cdot (1 + \lambda \cdot V_{DS}) \quad 0 < V_{DS} < V_{GS} - V_T \quad (2.1)$$

Bu bölgede V_{DS} çok küçüktür. Bu yüzden $\frac{V_{DS}^2}{2}$ ihmal edilebilir. Bu durumda I_{DS} , V_{DS} ve V_{GS} ile doğrusal olarak değiştiğinden bu bölgeye ‘lineer’ bölge de denir.

Doymalı bölge ;

$$I_{DS} = \frac{\beta}{2} \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS}) \quad 0 < V_{GS} - V_T < V_{DS} \quad (2.2)$$

(3) Kesim bölgesi ;

$$I_{DS} = 0 \quad V_{GS} < V_T \quad (2.3)$$

Yukarıdaki eşitliklerde

$$\beta = \mu_o \cdot C_{ox} \cdot \frac{W}{L} \quad (2.4)$$

şeklinde tanımlanmıştır.

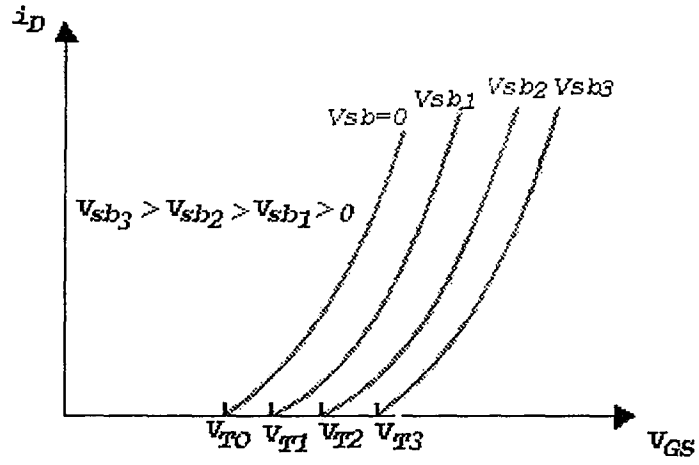
2.2.1 Gövde etkisi

MOS transistörlerde etkili olan önemli özelliklerden biri de gövde etkisidir. Bir nMOS transistörde savak ile kaynak arasındaki n-tipi kanal ve p-tipi katkı taban bir pn jonksiyonu gibi düşünülebilir. Kaynak ile taban ve savak ile taban jonksiyonlarından hiçbirinin iletim yönünde kutuplanmaması için, nMOS transistörde taban ucu en düşük potansiyelde, pMOS transistörde ise en yüksek potansiyelde tutulmalıdır. Dolayısıyla kanal ile taban arasındaki pn jonksiyonu tıkama yönünde kutuplanmış olur. Tıkama yönünde kutuplanmış bir jonksiyonun, iki yanında oluşan uzay yükü bölgesi artan tıkama yönü gerilimiyle genişler. Buna göre, sabit geçit gerilimi altında akan I_D akımı, taban potansiyelinin değiştirilmesiyle kontrol edilebilir.

Bu, MOS transistörler için istenmeyen bir durumdur. Çünkü, gövde etkisi I_D akımını azaltacak yönde etki etmektedir. Akımdaki bu azalmayı dengelemek için, geçit gerilimini arttırmak gerekir. Bu yüzden, gövde etkisinin V_T eşik gerilimini arttırdığı söylenebilir. Eşik gerilimindeki bu artış, V_{SB} kaynak-gövde gerilimi ve C de değeri 0.5 ile 2 arasında değişen, gövde katkılama oranına bağlı bir sabit olmak üzere

$$\Delta V_T = C\sqrt{V_{SB}} \quad (2.5)$$

bağıntısı ile verilmektedir. Şekil 2.4'de, artan V_{SB} değerlerine karşılık eşik geriliminin nasıl arttığı görülmektedir.



Şekil 2.4 Gövde etkisi

3. DÜŞÜK GERİLİMLİ ANALOG DEVRELERİN TASARIM TEKNİKLERİ

Taşınabilir elektronik aletlere karşı artan ilgi işitme cihazları, kalp atışlarını düzenleyen aygıtlar, hücresel telefonlar ve taşınabilir multimedya terminalleri gibi pil ile çalışan düşük güç sistemlerine talebi artırdı. Özellikle düşük güç tüketimli devreler uygulamalı tıbbi elektronik devrelerde kullanım alanı buldu. Bu trend hem analog hem de dijital devrelerde ilerleme gösterdi. Sadece 3V ve altındaki besleme gerilimlerinde çalışma değil üstün bir performans ve düşük maliyet de hedefler arasında yer aldı.

Düşük güç tüketimi yukarıda bahsedilen sistemlerde uzun bateri ömrü için gerekli bir parametredir. Tasarım açısından hedef pilsiz çalışan sistemler oluşturmaktır. Çünkü pil ağırdır ve çok yer kaplar.

Güneş enerjisi, RF enerjisi ve yakıt enerjisi uygulanabilir alternatiflerdir. Bu güç kaynaklarının ortak özelliği ise düşük gerilim seviyesi sağlamalarıdır. Bir tek solar hücrenin gerilimi 0.5 V'dur. Hatta diğer güç kaynakları için bu seviye daha da düşer. Örneğin solar hücre ile çalışabilen entegre devrelerin tasarımı ile birlikte taşınabilir işaret işleme aletlerinde bir çok yeni olanaklar elde edilebilir.

Yeni daha küçük boyuttaki proses teknolojisi daha az güç tüketirken aynı zamanda daha yüksek frekanslarda çalışma imkanı sağlamaktadır. Analog devreler için bu gerçek, besleme gerilimi düştüğünde aynı performansı sağlamak için akımın artırılması ile sağlanabilir.

Bir çipte daha yüksek DC gerilim elde etmenin bir yolu gerilim çarpıcı devresi kullanmaktır. Fakat bu yöntem devrede fazla gürültüye neden olur ve bu durum hassas analog devrelerle bağdaşmaz. Sonuç olarak tasarımcıların besleme gerilimi bastırma oranını (PSRR) dikkate almaları gerekir.

Düşük güç tüketimi için besleme gerilimi seviyesinin düşürülmesi genel bir yöntemdir. Fakat düşük gerilimlerde çalışırken devrenin performansı düşer ve düşük band genişliği, düşük gerilim salınımları elde edilir. Bunun nedeni, gerilim seviyelerinin düşmesi ile beraber akım seviyelerinin de düşmesi ve kapasitelerin dolup boşalma sürelerinin artmasıdır. MOSFET'lerin eşik gerilimlerinin düşürülmesi performans kaybını bir miktar telafi eder, fakat bu da statik güç tüketimini artırır.

Tasarımda dikkat edilmesi gereken diğer önemli bir yan transistörlerin çalışma bölgeleridir. Örneğin, güçlü evrimde çalışan bir transistör istenen özellikleri sağlamak için daha fazla güç harcar. Optimal tasarımlarda başarımları kriterleri sağlanırken aynı zamanda minimum güç

tüketimi ve/veya minimum silisyum alanı da hedefler arasında yer alır.

Geleneksel 5 V besleme gerilimli analog devrelerde, yüksek çıkış empedansı sağlayan kaskod devrelerin tasarımı etkileyici ve kullanımı kolaydır. Buna karşın, 2 V'un altında besleme gerilimi ile çalışan devrelerde kaskod devrelerin kullanılması mümkün değildir. Bu gösteriyor ki düşük gerilimler için üst üste yapılar kurmak uygun değildir. Bunun yerine ard arda bağlanan kaskad yapılar daha uygundur. Fakat kaskad bağlanan devreler kararlılık ve yüksek performans elde etmek için dikkatli bir şekilde tasarlanmalıdır. Çünkü kaskad devrelerde kutup ve sıfırlar vardır. Bu devreler kapalı döngü ile bağlandıklarında kutup ve sıfırlar kararsızlığa neden olabilir.

Bunlardan başka, devrelerin soğutulması gelişen CMOS teknolojisinde önemli bir problemdir. Soğutma işlemlerinin pahalı olması nedeniyle güç tüketiminin azaltılması yönüne gidilmiştir. Fakat düşük gerilimde çalışma tasarımı karmaşıktır ve devre performansı düşebilir. Az sayıda transistör içeren basit devrelerde parazitik kapasiteler daha azdır. Bu yüzden bu devreler daha iyi performans gösterir. Hızlı ve verimli olmasının yanında basit devre yapılarının kullanılması düşük gerilimde çalışma için istenen bir özelliktir.

3.1 Analog İşaret İşleme

Analog işaret işleme son on yıl içinde büyük bir değişikliğe uğradı ve gerçel zamanlı işaret işleme uygulamalarında önemli bir hale geldi. Çünkü doğadaki bütün fiziksel olaylar analogdur. Teknolojideki gelişmeler, artan pazar talepleri ve işaret işleme uygulamalarındaki yenilikler ve tecrübeler ile birlikte analog sistem tasarımına karşı yeniden ilgi uyanmıştır.

Elektrik devrelerinin davranışı akım ile gerilimin karşılıklı etkileşiminden doğar. Bütün geleneksel analog devreler örneğin işlemsel kuvvetlendiriciler gerilim modlu devrelerdir. Bu devrelerin dezavantajı ise giriş geriliminde ani bir değişiklik olduğunda kapasite ve kaçaklara bağlı olarak çıkış geriliminin aynı hızda değişmemesidir.

Analog devreler beslemeden beslemeye giriş ve çıkış gerilim salınımı kapasitesine sahip olmalıdır. Bu yüzden bir çok geleneksel devre topolojisi yeni yapılarla yer değiştirmiştir. Basit akım modlu devreler, özellikle de düşük gerilimlerde çalışabilen devreler tasarlanmıştır. En önemli ve bilinen akım modlu devrelerden biri olan akım taşıyıcısı 1968'de ortaya atılmıştır.

3.2 Kritik Sorunlar

Analog devrelerin hız ve band genişlikleri devredeki parazitik kapasitelerin değerlerine bağlıdır. Bu kapasiteler transistörün yapısından kaynaklanan kapasiteler ve bağlantı kapasiteleridir. Mikron altı teknolojisinde bağlantı kapasiteleri baskındır. Bu yüzden transistör boyutlarının küçülmesi band genişliğindeki beklenen iyileştirmeyi göstermez. Çip boyutları genişledikçe daha uzun bağlantılar RC gecikmelerini arttırmaktadır.

Gerilim değerlerinin düşmesi, transistör boyutlarının küçülmesi ile daha da incelen oksit tabakasının delinme riskini de ortadan kaldırır. Bu durum, düşük gerilim tekniklerini analog devre tasarımlarına uygulamadaki bütün problemlere bir çözüm olarak kabul edilebilir. Böylece bu MOSFET'ler düşük gerilimlerde çalışabilirler.

Bugünün tasarım stratejileri doğrudan yüksek hız ve geniş çalışma aralığı elde etmek için uğraşır. Dinamik aralık, maksimum izin verilen gerilim salınıminin gürültü seviyesine oranıdır. Gürültü seviyesi sabit kalıp besleme gerilimi dolayısıyla gerilim salınımı düştüğü için dinamik aralık düşer. Bu parametreleri etkileyen faktörlerden biri de güç tüketimidir. Bu yüzden gücü minimize etmek önemlidir. Güç tüketimine neden olan üç önemli faktör şunlardır:

- 1)Kapasitelerin dolup boşalması sırasındaki dinamik güç
- 2)Dijital devrelerde MOSFET'ler kesimdeyken akan akımlar veya analog devrelerde kutuplama akımları.
- 3) pMOS ve nMOS transistörlerin her ikisi de iletimde olduğu andaki geçiş anı.

Bir devrenin toplam güç tüketimini $NC_{es}V_{dd}^2$ ve $I_{off}V_{dd}$ değerlerinin toplamı biçiminde yazabiliriz. Burada ana konu P_{toplam} 'ı küçültmektir ve görüldüğü gibi bunun en iyi yolu besleme gerilimini (V_{dd}) küçültmektir (Rajput ve Jamuar, 2002).

3.3 Teknoloji Gereksinimleri

Transistör boyutlarının küçülmesine rağmen eşik gerilimleri aynı oranda küçülmez. Genel bir çözüm birden fazla eşik gerilimli proses teknolojisini kullanmak olabilir. Maalesef bu teknoloji pahalıdır ve üretimi kolay değildir. BICMOS teknolojisi kullanılarak bazı tasarım avantajları elde edilebilir. Fakat daha fazla proses adımı gerektirdiğinden bu teknoloji pahalıdır. BICMOS ile CMOS teknolojisine göre daha iyi performans elde edilebilir. Fakat artık CMOS tasarımcılar BICMOS'un ulaştığı performansı yakalayabilecek akıllıca tasarım

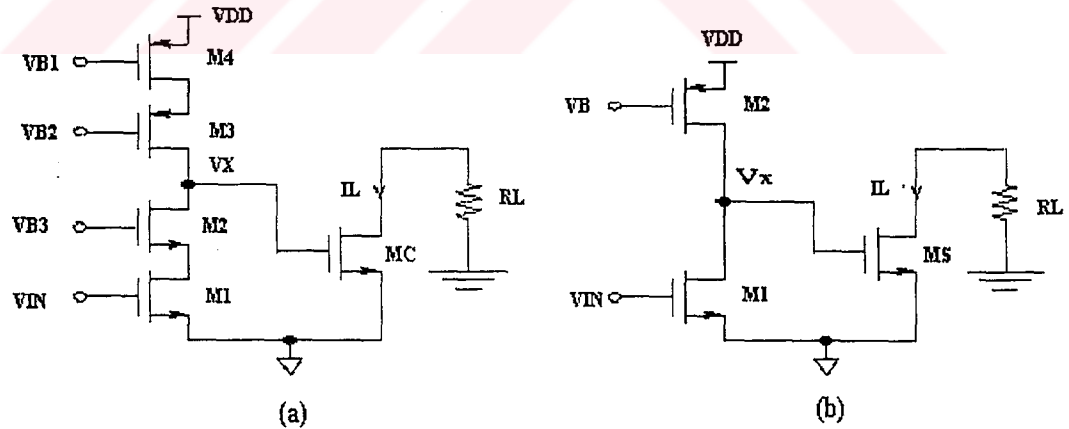
teknikleri geliştirmişlerdir.

3.4 Besleme Gerilimini Düşürmede Kullanılan Devre Stratejileri

Akım seviyelerinin ve besleme gerilimlerinin her ikisinin de oldukça düşük olduğu uygulamalar vardır. Örnek verecek olursak bu uygulamalar biyomedikal mühendisliğindeki ve mobil haberleşmedeki düşük gerilimli devreleri kapsayabilir.

Düşük gerilimlerde karşılaşılan önemli kısıtlamalardan biri eşik gerilimidir. Eşik geriliminin düşürülmesi kullanılan teknolojiye bağlıdır. Giriş işaretinin gürültülü olması durumunda düşük eşik gerilimi bu gürültünün bastırılmasında yeterli olmayabilir. Bu yüzden eşik gerilimi belli bir değerin altına düşürülmez.

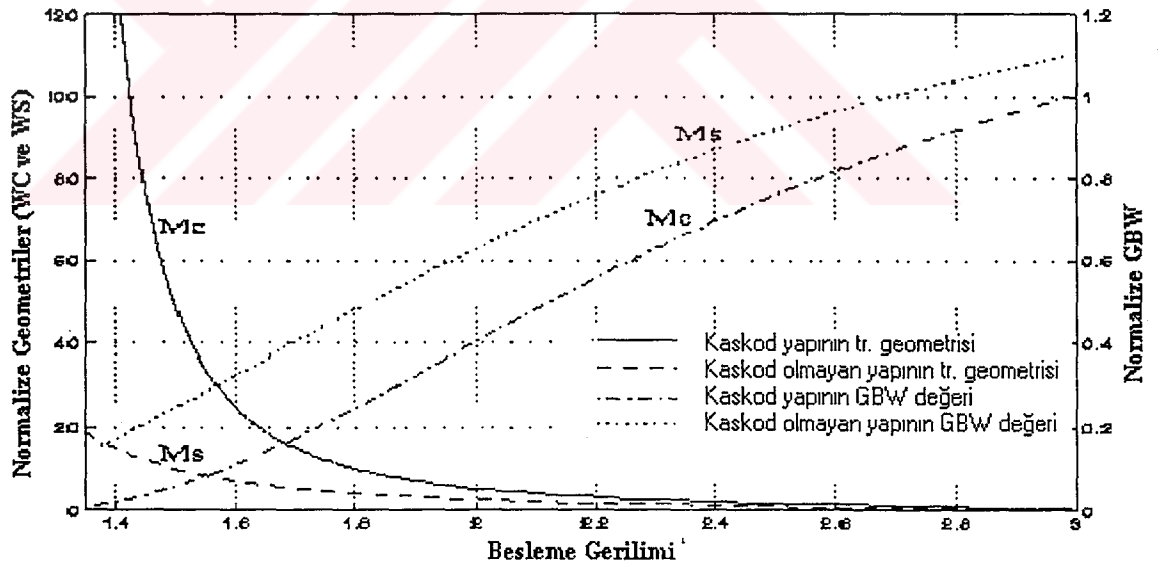
Eşik gerilimi ve savak-kaynak doyma gerilimi besleme gerilimi ile aynı oranda düşmediği için analog tasarımcılar bir çok güçlükle karşılaşır. Yüksek besleme gerilimlerinde yüksek performans gösteren bazı devre yapıları düşük gerilimde geçerliliğini kaybetmiştir. Bunun yerine alternatif devre yapıları hatta sistem topolojileri araştırılmak zorunda kalmıştır. Kaskod bir yapıyı örnek olarak alalım. Kaskod ve regüle edilmiş kaskod yapılar yüksek gerilimlerde her yerde kullanılan devre yapılarıydı. Yüksek çıkış empedansları ve bu yüzden yüksek gerilim kazançları frekans cevabı kötüleşmeden elde edilebiliyordu.



Şekil 3.1 (a)Kaskod kazanç katı (b)Kaskod olmayan kazanç katı (Yan ve Sanchez-Sinencio, 2000)

Şekil 3.1'deki kaskod ve kaskod olmayan yapılar görülmektedir. Bu devreleri düşük gerilimlerdeki performanslarına göre karşılaştıralım. Kaskod kazanç katında M2, M3 ve M4 transistörleri sırasıyla VB1, VB2 ve VB3 gerilimleri ile kutuplanmaktadır. Giriş gerilimi ise

M1 transistörünün geçidine uygulanmıştır. MC transistörü ise çıkışta yük direncine bağlanmıştır. Kaskod olmayan kazanç katında M2 transistörü VB gerilimi ile kutuplanmış ve Giriş işareti de M1 transistörünün geçidine uygulanmıştır. MS transistörü çıkışta RL yük direncine bağlanmıştır. MC ve MS transistörlerinin her ikisinin de aynı akımı (I_L) taşıdığını ve $V_T=0.75$ ve $V_{DS(sat)}=0.2V$ olduğunu varsayalım. Şekil 3.1(a)'daki M1 transistörünün tam olarak çalışması için biraz da tolerans bırakmak için V_{DS} gerilimini $V_{DS(sat)}$ geriliminden biraz büyük seçelim. Önce bu tolerans değerinin $V_{DS(margin)} < 0.1V$ olduğunu varsayalım. V_x noktasındaki gerilim salınımı kaskod olmayan yapıdakinden küçük olduğundan aynı I_L akımını akıtmak için MC'nin W/L oranı MS'e göre büyük olacaktır. Şekil 3.2 besleme gerilimi boyunca MC ve MS transistörlerinin normalize minimum W/L oranlarını ve V_x noktasındaki GBW grafiğini vermektedir. Açıkça görüldüğü gibi besleme gerilimi düştükçe kaskod yapıdaki MC transistörünün boyutu aşırı derecede artmaktadır. Besleme gerilimi 1.5V'un altında düştüğünde ise parazitik kapasitelerden dolayı frekans cevabı oldukça kötüleşmektedir. Kaskod yapılar düşük gerilimde çalışma için uygun olmadığından 1.5 V'un altındaki besleme gerilimlerinde basit kaskod olmayan yapılarla çalışmak zorundayız.



Şekil 3.2 Kaskod ve kaskod olmayan yapıların besleme gerilimi boyunca normalize transistör boyutları ve kazanç-band genişliği (Yan ve Sanchez-Sinencio, 2000)

Basit kaskod olmayan yapılar kaskod yapılarla karşılaştırıldığında düşük gerilim kazancına sahip olduğu için karşılaştırılabilir bir kazanç elde etmek için kaskad yapılar kullanmak zorundayız. Kuvvetlendiriciler kapalı döngü ile bağlandığında kararsızlık göstermemeleri için

dikkatli bir şekilde tasarlanmalıdır. Bu genelde bir tane dominant kutbu kompleks frekans düzlemine yakın olan ve diğer bütün kutupları orijinden mümkün olduğunca uzakta olan kuvvetlendiriciler için söylenebilir. Parazitik dominant olmayan kutuplar yüksek frekanslarda yer almalıdır. Tipik olarak kutupları yüksek frekanslara çekmek, güç kaybının artmasına neden olacaktır. Bu yüzden tasarımcı istenen faz payı ve yerleşme süresini sağlarken fazla güç kaybını da göz önünde bulundurmak zorundadırlar. Birden fazla kat içeren kuvvetlendiricilerde her kat bir kutup getirdiğinden kararlılığı korumak zorlaşabilir ve ustaca yapılmış kompanzasyon tekniklerine ihtiyaç olabilir.

Düşük gerilimli analog devrelerin tasarım teknikleri için bir çok yöntem kullanmak mümkündür. Örneğin, eşik gerilimi altında çalışan devreler (Sanchez-Sinencio, 2000, İsmail ve Fiez, 1994, Blalock vd., 1998), tabandan sürülen transistörler (Sanchez-Sinencio, 2000, İsmail ve Fiez, 1994), kendinden-kaskod yapılar (Yan ve Sanchez-Sinencio, 2000, Sanchez-Sinencio, 2000), yüzer-geçit yaklaşımları (Sanchez-Sinencio, 2000, İsmail ve Fiez, 1994, Blalock vd., 1998) ve seviye-öteleme tekniği (Sanchez-Sinencio, 2000) .

3.4.1 Eşik Gerilimi Altında Çalışan Devreler

Eşik gerilimi altında çalışan devreler son yıllarda önem kazanmıştır. Bu tür devrelerin önem kazanmasının nedeni, insan vücuduna yerleştirilen biyomedikal aygıtlardaki düşük gerilim/düşük güç tüketen pillerle beslenen devrelere olan ihtiyaç sonucudur.

Savak akımı n-MOS transistörde (I_{DS}) $V_{GS} < V_T$ için sıfır ve $V_{GS} > V_T$ için sıfırdan farklı olarak düşünülür. Fakat fiziksel bir elemanda böyle bir yaklaşım aslında tam olarak doğru değildir. I_{DS} eşik altı bölgesinde oldukça küçüktür. Eşik altı için Denklem 3.1'deki formül geçerlidir.

$$I_{DS} \cong \frac{W}{L} I_{D0} \exp\left(\frac{V_{GS}}{nkT/q}\right) \quad (3.1)$$

Bu formülde n, eşik altı eğim faktörüdür ve 1.2 ile 2 arasında değişir. q, k, I_{D0} ve T sırasıyla elektronik yük, Boltzman sabiti, prosese bağlı parametre ve sıcaklığı ifade eder (Allen ve Holberg, 2002).

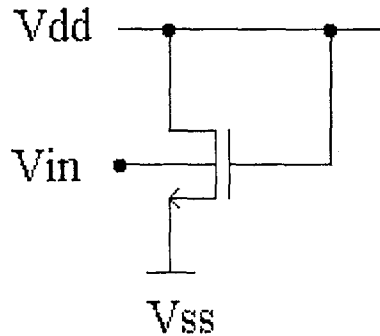
Eşik altındaki bölgede, MOSFET'ler düşük doyma gerilimlerine (≈ 100 mV) sahiptir. Bu durum kaskad bağlı MOSFET yapılarında düşük besleme gerilimlerinde geniş gerilim salınımları sağlar. Bipolar transistöre benzer olarak geçiş iletkenliği (g_m), qI_{DS}/nkT ile ifade edilebilir. Fakat I_{DS} akımı düşük olduğu için g_m bipolar transistörlerde olduğu kadar yüksek olmaz.

Eşik altında çalışan devreler için en önemli sınırlama bu devrelerin frekans cevabının kötü olmasıdır. Bunun nedeni akım seviyelerinin düşük olmasıdır. Akım seviyelerinin düşük olması ise kapasitelerin doldurulup boşalma sürelerini arttırır. İkinci dezavantajı ise savak taban ve kaynak-taban akımlarının eşik altı savak akımına oranla ihmal edilemez olmasıdır. Üçüncü olarak ise $V_{DS} < 3V_{th}$ ($V_{th} = kT/q$) için doğrusallık oldukça kötüdür. Bu düşük gerilimli devre tasarımı oldukça karmaşıktır. Ayrıca bu devreler çok düşük akımlar için anlamlıdır ve orta derecede güç harcayan elemanlar için uygun değildir.

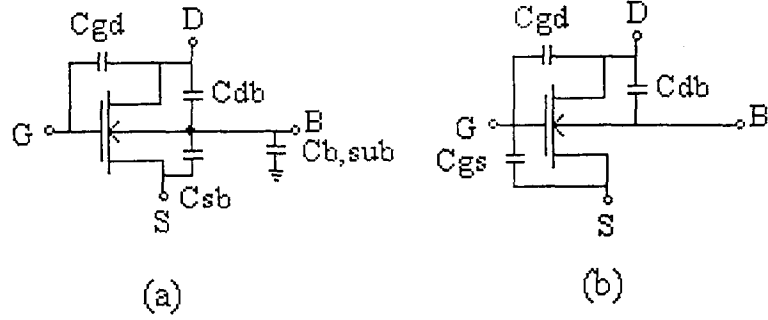
3.4.2 Gövdeden Sürülen MOSFET'ler

A. Guzinski gövdeden sürülen MOS transistörleri bir OTA devresinde diferansiyel çift olarak 1987 yılında ortaya atmıştır. Gövdeden sürülen diferansiyel çiftin ilk amacı küçük geçiş iletkenliği (g_m , transkondüktans) elde etmek ve doğrusallığı arttırmaktır. Dezavantajlarının çok fazla olması nedeniyle genelde sadece giriş katında kullanılır. Eşik gerilimi sınırlamasına en önemli çözüm gövdeden sürülen devrelerdir. Düşük gerilimli analog devrelerin tasarımı için gövdeden sürülen MOSFET'leri ortaya atan Blalock'dur. Bir MOSFET'in herhangi bir işareti işlemesi için savak terminalinden bir akımın akması gerekir. Bu akım geleneksel bir MOSFET'de uygulanan V_{GS} gerilimi eşik gerilimini aştığında oluşur. Yani akan akımı V_{GS} gerilimi kontrol eder. Gövde-kaynak gerilimi V_{BS} 'de akan akımı etkiler. Normalde bu etki parazitik bir etkidir ve istenmeyen g_{mb} değerinin oluşmasına neden olur. Fakat bu teknikte MOSFET doymada tutulur ve böylece savak akımının sürekli akması sağlanırken giriş işareti gövde kontağına uygulanır. Böylece JFET'e benzer bir transistör elde ederiz. Dikkat edilmelidir ki, g_m yerine bu transistörlerde g_{mb} transistörün geçiş iletkenliğini belirler ve g_{mb} 'nin değeri g_m 'e göre 0.2-0.4 kat daha küçüktür. $g_{mb} = \frac{\partial I_D}{\partial V_{BS}}$ denklemi ile verilebilir.

Ayrıca giriş kapasitesi, $(C_{gs} + C_{gb})$ yerine $(C_{b,sub} + C_{bs})$ 'dir.

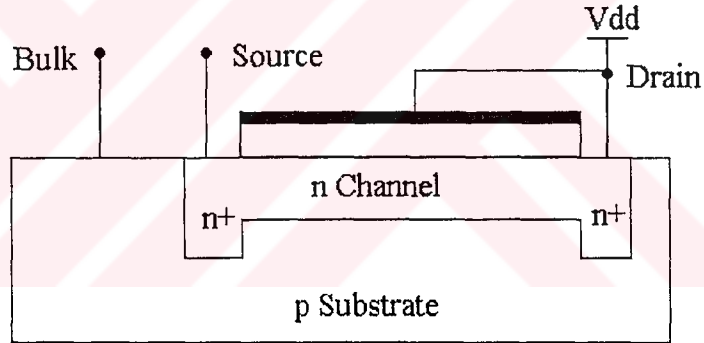


Şekil 3.3 Gövde terminalinden sürülmüş bir MOSFET

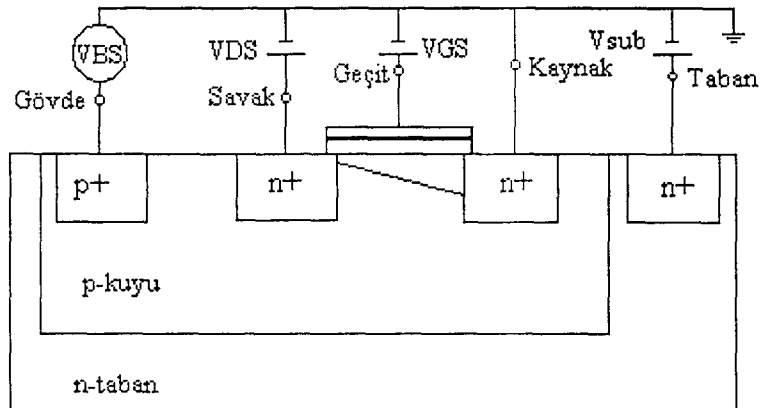


Şekil 3.4 Baskın kapasiteler (a) Gövdeden sürülen nMOS transistör için (b) Geçitten sürülen nMOS transistör için

Dikkatli bir şekilde incelendiğinde gövdeden sürülen MOSFET'lerin JFET'ler gibi davrandığı görülür. Şekil 3.5'de görüldüğü gibi uygulanan geçit gerilimi sebebiyle kaynak ile savak arasında bir kanal oluşur.

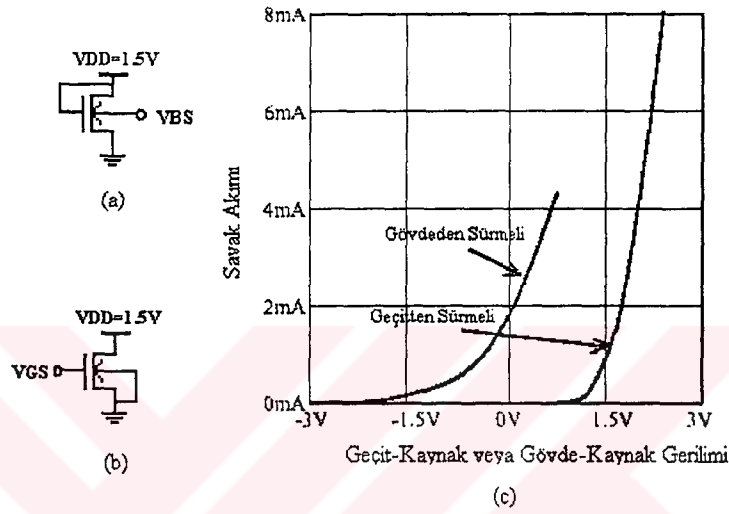


Şekil 3.5 Gövde terminalinden sürülen MOSFET'in yapısı

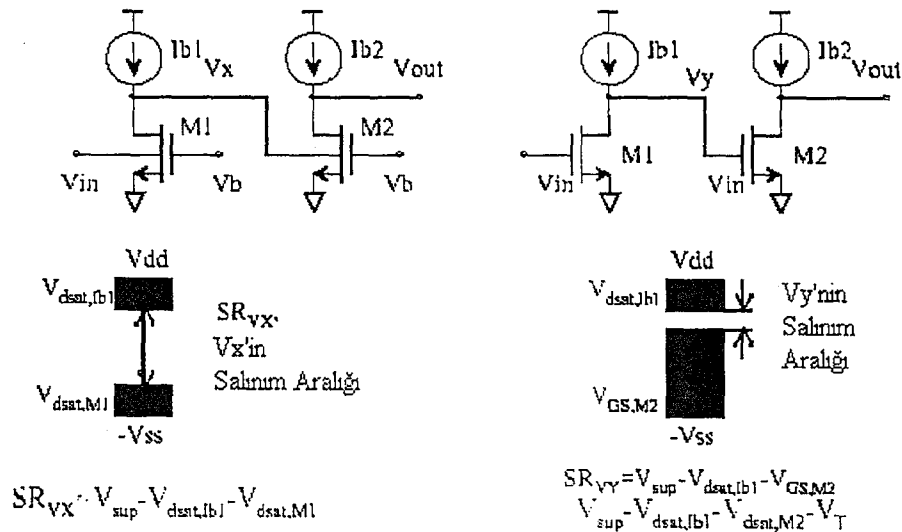


Şekil 3.6 Gövdeden sürülen n-kanallı MOSFET'in yapısı

Geçit gerilimi değişmediği sürece kanal derinliği sabittir. Gövde kontağı JFET'in geçit ucu gibi davranır ve uygulanan giriş gerilimine göre kanal ayarlanır. Bu yüzden gövdeden sürülen devreler kanal ayarlamalı bir transistör gibi davranır ve negatif, sıfır ve pozitif gerilimlerde de çalışır. Gövdeden sürülen MOSFET'leri anlamak için Şekil 3.7'de gösterilen savak akımı karakteristiklerine bakmak yeterli olur. Bu şekil gövdeden sürülen bir MOSFET için $V_{GS}=1.5V$ iken savak akımının V_{BS} gerilimi boyunca değişimini ve geçitten sürülen bir MOSFET'in V_{BS} gerilimi sıfır iken akım karakteristiğini gösterir.

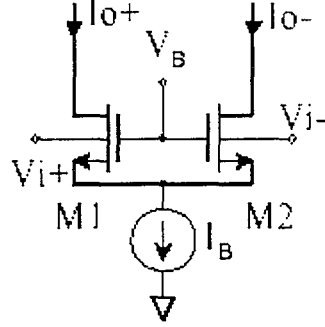


Şekil 3.7 (a) Gövdeden sürülen nMOS transistör (b) Geçitten sürülen nMOS transistör
(c)Gövdeden sürülen ve geçitten sürülen MOS'ların giriş gerilimi-çıkış akımı karakteristiği
(Sanchez-Sinencio, 2000)



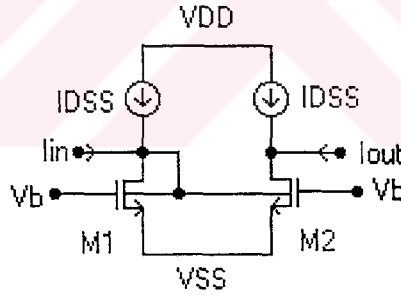
Şekil 3.8 Geçitten sürülen MOSFET'lerin çıkış salınımlarının karşılaştırması (Sanchez-Sinencio, 2000)

Basit bir akım aynası Şekil 3.9'da görülmektedir. Bu devrede gövdeden sürülmüş n tipi MOSFET'ler kullanılmıştır. Bu akım aynası basit akım aynasına benzemektedir. Fakat bu devrede her iki transistörün geçitleri pozitif bir gerilim kaynağına bağlanmıştır. M1 ve M2 transistörlerinden akan akımlar savak doyma akımlarına eşittir. Giriş akımı M1 transistörünün savak ucundan devreye sürülür.



Şekil 3.9 Gövdeden sürülen akım aynası

Gövdeden sürülen MOSFET'lere dayanarak oluşturulan devre yapısına diğer bir örnek diferansiyel çifttir ve Şekil 3.10'da görülmektedir. M1 ve M2 transistörleri birer tane akım kaynağı ile beslenmektedir.



Şekil 3.10 Gövdeden sürülen transistörlerin kullanıldığı diferansiyel giriş katı

Gövdeden sürülen devreler girişte eşik gerilimi gereksinimini ortadan kaldırır ve bu devreler eşik gerilimi 0.8V olan bir devrede 0.9V besleme geriliminde bile çalışır. Ayrıca geçit ucu kullanılarak MOS transistör ayarlanabilir. Dezavantajları ise şunlardır:

- 1) Geçiş iletkenliği değeri küçüktür. Bu da daha küçük kazanç-band genişliği ve kötü frekans cevabına neden olur.
- 2) Gövdeden sürülen transistörler gövdelerini izole etmek için farklı kuyular içine yerleştirilir. Bu yüzden uyurma problemleri yaşanabilir. Ayrıca p-kuyulu bir proseste sadece n-kanallı gövdeden sürülen MOSFET'ler, n-kuyulu bir proseste ise sadece p-kanallı gövdeden sürülen

MOSFET'ler kullanılabilir.

- 3) Bu devrelerde latch-up problemi yaşanabilir.
- 4) Gövdeden sürülen devrelerin gürültüsü geçitden sürülenlere göre daha fazladır.
- 5) Gövdeden sürülen transistörlerde kondansatör değerleri büyük olduğu için band genişlikleri düşüktür.

3.4.3 Kendinden-Kaskodlanmış MOSFET'ler

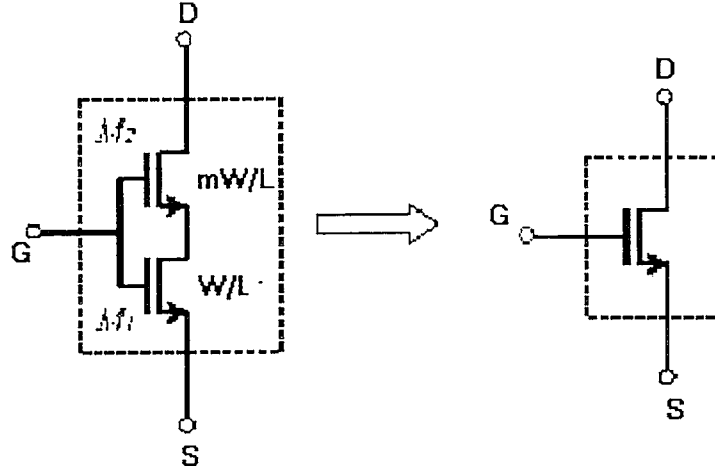
Transistör boyutları küçüldükçe MOSFET'lerin çıkış empedansları da düşmüştür. Bunun nedeni ise kanal boyu modülasyonudur. Yüksek kazanç için yüksek çıkış empedansı gerekir. Kısa kanallı transistörler ise bu ihtiyacı karşılayamaz. Yüksek çıkış empedansı elde etmek için kaskod yapılar kullanılır. Kaskod yapılar kazancı artırır, fakat çıkıştaki işaret salınımının düşmesine neden olur. Çıkış işareti bir eşik gerilimi kadar düşer. Eşik gerilimi de 0.75 V civarı olduğu için bu yapılar düşük gerilimli analog devrelerin tasarımında kullanılmazlar.

Düşük gerilim seviyelerinde yüksek kazanç elde etmenin bir yolu kendinden-kaskodlanmış transistörlerdir. Kendinden kaskodlanmış devre, Şekil 3.11'de görülmektedir. Bu devre 2-transistörlü bir yapıdır ve bu transistörler aynı geçit kutuplama gerilimini kullanırlar. Bu yapı tek transistörlü bir şekilde gösterilebilir. Buna bileşik transistör diyebiliriz. M1 transistörü değeri giriş gerilimine bağlı olan bir dirence eşdeğerdir. Optimal çalışma için M2'nin W/L oranı M1'inkinden büyük seçilir ($m > 1$). Altındaki transistör M1 doğrusal bölgede çalışırken üstteki M2 transistörü doyma bölgesinde çalışır. Efektif geçiş iletkenliği g_{m2}/m değerine yani g_{m1} 'e eşittir. M1 ve M2 transistörlerinden akan savak akımı $I_D \beta_{es} (V_{in} - V_T)^2 / 2$ olacaktır.

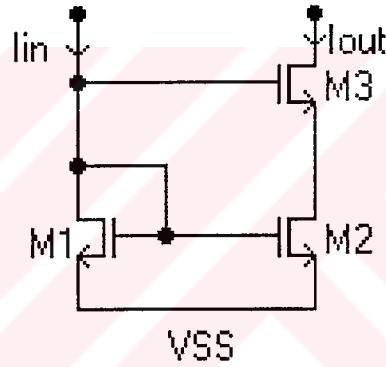
Burada $\beta_{es} \beta_1 \beta_2 / (\beta_1 + \beta_2)$ eşittir. m yeterince büyükse bu eşitlik β_1 olarak sadeleştirilebilir.

M1 transistörünün savak ile kaynak gerilimleri arasındaki fark küçük olduğundan bileşik ve basit transistörlerin V_{DSAT} gerilimleri arasında pek bir fark yoktur. Bu yüzden kendinden-kaskodlanmış yapılar düşük gerilimli çalışmada kullanılabilir. Kendinden-kaskodlanmış için $V_{DSAT} = V_{DSATM2} + V_{DSATM1}$ 'ye eşittir.

Kendinden-kaskodlanmış yapıları kullanmanın avantajı hem çıkıştaki gerilim salınımı tek bir transistöre benzer şekilde davranır hem de bir kaskod yapıda olduğu gibi çıkış direncimiz artar. Şekil 3.12'de kendinden-kaskod yapı kullanılarak oluşturulmuş bir akım aynası görülmektedir. Bu akım aynasının çıkış empedansı yüksek olduğu gibi gerilim salınımı da sınırlandırılmamıştır.



Şekil 3.11 Kendinden kaskodlanmış nMOS transistör (Sanchez-Sinencio, 2000)

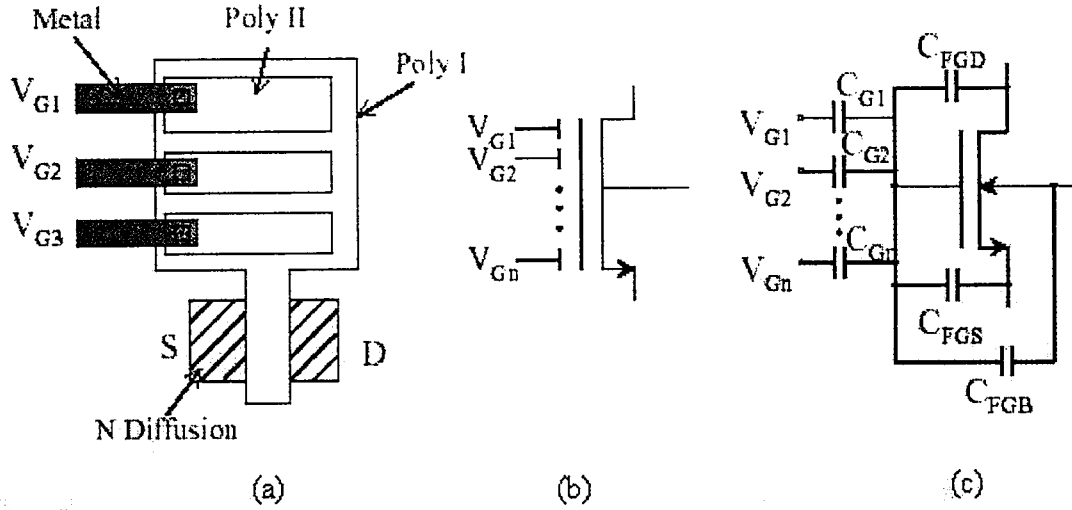


Şekil 3.12 Kendinden kaskodlanmış yapı kullanılarak oluşturulmuş bir akım aynası

3.4.4 Yüzer-Geçitli MOSFET'ler

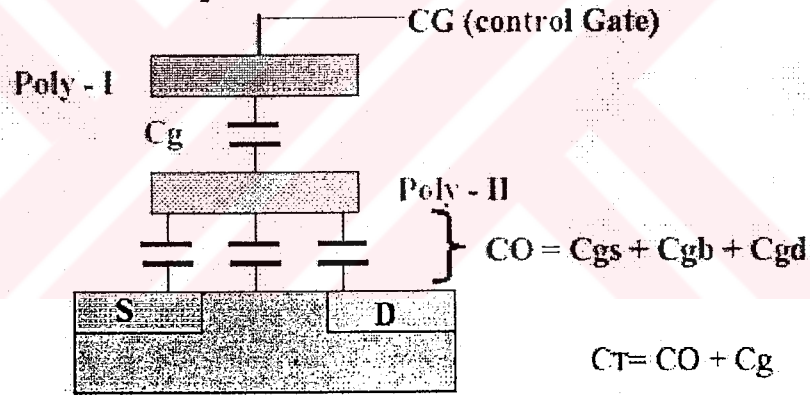
Yüzer-geçitli MOSFET'ler yeni ve heyecan verici bir çok analog devre uygulamalarında kullanılmaya başlanmıştır. Bu transistörler standart CMOS teknolojisinde kullanılabilir. Dijital devrelerde özellikle EPROM ve EEPROM'larda oldukça fazla kullanılmaktadır. Sonuç olarak yüzer geçitli transistörler sadece hafıza birimlerinde değil devre elemanları olarak da kullanılmaktadır. Yüzer geçitli MOSFET'ler analog hafıza elemanlarında, adaptif devre elemanlarında, CMOS analog ayar devrelerinde, yapay sinir ağlarında, çarpıcılarda (Blalock vd., 1998), D/A çeviricilerde ve kuvvetlendiricilerde kullanılabilir.

Yüzer-geçit basit bir MOS transistörün geçit ucuna benzer. Fakat yüzer geçitin gerilimi, doğrudan değil kapasiteler üzerinden kontrol geçidi ile kontrol edilir.



Şekil 3.13 Yüzer-geçitli MOSFET (a) Serim (b) Şematik sembolü (c) Eşdeğer devre

(Sanchez-Sinencio, 2000)



Şekil 3.14 Yüzer-geçitli MOSFET (Sanchez-Sinencio, 2000)

Düşük gerilimli analog devrelerin tasarımı yüzer geçitli MOSFET'ler kullanarak mümkün olmaktadır. Çünkü eşik gerilimleri yüzer geçitli yapılar kullanarak ayarlamak mümkün olmaktadır. Bu yapı kullanılarak ultra düşük gerilimlerde tasarım yapılabilir.

Yüzer geçitli MOSFET'in geçit ucu normalde açık devredir ve belli bir elektriksel yükü vardır. SiO_2 iyi bir yalıtkan olduğundan bu yük çok yavaş boşalır. Yüzer geçitli MOSFET'in heyecan verici bir özelliği kontrol geçitinden görülen eşdeğer eşik geriliminin, yüzer-geçit üzerindeki yük ile oynayarak değiştirebiliriz. Yüzer-geçit üzerindeki yük üç şekilde değiştirilebilmesidir.

- 1) Ultra-viyole ışığının altında SiO_2 kısa bir süreliğine iletken olur ve statik yük sızar.

- 2) Hot-electron enjeksiyonunda yüksek akım değerlerine ihtiyaç vardır.
- 3) Fowler-Nordheim (FN) tünellemede düşük akımlar gerektirir fakat bu sefer yüksek gerilimlere yaklaşık olarak 14V-30V arasında değişen gerilimlere ihtiyaç vardır.

Bu programlama teknikleri kullanılarak kontrol geçitden görülen eşdeğer eşik gerilimini değiştirebiliriz. Fakat karmaşık programlama devreleri ve/veya yüksek programlama gerilimi düşük gerilim uygulamalarını sınırlandırır.

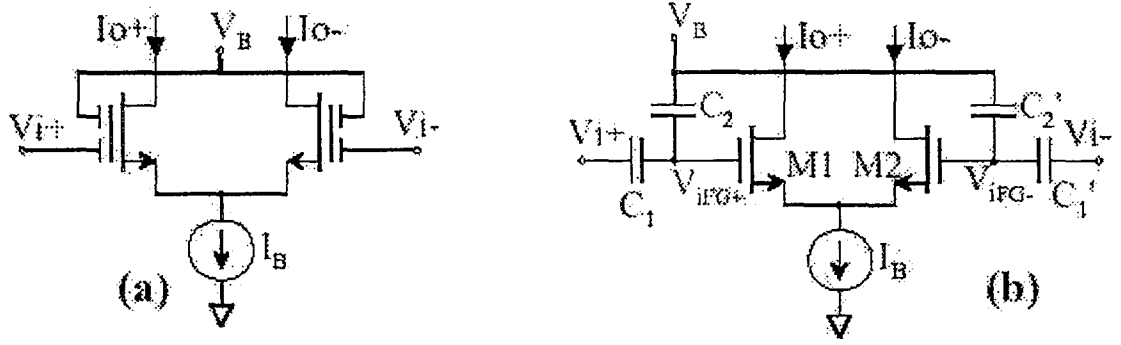
Şekil 3.14'de yüzer geçit MOSFET'in serimi, şematik sembolü ve eşdeğer devresi görülmektedir. Düşük gerilimli analog devrelerde yüzer geçitin yükünün olmadığı varsayılır. Yüzer geçitli MOSFET'ler, analog devre tasarımında kullanılabilir. Şekil 3.15'de yüzer-geçit teknolojisi kullanılarak oluşturulmuş bir diferansiyel çift görülmektedir. 2 girişli bir yüzer geçitli MOSFET'de bir geçit ucuna yüksek V_b gerilimi uygulanırken ikinci kapıya giriş işareti uygulanır ve MOSFET'in eşik gerilimi kendini yeni bir değere ayarlar. Yüzer geçitli transistörler, geleneksel transistörlere benzer. Tek farkı, yüzer geçitin geriliminin doğrudan değil, kontrol geçidi ile kapasiteler üzerinden kontrol edilmesidir. Yüzer geçidin gerilimi aşağıdaki denklemle ifade edilebilir.

$$V_{FG} = (Q_{FG} + C_{FG,D}V_D + C_{FG,S}V_S + C_{FG,B}V_B + \sum_{i=1}^n C_{Gi}V_{Gi}) / C_{\Sigma} \quad (4.2)$$

C_{Σ} kontrol geçit ile yüzer geçit arasındaki kapasitelerin, yüzer geçit ile savak arasındaki, yüzer geçit ile kaynak arasındaki ve yüzer geçit ile gövde arasındaki kapasitelerin toplamıdır. Toplam kapasite Denklem 4.3 ile ifade edilmiştir.

$$C_{\Sigma} = C_{FG,D} + C_{FG,S} + C_{FG,B} + \sum_{i=1}^n C_{Gi} \quad (4.3)$$

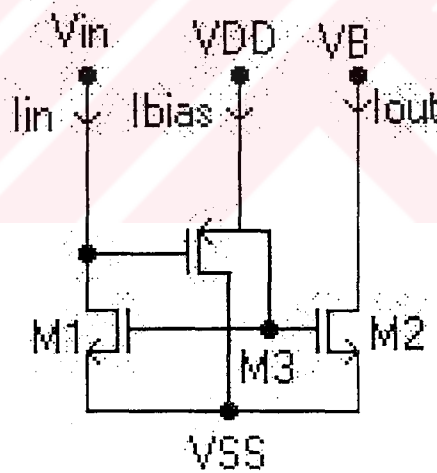
Yüzer-geçitli transistörlerin çıkış empedansları düşüktür. Bu yüzden sadece düşük kazançlar elde edilebilir. Dahası bu teknik yüzer geçitlerin üretilmesini gerektirir. Bu yüzden geleneksel teknoloji kullanılamaz ve yüksek maliyete neden olur. Bu teknik düşük gerilimli analog devrelerde sadece deneysel olarak incelenmektedir. Araştırmacılar yüzer geçitli MOSFET'i ultra düşük gerilimli transkondüktör, CMOS işlemsel kuvvetlendirici gibi devrelerde kullanırlar.



Şekil 3.15 (a)Yüzer-geçitli diferansiyel çift (b)Yüzer geçitli diferansiyel çiftin baskın kapasiteleri (Sanchez-Sinencio, 2000)

3.4.5 Seviye-Öteleme Yaklaşımı

Bu teknikte transistörler ya doymada ya da eşik altı bölgesinde çalışırlar. Bu tekniği anlamak için basit akım aynasını örnek olarak alabiliriz. Basit akım aynasının çalışabilmesi için girişteki gerilimin en az V_T 'ye eşit olması gerekir. Bu yüzden V_T 'nin altında çalışılan gerilim seviyelerinde basit akım aynasını kullanmak mümkün olmamaktadır.



Şekil 3.16 Seviye-öteleme tekniği kullanılmış bir akım aynası

Basit akım aynası, Şekil 3.16'daki gibi değiştirilirse V_T 'den yüksek giriş gerilimi zorunluluğu ortadan kaldırılabilir. Bu devrede gerekli giriş gerilimi $V_{GS1}-V_{GS3}$ 'e eşittir. İki akım aynasının da giriş ve çıkış dirençleri aynıdır. Fakat giriş gerilimi seviyeleri seviye-öteleme tekniği ile düşürülmüştür. Bu devrenin bir dezavantajı giriş gerilimi sıfır iken çıkış transistöründen akan I_{offset} akımıdır. V_{GS2} , V_{DS1} ve I_{bias} 'a bağlıdır. Düşük giriş akımları için ($I_{in} < 1\mu A$) V_{DS2} yaklaşık olarak sıfır Volt'a eşittir ve I_{bias} V_{GS2} 'yi tek başına ayarlar. I_{bias} , sıfır Amper değerindeki I_{in} için bile V_{GS2} 'nin V_{T1} 'e eşit olmasına neden olur. V_{in} de sıfır olacaktır. Fakat

V_{DS2} bağımsız olarak V_B ile artar. Bu koşullar altında M2 üzerinden bir akım akar. Bu durum M2'yi eşik altı bölgesine sokar ve offset akımı (I_{offset}) olarak bilinen küçük bir akım M2 üzerinden akar. Giriş akımı I_{offset} akımı kadarsa ya da katları şeklindeyse sonuç daha korkutucu olmaktadır. I_{offset} akımı bu tür devrelerin çalışmasını sınırlamaktadır.

İlginç olan şudur ki çalışma rejimine I_{bias} karar verir. I_{bias} yeterince düşükse, M3 eşik altı bölgesinde çalışır. Buna karşın I_{bias} yüksekse M3 doyma bölgesinde çalışır.

I_{offset} akımı giriş akımı sıfır olduğunda M2 üzerinden akan akımdır. Bu durumda M1 ve M2'de ayrıca eşik altı bölgesinde çalışır. Bu yüzden M2'den akan çıkış akımı kutup gerilimi tarafından ayarlanır. (V_{DS2} uygulanan kutup gerilimi nedeniyle oldukça yüksektir.) bu durumda I_{offset} akımı şu formülle verilebilir.

$$I_{offset} \approx \frac{W_2}{L_2} \frac{L_3}{W_3} \frac{I_{DO2}}{I_{DO3}} I_{bias} \exp\left(\frac{\Delta V_T}{\eta V_{ther}}\right) \quad (4.4)$$

ΔV_T nMOS ve pMOS transistörlerin eşik gerilimleri arasındaki fark ve V_{ther} ise ortam sıcaklığındaki gerilim değeridir ve oda sıcaklığında 26 mV'a eşittir.

PMOS ve nMOS'un eşik gerilimleri birbirine eşit olduğunda ve $I_{DO2}=I_{DO3}$ olduğunda minimum offset değeri olan $I_{offset} = W_2 L_3 I_{bias} / L_2 W_3$ sağlanır.

I_{bias} yeterince büyükse M3 doymada çalışır. Fakat giriş akımı düşük olduğundan M1 lineer bölgede çalışır. Buna karşın savak gerilimine dışarıdan müdahale olduğu için M2 yine doymada çalışır. Bu durumda I_{offset} akımı şu şekilde formülize edilir.

$$I_{offset} = \frac{\beta_2}{2} \left(\sqrt{\frac{2I_{bias}}{\beta_3}} + V_{TP3} - V_{TN2} \right)^2 \quad (4.5)$$

pMOS'un ve nMOS'un eşik gerilimleri birbirine eşit olduğunda minimum offset akımı $K'_2 W_2 L_3 I_{bias} / K'_3 L_2 W_3$ sağlanır.

M3 doyma bölgesinde çalışırken I_{offset} akımı oldukça yüksektir. Bunun nedeni I_{bias} 'ın yüksek olması ve K'_2/K'_3 ün 3'e eşit olmasıdır.

Bu konfigürasyonda MOSFET sayısı arttığı için güç kaybı da artar. Düşük gerilimlerde yüksek band genişliği elde edilmesi ise en önemli özelliğidir. Ayrıca akım modlu devrede kullanım açısından önemlidir. Çünkü giriş direnci düşüktür. Bu devreler hem girişte hem çıkışta beslemeden beslemeye çalışma kabiliyetine sahiptir.

3.4.6 Düşük Gerilimli Analog Hücrelerin Kullanımı

Bütün analog devreler MOSFET'ler kullanılarak oluşturulabilir ve MOSFET'lerin özellikleri devrenin özelliklerini belirler. Benzer olarak bütün analog devreler, bir kaç alt analog devreye ayrıştırılabilir. Bu alt devrelere analog hücreler denir. Bu analog hücrelerin özellikleri sonuçta oluşturulan analog devrelerin karakteristiğini belirler. Bu analog hücreler, düşük gerilimlerde çalışması için tasarlanırsa bu hücreler kullanılarak oluşturulan devrelerin de düşük gerilimlerde çalışması beklenir. Bu teknik şu anda daha fazla ilgi çekmektedir ve çeşitli analog devrelerin tasarımında kullanılmaktadır.

3.5 Farklı Yöntemlerin Karşılaştırılması

Çizelge 3.1'de düşük gerilimli analog devrelerin tasarımında kullanılan farklı yöntemler karşılaştırılmıştır. Uygulamanın amacına göre tasarımcı, en uygun tekniği ya da bu tekniklerin bir kaçının bir kombinasyonunu seçebilir. Dahası bütün analog devreler bir kaç alt yapıya ayrılabilir. Eğer bu hücreler düşük gerilimde çalışacak bir şekilde tasarlanırsa o zaman devrenin tamamının da düşük gerilimlerde çalışması beklenir. Bu tür teknikler son günlerde oldukça ilgi görmektedir.

Çizelge 3.1 Düşük gerilimli analog devrelerin tasarımında kullanılan farklı tekniklerin karşılaştırması

Teknik	Band genişliği	Besleme gerilimi	Güç tüketimi	Proses
Eşik altı bölgesi	Düşük	2VT	Düşük	Standart
Gövdeden Sürülen	Düşük	2VT	Yüksek	Özel
Kendinden-kaskodlanmış	Orta	>2VT	Yüksek	Standart
Yüzer-geçitli	Orta	<2VT	Orta	Özel
Seviye-öteleme	Yüksek	<2VT	Orta	Standart
Düşük gerilimli hücreler	Yüksek	<2VT	Orta	Standart

3.6 Düşük Gerilimli Yapı Blokları

Bu bölümde düşük gerilim tasarımında kullanılan temel analog yapı blokları tartışılacaktır.

3.6.1 Düşük Gerilimli Akım Aynaları

Kısa kanallı modern CMOS teknolojilerinde küçük gerilim kazancı (kısa kanal etkisi nedeniyle) ve düşük besleme gerilimi, devrelerin performansına ve akım aynalarının devre yapılarına kısıtlamalar getirmektedir.

Düşük gerilimli akım aynalarının istenen özellikleri:

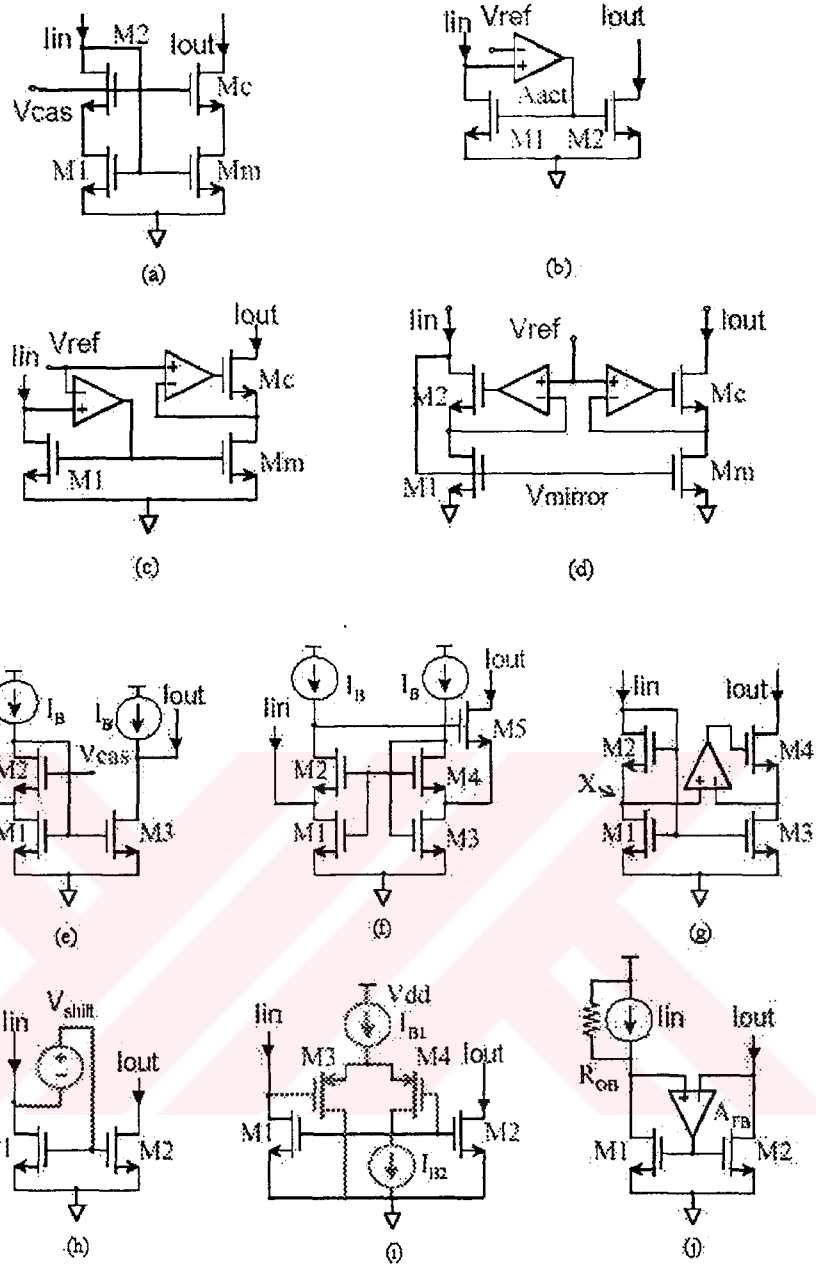
- a) Düşük AC giriş direnci, r_{in}
- b) Giriş düğümünde küçük gerilim düşümü, V_{in}
- c) Yüksek çıkış direnci, r_{out}
- d) Düşük çıkış gerilimi, V_{outmin} (çıkışta maksimum gerilim salınımına izin veren)
- e) İyi bir frekans cevabı (yüksek frekanslar için)
- f) Doğrusal akım transfer oranı, B .

Bir çok durumda B sabit olmalıdır ve ideal olarak transistör geometrileri tarafından ayarlanır.

Akım aynaları daha çok şu tasarım hedeflerini taşımaktadır:

- a) çıkış empedansı yükseltilirken V_{outmin} 'in minimumda tutulması
- b) düşük giriş direnci
- c) girişteki DC gerilim düşümünün azaltılması
- d) doğru bir akım transfer oranının elde edilmesi.

Şekil 3.17 a, d, f'deki simetrik yapılar daha düzgün bir akım transfer oranı sağlamaktadır. Aktif girişli akım aynalarında (Şekil 3.17 b,c) giriş empedansı oldukça düşer ve iyi kontrol edilebilen giriş kutuplama gerilimi vardır, kesinlik gerektiren durumlarda kullanılabilir. Aktif girişli ve/veya regüle edilmiş kaskod yapılarda geribesleme döngüsünün kararlılığından emin olunmalıdır.



Şekil 3.17 Düşük gerilimli akım aynaları (Sanchez-Sinencio, 2000)

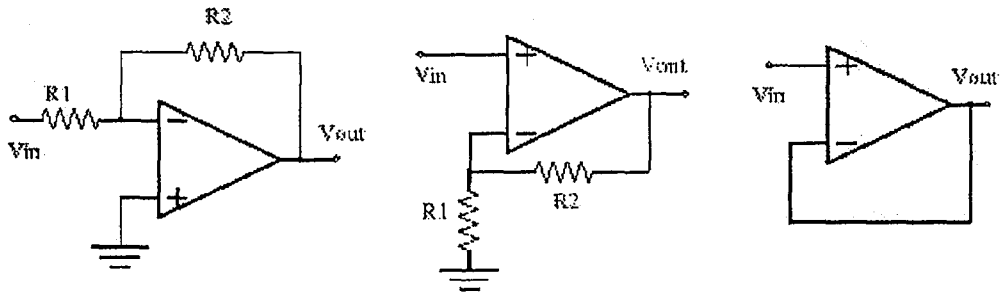
Şekil 3.17'deki devrelere ek olarak 3V'da çalışan başka düşük gerilimli akım aynaları da vardır. Bazı akım aynaları için giriş düğümünde bir V_{GS} geriliminden daha küçük gerilimler bu devrelerin çalışması için yeterli olabilmektedir. Uygun seçilen V_{ref} gerilimi ile bu gereksinimi sağlayan aktif girişli akım aynalarından başka bu tür devreler Şekil 3.17 (e), (f), (h), (i)'de gösterilmiştir. Şekil 3.17 (e) 'deki devre Şekil 3.17 (a)'daki devreye benzemektedir. Şekil 3.17'deki devrede giriş akımı M2 transistörünün savak ucu yerine kaynağından girmektedir. Bu durum girişte düşük gerilim düşümü sağlar. Şekil 3.17 (f) ve (g) için en alttaki M1 ve M3 transistörleri direnç bölgesinde çalışırlar. Böylece çıkışta daha düşük bir gerilim seviyesi yaklaşık olarak 0.2V-0.4V elde edilir. Şekil 3.16 (f)'deki akım aynasının en

büyük özelliği M1'in direnç bölgesinde çalışmasından dolayı girişte gerilim düşümünün az olmasıdır. Bu değer 0.1V'dan daha düşük olabilir. Şekil 3.17 (g)'de M1 ve M3 transistörlerinin V_{DS} gerilimlerini birbirine eşit tutmak için bir işlemsel kuvvetlendirici kullanılmıştır. Böylece eğer transistör boyutları birbirine eşitse aynı I_D akımını akıtırılar. Şekil 3.17 (g)'deki akım aynasında M2 transistörünün kaynağına (x düğümü) akım enjekte edilerek bu devrede bir modifikasyon gerçekleştirilebilir. Böylece kutuplama devresinde ufak değişikliklerle çok düşük giriş gerilimi düşümü sağlanır. Şekil 3.17 (e), (f), (g) devrelerinin düşük gerilimde çalışırken frekans cevapları iyi değildir. Akım aynasının çalışması için girişte gerekli olan minimum gerilim değeri seviye öteleme tekniği kullanılarak daha da küçültülebilir. Şekil 3.17 (h)'da seviye-ötelemeli bir akım aynası görülmektedir. Böylece girişteki gerilim $V_{GS}-V_{öteleme}$ olacaktır.

Basit akım aynası transfer fonksiyonunda sadece bir kutba sahiptir ve birinci dereceden alçak geçiren filtre gibi davranır. Daha ayrıntılı olan diğer akım aynaları birden fazla kutup içerir. Örneğin Şekil 3.17 (a) ve (e)'deki devreler ikinci dereceden bir filtre özelliği gösterirler ve tasarımcı transistörlerin boyutlarını ve/veya kutup akımlarını optimal yerleşme zamanı ve frekans cevabına göre ayarlamalıdır.

3.6.2 Diferansiyel Giriş Katları

Tipik olarak bir işlemsel kuvvetlendiricinin giriş katı diferansiyel çiftten oluşur. Diferansiyel giriş katları işlemsel kuvvetlendirici ve OTA tasarımında önemli bir rol oynar. Tasarımı doğrudan tüm kuvvetlendiricinin performansını belirler, örneğin CMR (Ortak Mod Salınımı, Common-Mode Range) ve CMRR (Ortak Mod Bastırma Oranı, Common-Mode Rejection Ratio) gibi.



Şekil 3.18 İşlemsel kuvvetlendirici konfigürasyonları (Sanchez-Sinencio, 2000)

Şekil 3.18'de işlemsel kuvvetlendiricinin çeşitli konfigürasyonları görülmektedir ve Çizelge 3.2'de de bu konfigürasyonların istenen ortak mod giriş gerilimi salınımı ve çıkış gerilimi salınımları görülmektedir. Şunu belirtmeliyiz ki evirmeyen konfigürasyonunun özellikle de

gerilim izleyicisinin doğru çalışması için geniş bir ortak mod salınımına ihtiyacı vardır. Eviren konfigürasyon için ortak mod salınımı yaklaşık olarak sıfırdır.

Çizelge 3.2 İşlemsel kuvvetlendirici konfigürasyonlarının ortak mod giriş ve çıkış gerilimi salınımı

Konfigürasyon	Ortak-mod giriş gerilim salınımı	Çıkış gerilimi salınımı
Eviren	≈ 0	Beslemeden beslemeye
Evirmeyen	$R1/(R1+R2) * V_{bes}$	Beslemeden beslemeye
Gerilim izleyicisi	Beslemeden beslemeye	Beslemeden beslemeye

3V ya da daha düşük besleme gerilimleri ile tasarlanan sistemlerde n-p komplementer beslemeden beslemeye giriş katları Şekil 3.20'deki gibi uygulanabilir. Bu basit yapının sorunu, ortak mod salınımının ortasında n ve p çiftinin her ikisinin de çalışmasıdır. Bu bölgede toplam geçiş iletkenliği, sadece n ya da p çiftlerinden bir tanesi çalışırken yani giriş geriliminin değeri besleme gerilimine yakinken elde edilen geçiş iletkenliğinin 2 katıdır. Sabit geçiş iletkenlikli beslemeden beslemeye giriş katı optimal bir frekans kompanzasyonu ve daha iyi bir doğrusallık için gereklidir. Literatürde bir çok sayıda sabit geçiş iletkenliği elde etme tekniği vardır.

Şekil 3.17'de görüldüğü gibi nMOS transistörlerden oluşmuş bir giriş katında, M1 ve M2 transistörlerinin geçit noktalarına, transistörleri çalışma bölgelerinde tutabilmek için V_{CM} olarak belirtebileceğimiz ortak işaret giriş gerilimi uygulanır. V_{CM} geriliminin V_{DD} 'ye yakın olduğu bölgelerde n- tipi giriş çiftimiz her bir kolu üzerinden $I_b/2$ akım akacak şekilde çalışır. Ayrıca bu durumda giriş katımızın geçiş iletkenliği Denklem 3.6'da verilmiştir.

$$gm = \sqrt{2I_b K_n} \quad (3.6)$$

V_{CM} yeterince büyük olduğu sürece tüm transistörler doyma bölgesinde bulunurlar ve M1 ve M2 transistörlerinin V_{GS} gerilimleri Denklem 3.7 ile verilebilir.

$$V_{GS1} = V_{GS2} = \sqrt{\frac{I_b}{2K_n}} + V_{TN} \quad (3.7)$$

Şekil 3.17'de akım kaynağının yerinde bir transistör olduğunu varsayarsak bu transistörü

doymada tutmak için gerekli minimum V_{DS} gerilimi Denklem 3.8 ile verilebilir.

$$V_{DS3sat} = V_{GS3} - V_{TN} \quad (3.8)$$

Bunun sonucunda tüm transistörlerin doymada kalabilmesi için V_{CM} 'nin V_{SS} 'den en azından $V_{GS2} + V_{DS3sat}$ kadar fazla olması gerekir. Bu durumda giriş katımızın ortak işaret çalışma bölgesi

$$V_{DD} \leq V_{CM} \leq V_{SS} + \left(V_{TN} + \sqrt{\frac{I_b}{2K_N}} + \sqrt{\frac{I_b}{K_3}} \right) \quad (3.9)$$

biçiminde sınırlandırılmış olur.

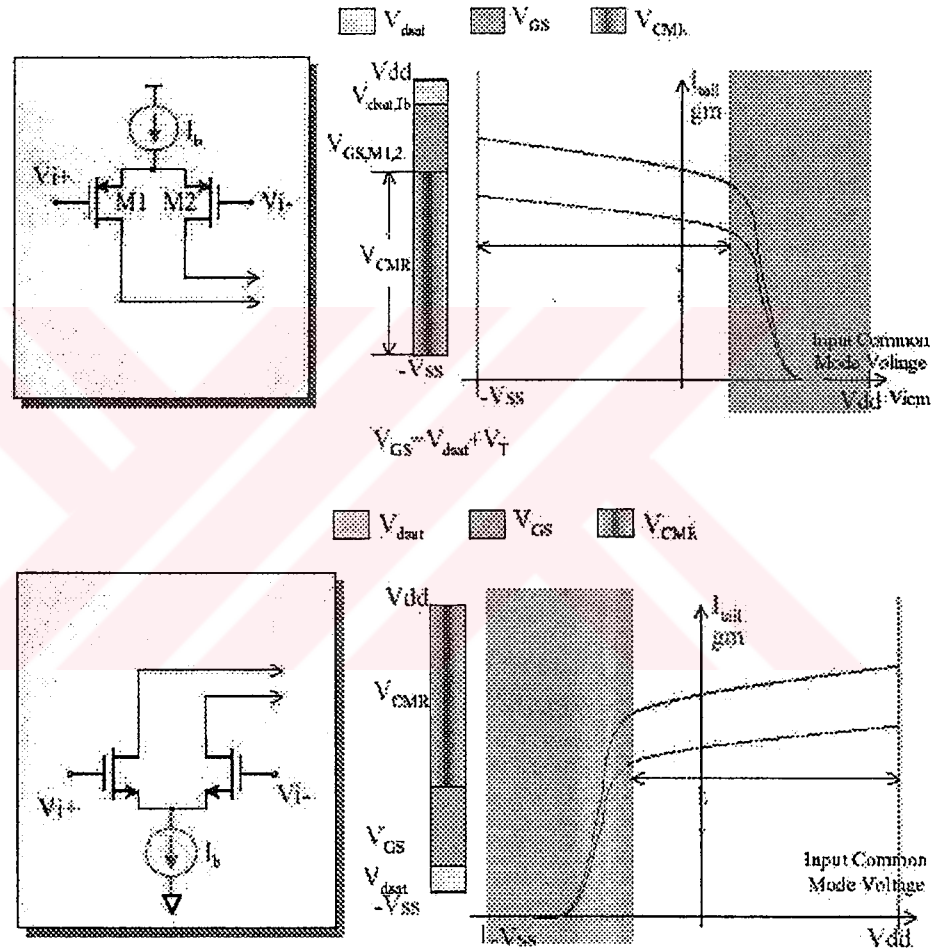
Şekil 3.19'da n-tipi, p-tipi ve n-p komplementer diferansiyel çift giriş devrelerinin simülasyonu sonucunda giriş çifti üzerinden akan akımın ve geçiş iletkenliğinin grafiği görülmektedir. Buna göre n-tipi diferansiyel çiftte M1 ve M2 transistörleri üzerinden akan akım yalnızca $V_{CM} = 1.5V$ mertebesine inene kadar sabit kalmaktadır. Bu noktadan itibaren akım kaynağı yerine geçtiği varsayılan transistörün direnç bölgesine girmesiyle beraber akım düşmeye başlamakta ve V_{DS} geriliminin bir fonksiyonu haline gelmektedir. V_{CM} 'nin daha da düşmesiyle beraber M1 ve M2 transistörleri kesime girmekte ve hiç akım akmamaktadır. Bunun sonucunda giriş katımızın g_m 'i de çift üzerinden akan akımla paralel seyrettiği için yalnızca sınırlı bir bölgede giriş katımızın olması gerektiği gibi çalışmasını sağlayabiliyoruz.

Oysa diferansiyel giriş katının beslemeden beslemeye çalışabilmesini isteriz. Bunu sağlayabilmek için Şekil 3.20'de olduğu üzere n- ve p- tipi diferansiyel giriş çiftlerinin paralel bağlanması fikri üretilmiş ve bunun üzerine pek çok farklı tasarım yapılmıştır. Bu teknik, giriş katının beslemeden beslemeye çalışmasını sağlar ancak bu yapıyı V_{CM} 'nin üç farklı bölgesi için incelememiz gerekir. V_{CM} , V_{DD} besleme gerilimine yakın olduğu bölgelerde sadece n-tipi diferansiyel çift iletimde bulunur. V_{CM} , V_{SS} besleme gerilimine yakın olduğu bölgelerde sadece p-tipi diferansiyel çift iletimde bulunur. V_{CM} ortak işaret aralığının (CMR) orta bölgesinde bulunduğu ise hem n hem p tipi diferansiyel çift iletimde bulunur. Böylece giriş katımız sürekli çalışma halinde tutulmuş olur (Sakurai and Ismail, 1995).

Ancak devrenin performansının tüm V_{CM} bölgesi için sabit tutulması gerekmektedir. Devrenin en önemli performans parametrelerinden biri giriş katının geçiş iletkenliğidir ve bu yapıda

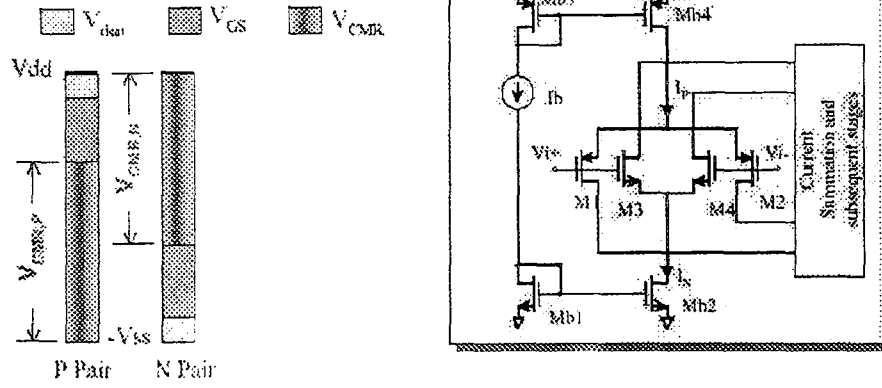
toplam g_m (g_{mT}) n ve p tipi diferansiyel giriş çiftlerinin g_m 'lerinin toplamından oluşmaktadır ($g_{mT} = g_{mn} + g_{mp}$). Bu yapıdaki giriş katının üç farklı çalışma bölgesi olduğundan toplam g_m de üç bölgede üç farklı değer alır (Sakurai and Ismail, 1995).

Şekil 3.21'de görüldüğü gibi n ve p tipi diferansiyel çiftlerden sadece birinin iletimde olduğu bölgelerdeki g_m değeri, iki çiftin de birden iletimde olduğu ortak mod aralığının orta bölgesindeki g_m değerinin yaklaşık olarak yarısıdır. Bu da, V_{CM} 'nin V_{SS} 'den V_{DD} 'ye olan aralıkta aldığı değerler boyunca g_m için yaklaşık %100'lük bir değişim anlamına gelir.

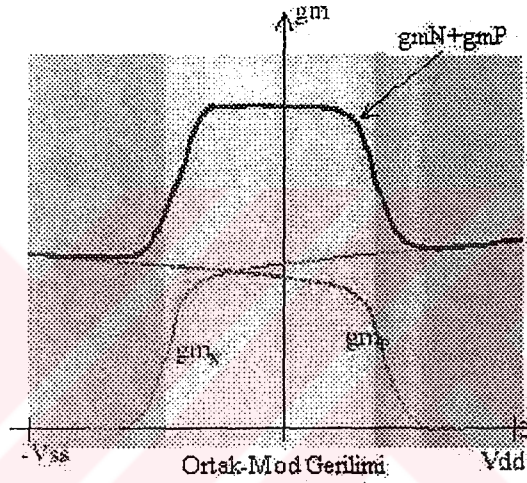


Şekil 3.19 n ve p tipi diferansiyel çiftler (Sanchez-Sinencio, 2000)

Oysa g_m için bu tür değişim kesinlikle istenen bir sonuç değildir. Bir işlemsel kuvvetlendiricinin birçok önemli performans kriteri g_m 'e bağlı olduğu için g_m 'in tüm ortak işaret aralığı boyunca sabit bir şekilde korunması istenir.



Şekil 3.20 Basit n-p komplementer giriş katı(Sanchez-Sinencio, 2000)



Şekil 3.21 n, p ve n-p komplementer giriş katlarının g_m karakteristikleri (Sanchez-Sinencio, 2000)

Eviren konfigürasyonda giriş ortak mod gerilim salınımı yaklaşık olarak sıfırdır. Evirmeyen konfigürasyonda, özellikle de gerilim izleyicisi geniş ortak mod gerilim salınımı gerektirir.

Yüzer-geçitli MOSFET diferansiyel çifti beslemeden beslemeye giriş elde etmek için kullanılabilir. Başka bir yöntem ise gövdeden sürülen MOSFET'leri kullanmaktır. Bu yöntemler bir önceki bölümde anlatılmıştı.

3.6.2.1 Sabit Geçiş İletkenliği Sağlama Yöntemleri

Sabit g_m 'li giriş yapıları üzerine değişik yöntemler öngören çeşitli çalışmalar yapılmıştır. Farklı çalışma prensiplerine dayanarak geliştirilen devreleri aşağıdaki gibi sınıflandırabiliriz.

- Akım temelli sabit g_m kontrol devreleri

n- ve p- tipi giriş çiftlerinin kuyruk akımlarını ayarlama yöntemiyle gerçekleştirilen

- Akım temelli sabit g_m kontrol devreleri

n- ve p- tipi giriş çiftlerinin kuyruk akımlarını ayarlama yöntemiyle gerçekleştirilen birkaç farklı akım temelli yöntem vardır.

- $K_n = K_p$ kabulü ile gerçekleştirilen yapılar.
 - Akım anahtarlama yöntemi
 - Kök alma devreleri
 - 1:3 akım aynalamalı devreler
- $K_n = K_p$ kabulünü kullanmayan devreler
- Gerilim Temelli sabit g_m kontrol devreleri
 - V_{GS} gerilimini kontrol ederek
 - DC seviye öteleme yöntemiyle

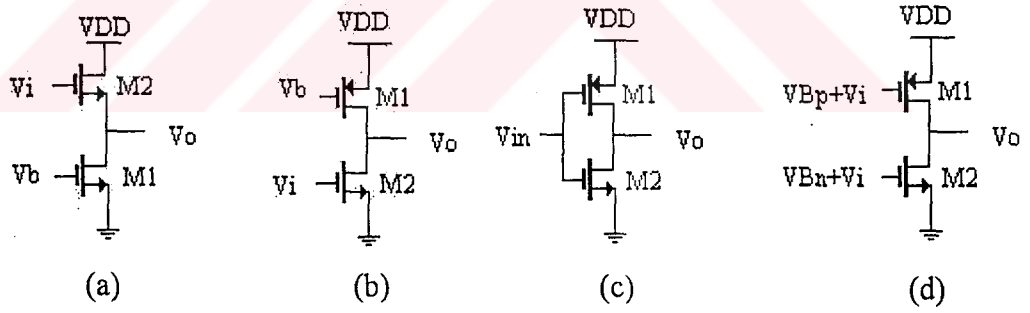
Gerilim temelli sabit g_m kontrol devrelerinin iki türü yapı olarak farklılık gösterirler. Birinci yöntemde bir MOS transistörü g_m 'in V_{GS} gerilimine de oran olarak bağlı olduğu göz önüne alınarak g_m 'i kontrol etmek için giriş transistörlerinin V_{GS} gerilimlerinin sabit tutulması yoluna gidilmektedir. İkinci yöntem ise V_{CM} giriş gerilimi giriş çiftlerinden herhangi birini aktive edebilecek bir bölgede bulunmadığında, DC seviye öteleme yardımıyla bu gerilimi giriş çiftlerinden en azından birini ilettime sokabilecek bir bölgeye taşıma mantığına dayanır.

3.6.3 Düşük Gerilimli Çıkış Katları

Yük tipine göre, çıkış katlarının sürüş kapasitesi değişir. Yüksek empedanslı kapasitif yüklere sahip olan anahtarlama kapasiteli devrelerde A sınıfı çıkış katı iyi bir seçimdir. Diğer uygulamalar için, özellikle kuvvetlendirici düşük direnç veya yüksek kapasitif yük sürerken B sınıfı veya AB sınıfı çıkış katı kullanılmalıdır. Kuvvetlendiricide harcanan gücün büyük bir bölümünü çıkış katı harcar. Ortak savaklı çıkış katı düşük gerilimli tasarımda az kullanılır. Çünkü pMOS ve nMOS transistörlerin V_{GS} gerilimleri yüzünden çıkış salınımı düşer. Bunun yerine ortak kaynaklı AB sınıfı konfigürasyonlar kullanılır. Ortak savaklı gerilim izleyicisine göre bu yapıların çıkış empedansları daha yüksektir ve daha yüksek gerilim kazancı sağlar. AB çıkış katı için istenen karakteristikler şunlardır: i) ufak sükunet akımı, I_Q ve büyük yükleri (küçük direnç veya büyük kapasitif yükler) sürmek için yüksek akım ii) beslemeden beslemeye çıkış salınımı iii) yüksek frekanslarda geçiş distorsiyonunu önlemek için çıkış katı yüksek anahtarlama hızına veya n ve p transistörleri arasında küçük anahtarlama gecikmesine sahip olmalıdır. Anahtarlama gecikmesine çıkış transistörlerinin parazitik geçit kapasitelerinin şarj ve deşarj süreleri neden olur. Transistörlerden biri iletimde iken ve yükü sürerken diğer

transistör tamamen kesimde olmamalıdır. İşaret periyodunun diğer yarısında hızlı bir şekilde ilettime geçmesi için ufak bir akım akmalıdır. Bu akıma sükunet akımı denir.

Şekil 3.22 (a)'da kaynak izleyicisi görülmektedir. Kaynak izleyicisi düşük çıkış direnci nedeniyle iyi bir çıkış katıdır. Fakat gerilim salınımı bir V_{GS} kadar sınırlanmıştır. Ayrıca giriş gerilimi V_{DD} 'ye yaklaştığında gövde etkisi nedeniyle V_{GS} gerilimi artmaktadır. Bu yüzden kaynak izleyicisi pek tercih edilen bir devre değildir. Şekil 3.22 (b)'de A sınıfı ortak kaynaklı kat görülmektedir. Fakat bu devrenin sürme yeteneği iyi değildir. Çünkü sürüş yeteneği V_b gerilimi ile oluşturulan akımla sınırlıdır. Sabit akım kaynağının değerinin büyük seçilmesi bir çözüm olabilir. Fakat bu sefer de harcanan güç artar. Şekil 3.22 (c)'de ki B sınıfı çıkış katı iyi bir çıkış katı gibi gözükmemektedir. Çünkü harcanan güç oldukça küçüktür. Harcanan gücün az olmasının nedeni ise her iki transistörün de kesimde olduğu bir bölge vardır. Bu yüzden B sınıfı çıkış katlarında distorsiyon gözlenir. Bir miktar MOSFET'ler üzerinden akmasına izin vererek distorsiyonu önleyebiliriz. Bu tür devrelere AB sınıfı çıkış katları denir. AB sınıfı çıkış katı Şekil 3.22 (d)'de görülmektedir. Bu devrede pMOS transistörün geçidine uygulanan V_{Bp} ve nMOS transistörün geçidine uygulanan V_{Bn} gerilimleri ufak bir sükunet akımı akmasını sağlarlar. Böylece geçiş distorsiyonu önlenmiş olur.

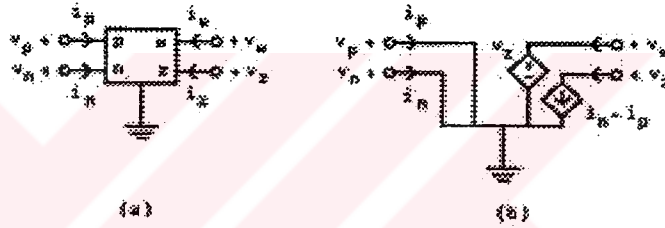


Şekil 3.22 Çıkış katları (a) Kaynak izleyicisi (b) A sınıfı çıkış katı (c) B sınıfı çıkış katı
(d) AB sınıfı çıkış katı

4. CDBA (AKIM FARKLI GERİLİM İZLEYİCİSİ KUVVETLENDİRİCİSİ)

CMOS CDBA elemanını gerçekleştirmek için farklı yöntemler kullanılabilir. Muhtemel bir yöntem DCCCS (Diferansiyel akım kontrollü akım kaynağı, Differential Current Controlled Current Source) ardından gerilim izleyicisi devresi kullanmaktır. Bu tezde bu yöntem izlenmiştir. Gerilim izleyicisi, birim geri beslemeli bağlanmış bir işlemsel kuvvetlendirici ile oluşturulmuştur. DCCCS katı, akım modlu olarak gerilim izleyicisi ise gerilim modlu olarak çalışmaktadır. CDBA aktif elemanının bu özelliği kullanılarak hem akım hem de gerilim modlu aktif filtreler tasarlanabilir.

Devre sembolü Şekil 4.1 (a)'da görülmektedir. Burada, p ve n giriş, z ve w çıkış terminalleridir. Bu elemanın eşdeğer devresi Şekil 4.1 (b)'de görülmektedir. Eşdeğer devre bağımlı akım ve gerilim kaynakları barındırır.



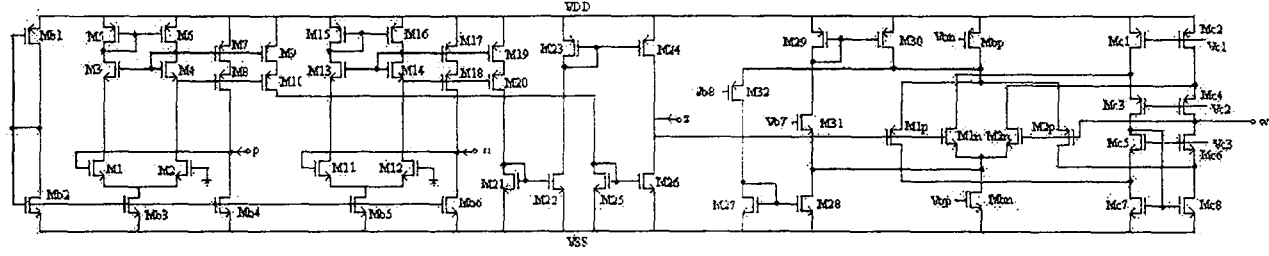
Şekil 4.1 (a) CDBA'nın sembolü (b) CDBA'nın eşdeğer devresi

Karakteristiği şu şekilde modellenebilir.

$$\begin{pmatrix} iz \\ vw \\ vp \\ vn \end{pmatrix} = \begin{pmatrix} 0 & 0 & -1 & 1 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix} \begin{pmatrix} vz \\ iw \\ ip \\ in \end{pmatrix}$$

Yukarıdaki tanımlayıcı denklem ve eşdeğer devreye göre z terminalinden akan akım p ve n terminallerinden akan akımın farkının evriğini izler. p-terminaline pozitif (evirmeyen), n-terminaline negatif (eviren) giriş ismi verilebilir. Ayrıca w terminalindeki gerilim z terminalindeki gerilimi izler. Bu yüzden w terminaline gerilim çıkışı denilebilir. Son olarak p ve n giriş terminalindeki gerilimler topraklanmıştır.

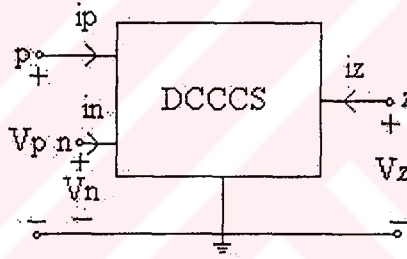
DCCCS ve birim geri beslemeli işlemsel kuvvetlendiricinin z terminallerinin birbirine bağlanmasıyla CDBA aktif komponenti oluşturulur. Sonraki bölümlerde düşük gerilimli DCCCS ve İşlemsel Kuvvetlendirici blokları ayrı ayrı incelenmiştir.



Şekil 4.2 CDBA aktif elemanın CMOS gerçeğemesi

4.1 DCCCS (Diferansiyel Akım Kontrollü Akım Kaynağı)

CDBA elemanın birinci katını DCCCS (Diferansiyel Akım Kontrollü Akım Kaynağı) oluşturur. Burada p ve n terminalleri giriş, z terminali ise çıkıştır. z terminalinden içeri doğru akan akım, p ve n terminallerinden içeri doğru akan akımların farkının evriğine eşittir. Ayrıca p ve n terminallerinin gerilimleri sifıra eşittir.



Şekil 4.3 DCCCS'nin devre sembolü

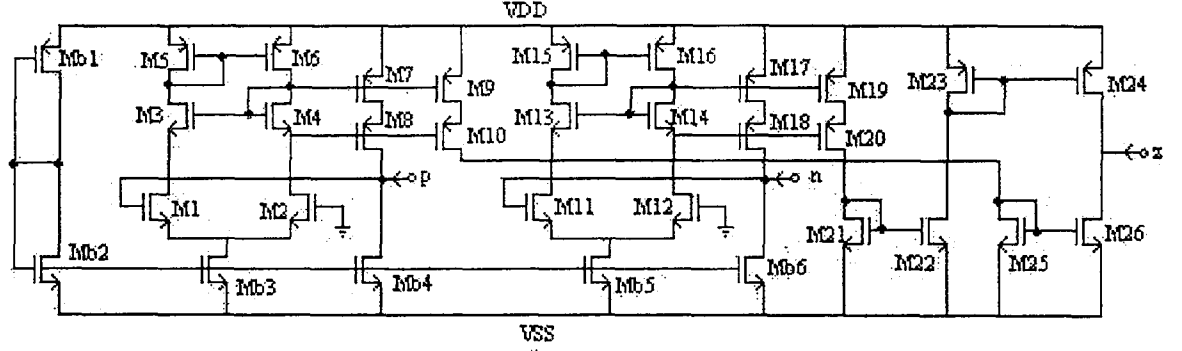
$$V_p = V_n = 0 \quad \text{ve} \quad I_z = -(I_p - I_n) \quad (4.1)$$

Bu tezde DCCCS devresi toplam 32 transistör ile gerçekleştirilmiştir. Şekil 5.4'de görülen DCCCS devresinde Mb3, Mb4, Mb5, Mb6 transistörleri, akım kaynaklarını oluşturmaktadır. Bu akım kaynaklarını ise Mb1 ve Mb2 transistörleri kutuplamaktadır. Akım kaynakları $400\mu\text{A}$ 'lık DC ve bağımsız akım kaynaklarıdır. M1 ve M2 (M11 ve M12) transistörleri üzerinden geçen akım Mb3 (Mb5) transistörü üzerinden geçen akımın yarısına eşittir. M7-M10 (M17-M20) transistörlerinin W/L oranları M3-M6 (M13-M16) transistörlerinin W/L oranlarının iki katına eşittir. p terminalinden i_p kadar bir akım akıtıldığında M7-M10 transistörleri üstünden geçen akım $400\mu - i_p$ olur. Aynı şekilde n terminalinden i_n kadar bir akım akıtıldığında M17-M20 transistörleri üstünden geçen akım $400\mu - i_n$ olur. $400\mu - i_n$ akımı, M21-M22 ve M23-M24 akım aynaları ile, $400\mu - i_p$ akımı M25-M26 akım aynaları ile çıkışa taşınır. Çıkış düğümüne giren akımları çıkan akımlara eşitlersek;

$$400\mu - i_n + i_z = 400\mu - i_p \quad (4.2)$$

$$i_z = -(i_p - i_n) \quad (4.3)$$

elde edilir.



Şekil 4.4 DCCCS devresi

Ayrıca M1 ve M2 (M11 ve M12) transistörleri üzerinden geçen akımlar, M3-M4 (M13-M14) ve M5-M6 (M15-M16) akım aynaları ile birbirine eşit tutulduğundan M2 transistörünün geçit-kaynak gerilimi M1 transistörünün geçit-kaynak gerilimine eşit olacaktır. Bu iki transistörün kaynak gerilimleri eşit olduğu için geçit gerilimleri birbirine eşit olacaktır. M2 ve M12 transistörlerinin geçitleri topraklanmıştır. M1 transistörünün geçit ucu p terminaline ve M11 transistörünün geçit ucu n terminaline bağlı olduğundan $V_p = V_n = 0$ eşitliği sağlanmış olur.

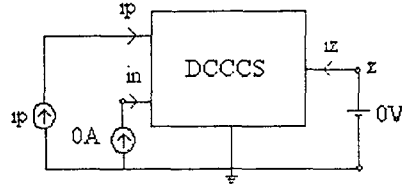
Çizelge 4.1 DCCCS devresinin transistör boyutları

Transistör	Boyut ($\mu\text{m}/\mu\text{m}$)
M1-M2, M11-M12, M7-M10, M17-M20	100/1.5
M3-M6, M13-M16	50/1.5
M21-M22	300/4
M23-M24	600/4
M25-M26	75/1.5

4.1.1 DC Analiz

Bu bölümde DCCCS devresinin DC analizi ile akım denklemlerinin doğru olarak sağlandığı gösterilecektir.

Öncelikle Şekil 4.5’de görüldüğü gibi n terminaline bir akım kaynağı bağlanmış ve bu akımın değeri 0A olarak alınmıştır. p terminaline ise değişken bir akım kaynağı bağlanmış ve bu akım kaynağı $-500\mu A < i_p < 500\mu A$ değerleri arasında değiştirilerek akım denkleminin sağlanıp sağlanmadığı gözlemlenmiştir.

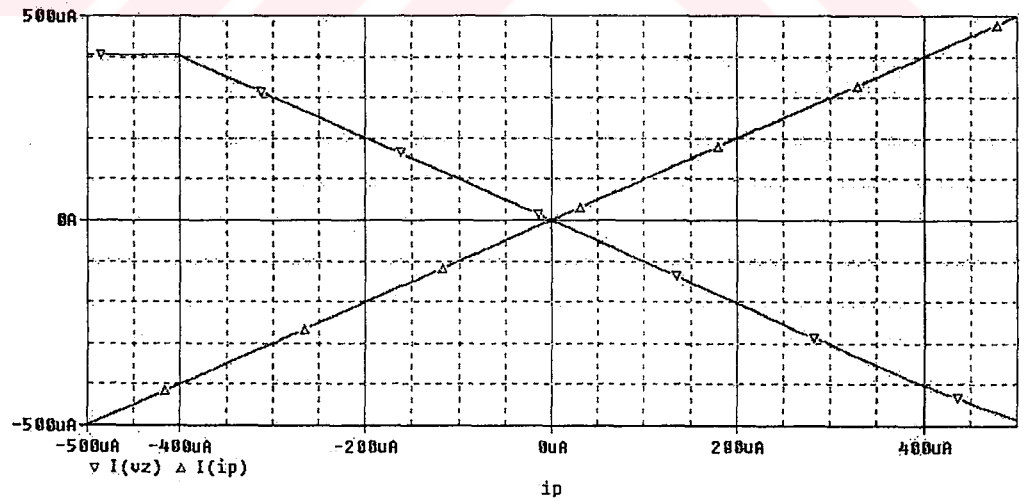


Şekil 4.5 DC analiz için yararlanılan devre

$$I_z = -(I_p - I_n) \quad \text{ve} \quad I_n = 0 \rightarrow I_z = -I_p \quad (4.4)$$

olmalıdır. i_z akımının i_p akımını en fazla %1 hata oranı ile izlemesi sağlanmıştır. Grafikten de görüldüğü gibi p terminaline $-500\mu A < i_p < 500\mu A$ arasında değişen bir akım uygulandığında i_z akımının i_p akımını $-400\mu A < I_z < 450\mu A$ arasında doğrusal olarak izlediği görülür. Simetrik olarak alacak olursak DCCCS devresi $-400\mu A < I_z < 400\mu A$ arasındaki değerlerde doğrusal olarak doğru bir şekilde çalışmaktadır. Offset akımı ise $-97nA$ olarak ölçülmüştür.

$$I_{\text{offset}} = -97nA \quad (4.5)$$



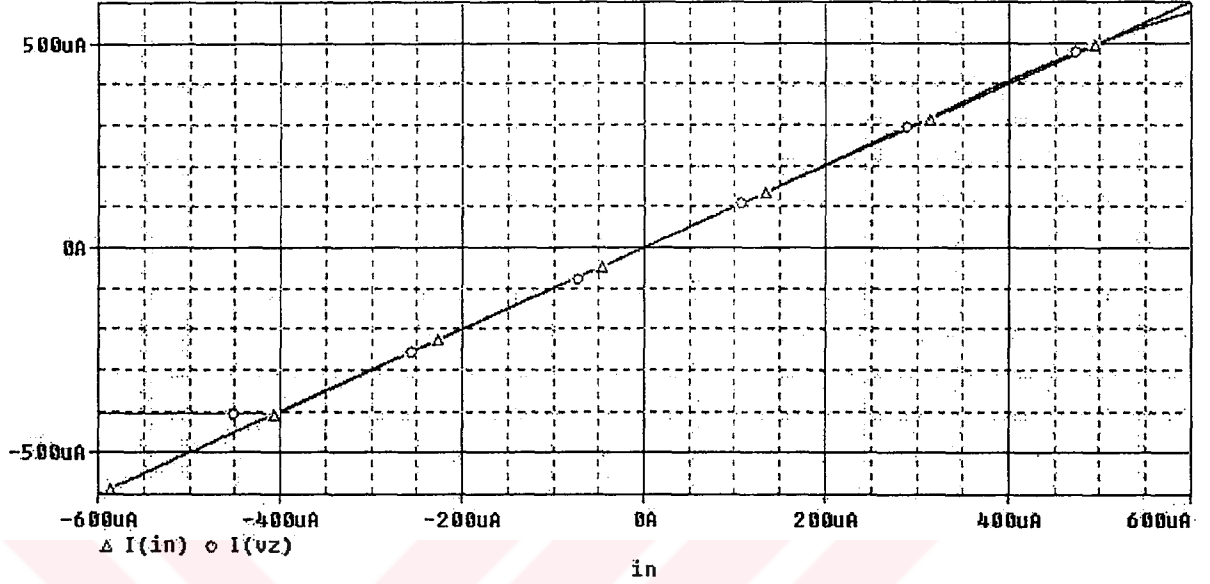
Şekil 4.6 i_z akımının i_p akımına göre dc analizi

p terminaline 0A değerinde bir akım kaynağı, n terminaline de değeri değişen bir akım kaynağı bağlanırsa;

$$I_p = 0 \rightarrow I_z = I_n \quad (4.6)$$

olacaktır.

Yukarıdaki denklemde verildiği üzere i_z akımı i_n akımını izlemelidir.

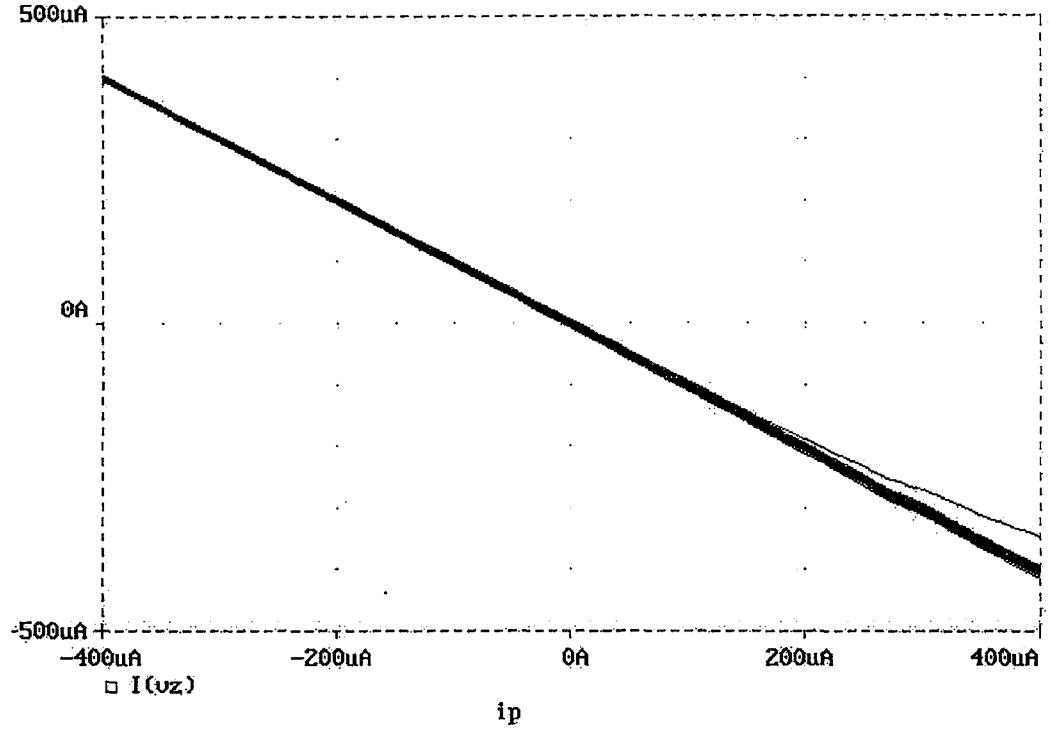


Şekil 4.7 i_z akımının i_n akımına göre DC analizi

Grafiğe göre n terminaline $-500\mu A < i_n < 500\mu A$ arasında değişen bir akım uygulandığında i_z akımı i_n akımını $-400\mu A < i_z < 550\mu A$ arasında takip ettiği gözlemlenmiştir. Simetrik olarak alırsak i_z akımı, i_n akımını $-400\mu A < i_z < 400\mu A$ değerleri arasında izler. Offset akımı $-96nA$ olarak ölçülmüştür.

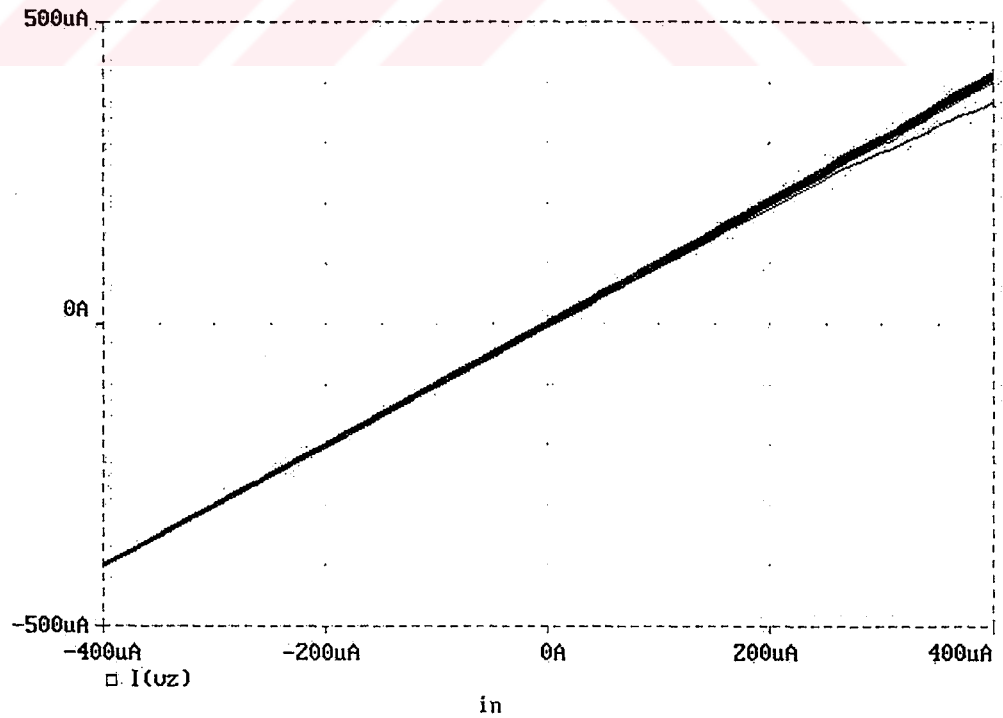
$$I_{offset} = -96nA \quad (4.7)$$

i_n akımı sıfır iken z terminaline bir gerilim kaynağı bağlanmış ve değeri $-1V$ ile $+1V$ arasında değiştirilerek i_z akımının davranışı gözlemlenmiştir. Sonuç olarak Şekil 4.8'de görüldüğü gibi $V_z > -0.9V$ değerlerinde i_z akımının doğrusallığının bozulmadığı ve i_p akımını izlediği gözlenmiştir.



Şekil 4.8 v_z geriliminin $-1V$ ile $1V$ değerleri arasında i_z akımının i_p akımına göre dc analizi

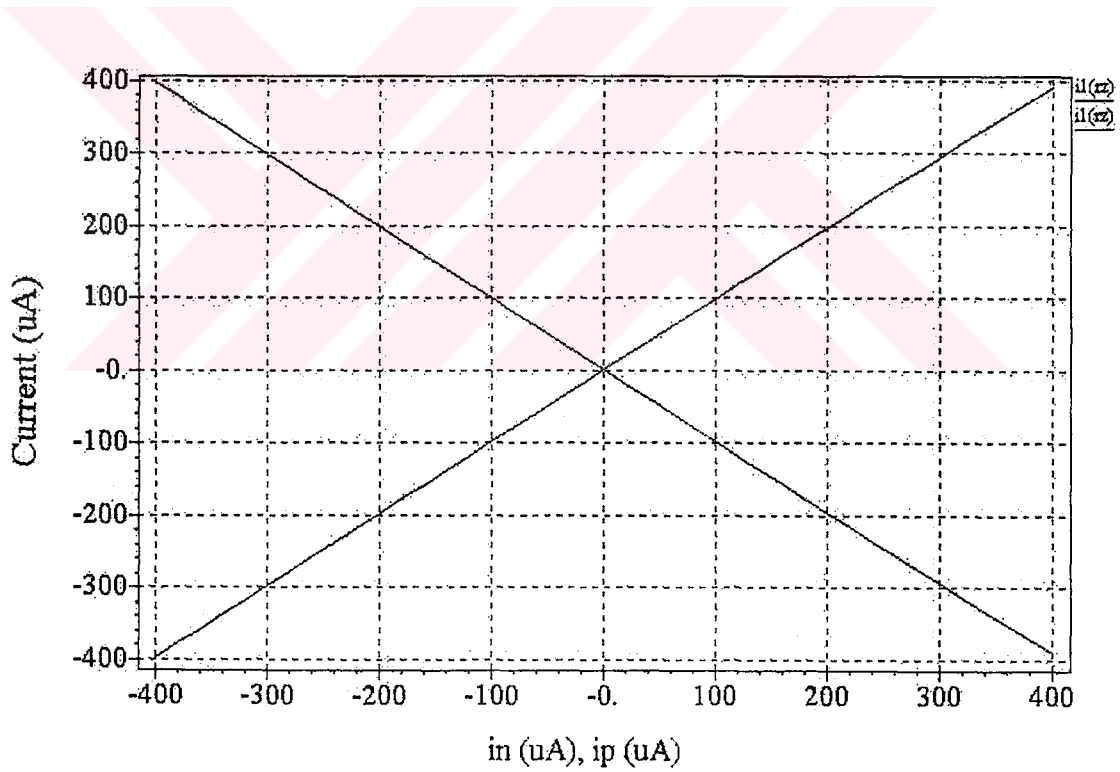
Aynı şekilde, i_p akımı sıfır iken z terminaline bir gerilim kaynağı bağlanıp değeri $-0.9V$ ile $+0.9V$ arasında değiştirilerek taratılmıştır ve $v_z < 0.8V$ değerlerinde i_z akımının doğrusallığının bozulmadığı, i_n akımını izlediği gözlenmiştir.



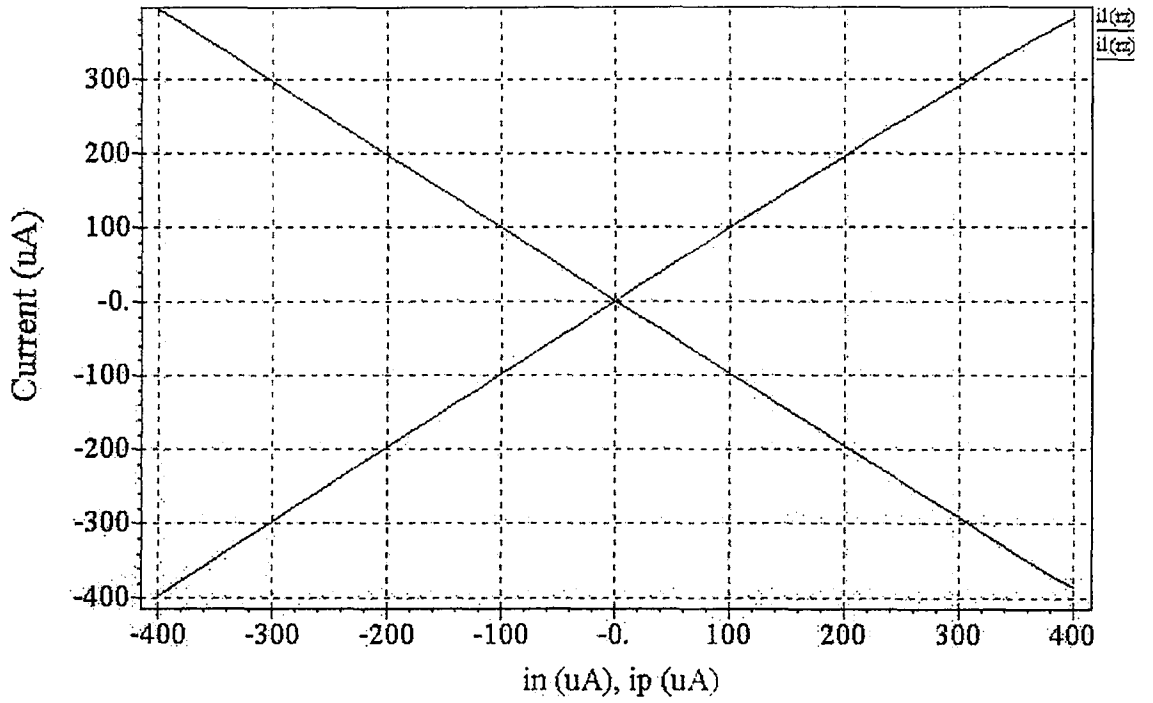
Şekil 4.9 v_z geriliminin $-1V$ ile $1V$ arasında değişen değerlerine göre i_z akımının i_p akımına göre dc analizi

Sonuç olarak, z terminalindeki gerilim $0.8V$ 'un üzerine çıktığında i_z akımı i_n akımını düzgün olarak izleyememektedir. Bunun nedeni v_z geriliminin $0.8V$ 'un üzerindeki değerlerinde M24 transistörünün doyma bölgesinde çalışmaya başlamasıdır. $-0.9V$ 'un altına düştüğünde ise M26 transistörü doymasız bölgeye girdiğinden i_p akımı i_z akımını izleyemez. Sonuç olarak DCCCS devresi v_z geriliminin $-0.9 < V_z < 0.8$ arasında değişen bölgelerinde düzgün olarak çalışır.

Şekil 4.10'da z terminaline $2k\Omega$ 'luk direnç bağlanmış ve i_z akımları incelenmiştir. Devreye $2k\Omega$ 'dan büyük direnç bağlayınca doğrusallığın tam olarak sağlanmadığı gözlemlenmiştir. Daha önce değinildiği üzere z ucuna $-0.9V$ 'dan küçük ve $0.8V$ 'dan büyük değerlerde gerilim kaynağı bağlanınca doğrusallık sağlanamıyordu. Bunun nedenini $0.8V/400\mu A = 2k\Omega$ eşitliğine bağlayabiliriz. z terminaline $2.5k\Omega$ 'luk direnç bağlanıp i_p ve i_n 'e göre DC olarak taratıldığında i_z 'in i_p 'yi doğrusal olarak izlediği ($0.9V/400\mu A = 2.5k\Omega$) fakat i_n 'i izleyemediği gözlenir.



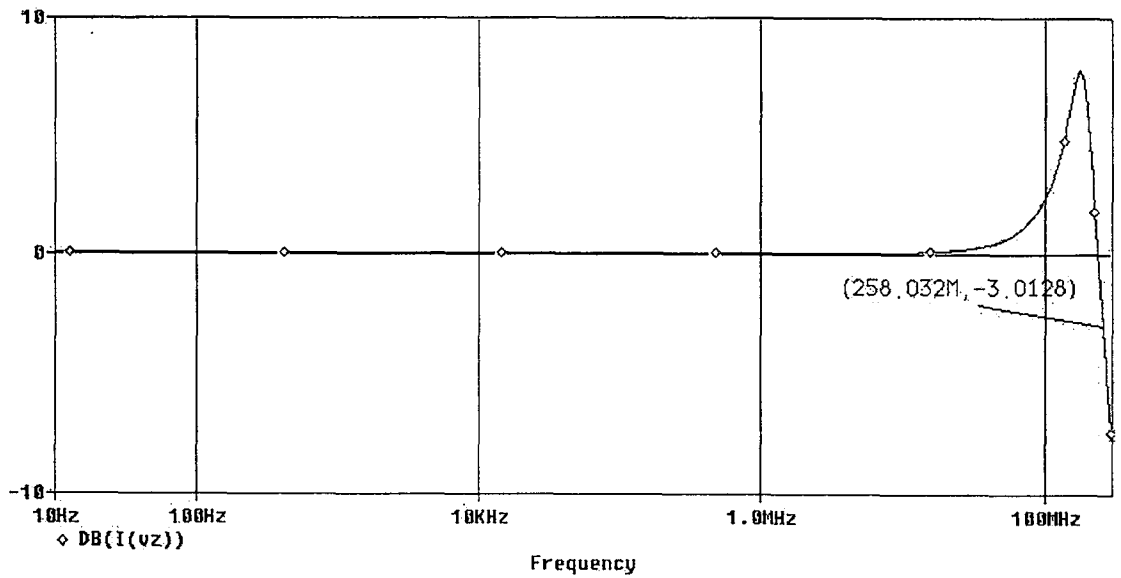
Şekil 4.10 $R_z=2K\Omega$ için i_z akımı grafiği



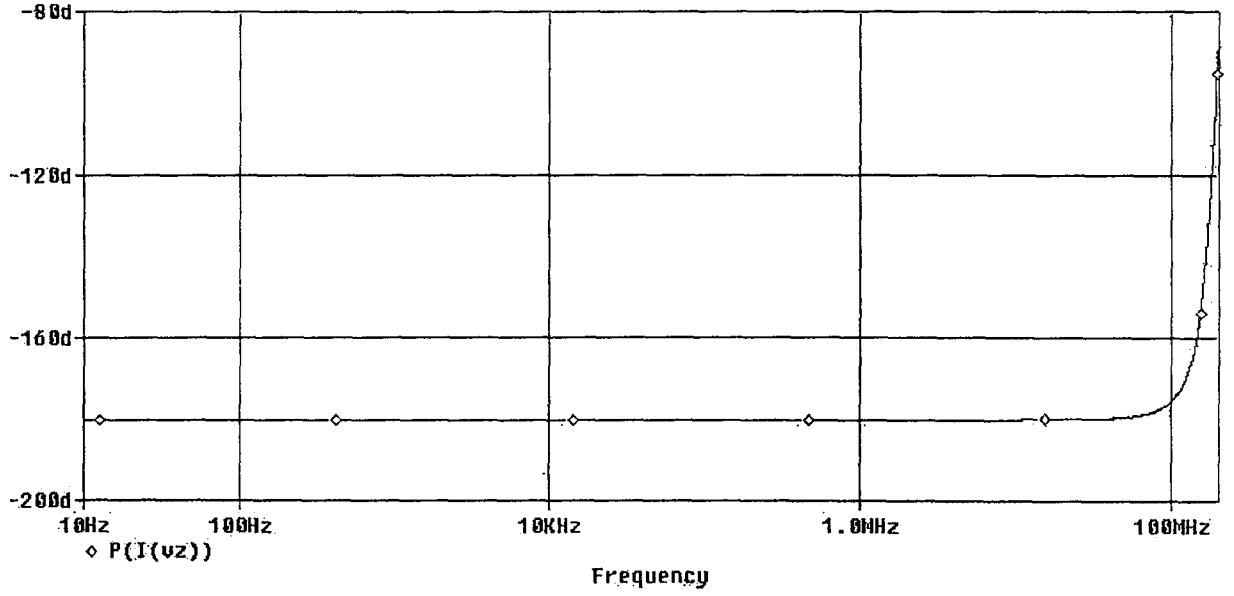
Şekil 4.11 $R_z=2.5K\Omega$ için i_z akımı grafiği

4.1.2 Kazanç ve Faz Karakteristikleri

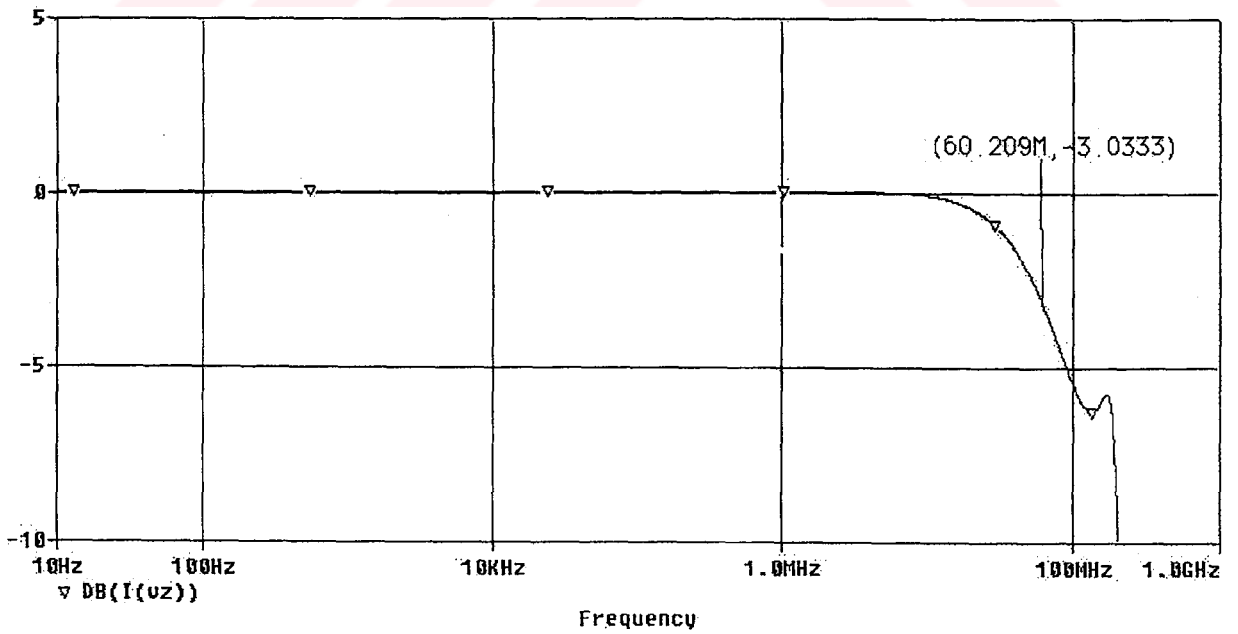
n terminaline $100T\Omega$ 'luk bir direnç bağlanmış, p terminaline AC 1A'lık işaret uygulanmıştır ve i_z / i_p kazancı Şekil 4.12'de görülen grafikte çizdirilmiştir. Bu durumda band genişliği, 258MHz olarak ölçülmüştür. i_z / i_p 'nin faz karakteristiği de Şekil 4.13'de görülmektedir. Grafiğe göre faz, 100MHz'e kadar -180^0 'dir, bu değerden sonra ise artış göstermiştir. i_z ile i_p arasında 180^0 faz farkının nedeni işaretlerinin farklı olmasıdır.

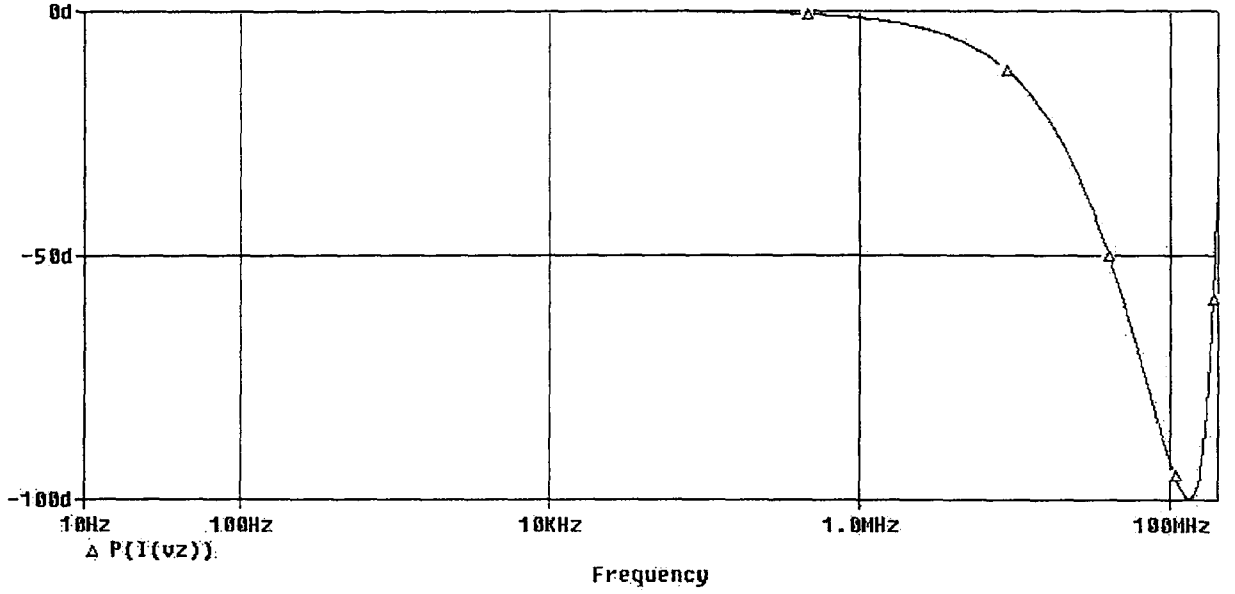


Şekil 4.12 i_z/i_p kazanç grafiği

Şekil 4.13 i_z/i_p faz grafiği

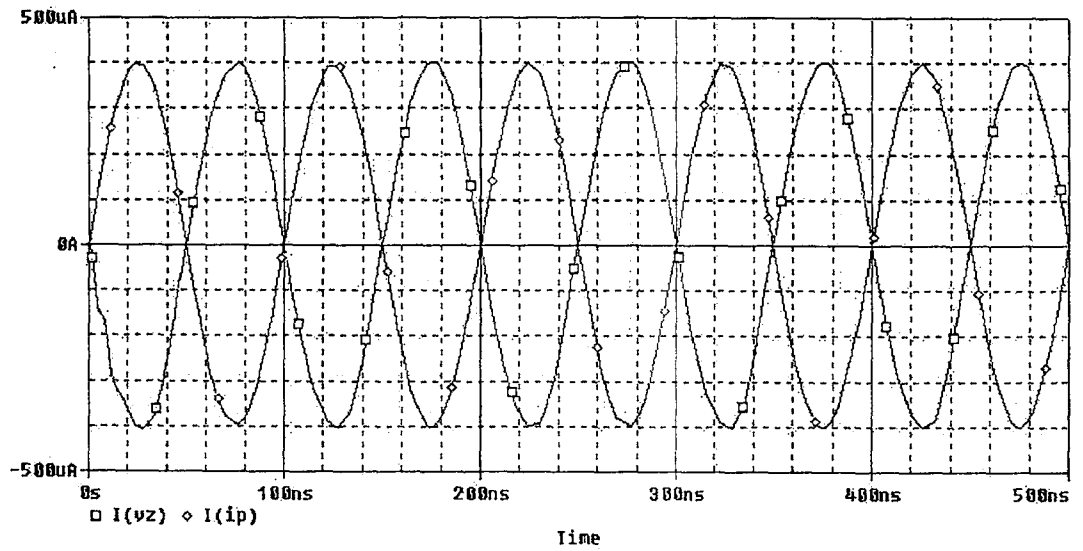
Daha sonra, i_p terminaline $100T\Omega$ 'luk bir direnç bağlanmış ve n terminaline 1A değerinde AC işaret uygulanmıştır. i_z / i_n 'in kazanç ve faz karakteristikleri Şekil 4.14 ve Şekil 4.15'de görülmektedir. Band genişliği 60Mhz'dir. Faz karakteristiği ise önce 0 dereceden daha sonra azalmıştır. i_z / i_n kazancının band genişliğinin, i_z / i_p kazancının band genişliğine göre daha küçük olmasının nedeni, i_n akımını taşıyan akım aynalarının transistör boyutlarının büyük olmasıdır.

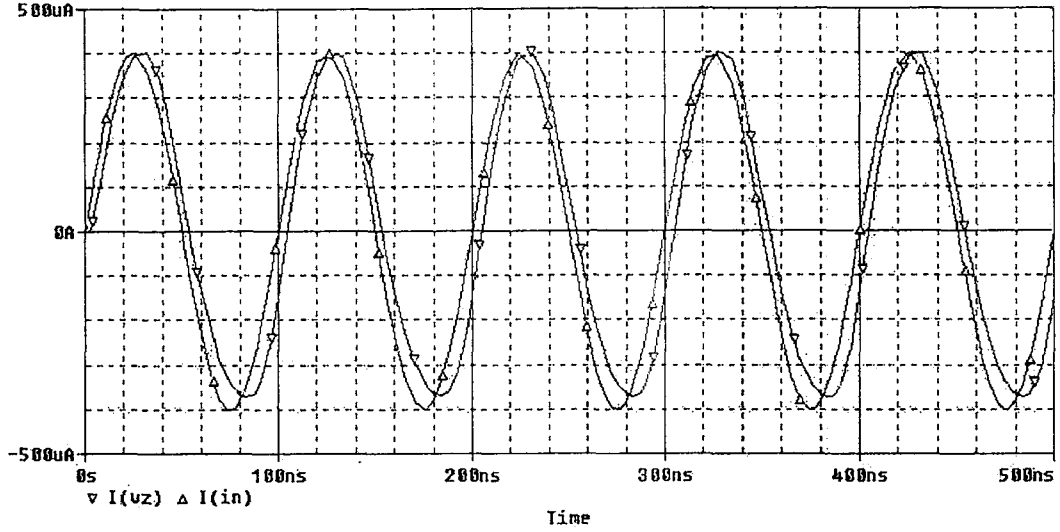
Şekil 4.14 i_z/i_n kazanç grafiği

Şekil 4.15 i_z/i_n faz grafiği

4.1.3 Çıkış Salınımı

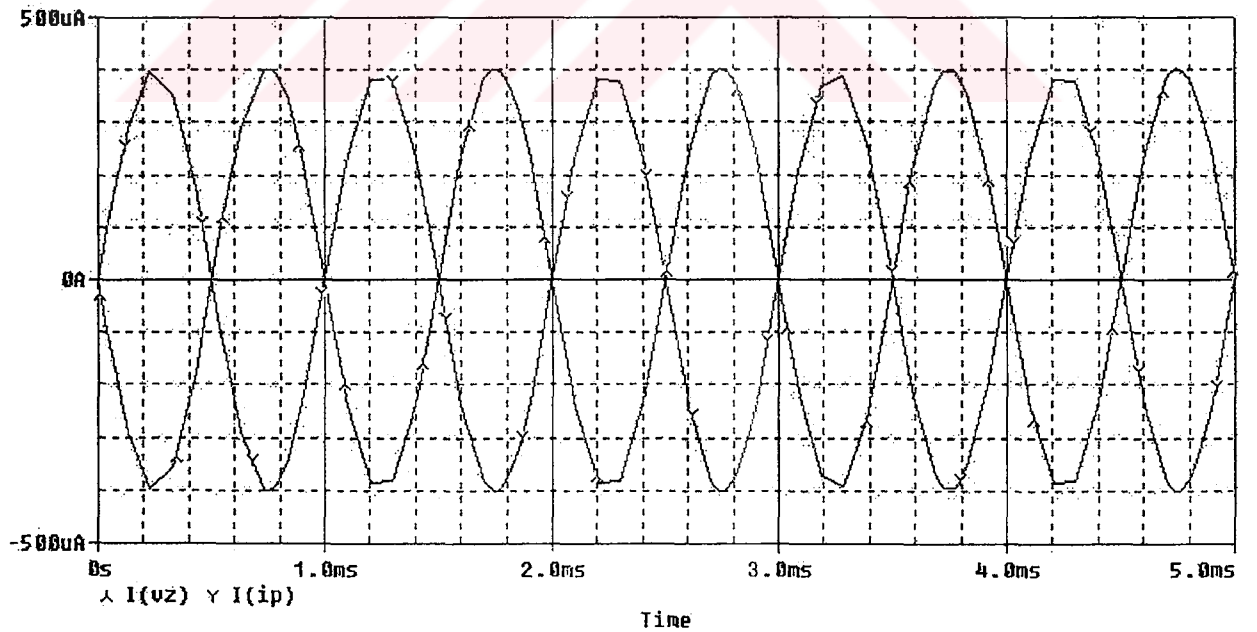
Şekil 4.16'da p terminaline 10KHz'lik sinusoidal, maksimum ve minimum değerleri sırasıyla $400\mu A$ ve $-400\mu A$ olan bir akım uygulanmıştır. İz akımının $400\mu A$ ile $-400\mu A$ arasında sinüzoidal olarak -180° faz farkı ile salındığı gözlemlenmiştir. Şekil 4.17'deki grafikte ise n terminaline değeri $400\mu A$ ve $-400\mu A$ arasında salınan sinüzoidal bir akım kaynağı bağlanmış ve i_z akımı çizdirilmiştir. Görüldüğü gibi sinüzoidal gerilim çıkışın negatif alternansında kırılmıştır. Ayrıca i_n akımı ile i_z akımı arasında -14° 'lik bir faz farkı oluşmuştur.

Şekil 4.16 10KHz'de i_z akımının i_p akımına göre geçici hal analizi

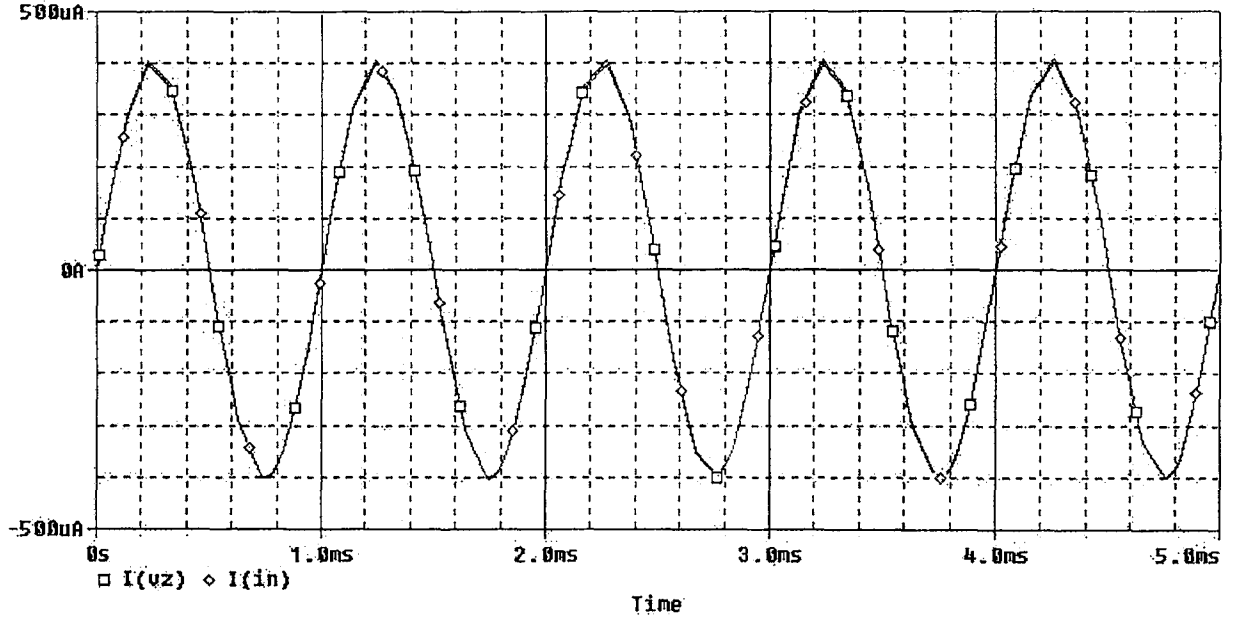


Şekil 4.17 10KHz'de i_z akımının i_n akımına göre geçici hal analizi

Şekil 4.18'de p terminaline 1KHz'lik değeri $400\mu\text{A}$ ve $-400\mu\text{A}$ arasında değişen sinüzoidal bir akım uygulanmıştır. İz akımının $400\mu\text{A}$ ile $-400\mu\text{A}$ arasında sinüzoidal olarak -180° faz farkı ile salındığı gözlemlenmiştir. Şekil 4.19'daki grafikte ise yine n terminaline değeri $400\mu\text{A}$ ve $-400\mu\text{A}$ arasında salınan sinüzoidal bir akım kaynağı bağlanmış ve i_z akımı çizdirilmiştir. 1KHz'de 0° 'lik faz farkının korunduğu gözlemlenmiştir.



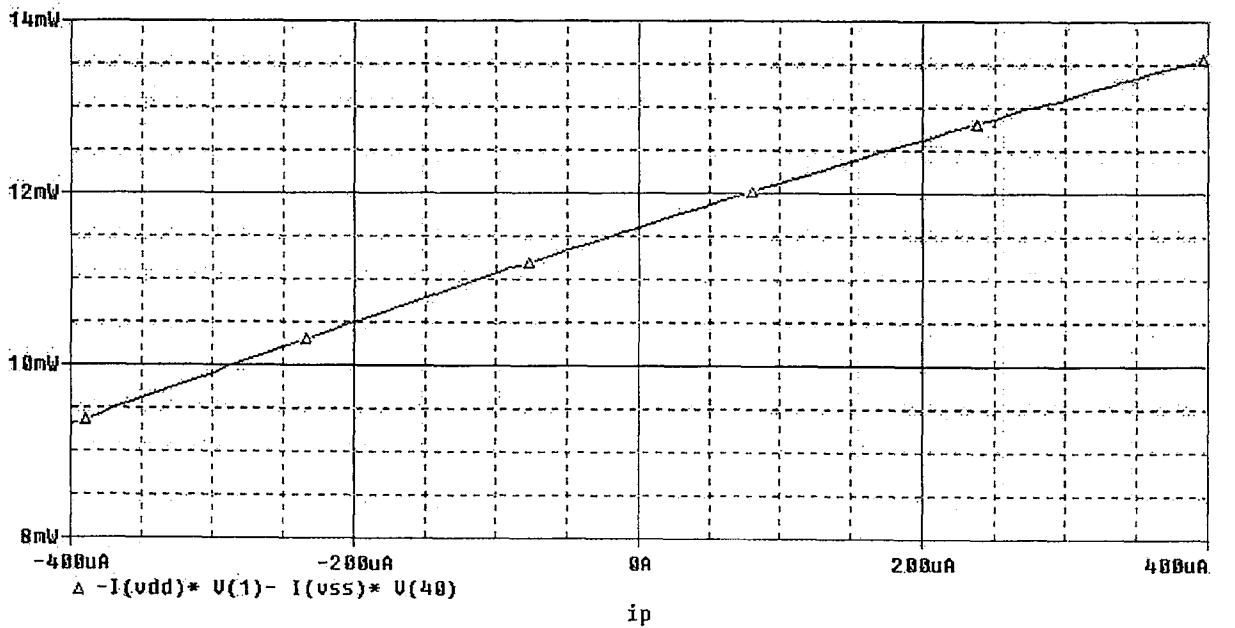
Şekil 4.18 1KHz'de i_z akımının i_p akımına göre geçici hal analiz grafiği



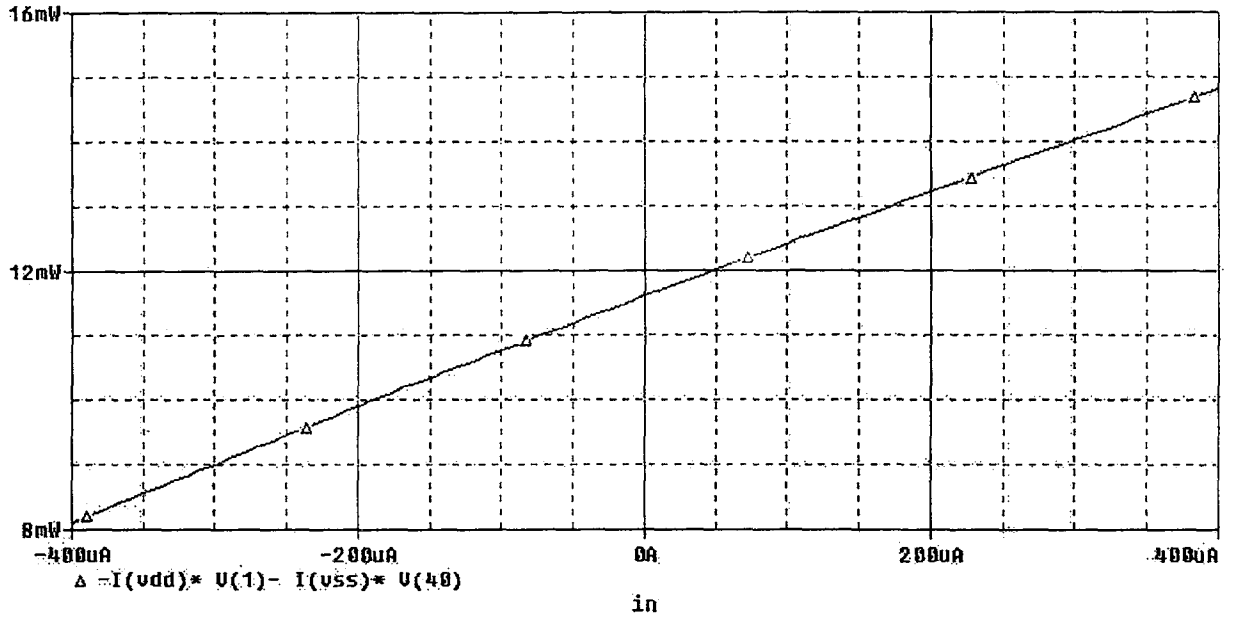
Şekil 4.19 1KHz'de i_z akımının i_n akımına göre geçici hal analiz grafiği

4.1.4 Güç

Düşük besleme gerilimlerinde çalışmanın bir avantajı güç tüketiminin yüksek gerilimli devrelere göre daha az olmasıdır. Güç, besleme kaynaklarından çekilen akım ile besleme gerilimlerinin çarpımına eşittir. Besleme geriliminin düşük olması harcanan gücün de düşmesini sağlamaktadır. Grafikte görüldüğü gibi DCCCS devresinde harcanan güç, i_p ve i_n 'e göre taratılmış ve 10mW'lar mertebesinde olduğu gözlenmiştir.



Şekil 4.20 i_p giriş akımına göre devrede harcanan gücün grafiği



Şekil 4.21 i_n giriş akımına göre devrede harcanan gücün grafiği

4.1.5 Toplam Harmonik Distorsiyon

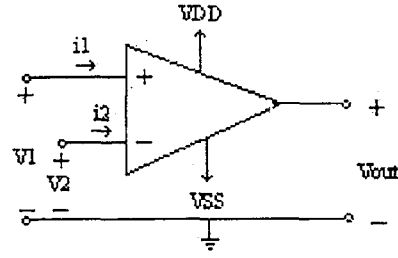
Devrenin toplam harmonik distorsiyonu hesaplanmıştır. Sonuçlar aşağıdaki gibidir.

$i_p=0$ ve n terminaline değeri $-400\mu A$ ile $400\mu A$ arasında değişen 10Khzlik bir işaret uygulanır. Bu durumda i_z akımı için toplam harmonik distorsiyon %0.52 olarak bulunmuştur. 1kHz'lik bir işaret için ise THD %0.46'dır .

Daha sonra $i_n=0$ iken p terminaline değeri $-400\mu A$ ile $400\mu A$ arasında değişen 10Khzlik bir işaret uygulanır. Bu durumda i_z akımının toplam harmonik distorsiyonu %0.43 olarak bulunmuştur. 1kHz'lik işaret için ise THD %0.79'dur.

4.2 İşlemsel Kuvvetlendirici

İşlemsel kuvvetlendiriciler bir çok analog sistemin en önemli parçalarından biridir. Farklı seviyelerde karmaşıklığa sahip işlemsel kuvvetlendiriciler, DC kutuplama gerilimi üretmekten yüksek frekanslarda kuvvetlendirme veya filtreleme fonksiyonlarını gerçekleştirmeye kadar bir çok alanda kullanılır. İşlemsel kuvvetlendiricilerin tasarımı, CMOS teknolojisinin her yeni jenerasyonunda besleme gerilimlerinin ve transistör kanal boylarının düşmesi ile daha da fazla önem kazanmıştır.



Şekil 4.22 Bir işlemsel kuvvetlendiricinin devre şeması

Bir işlemsel kuvvetlendiricinin karakteristik özellikleri şu şekilde formülize edilebilir.

$$v_i = v_1 - v_2 \quad (4.8)$$

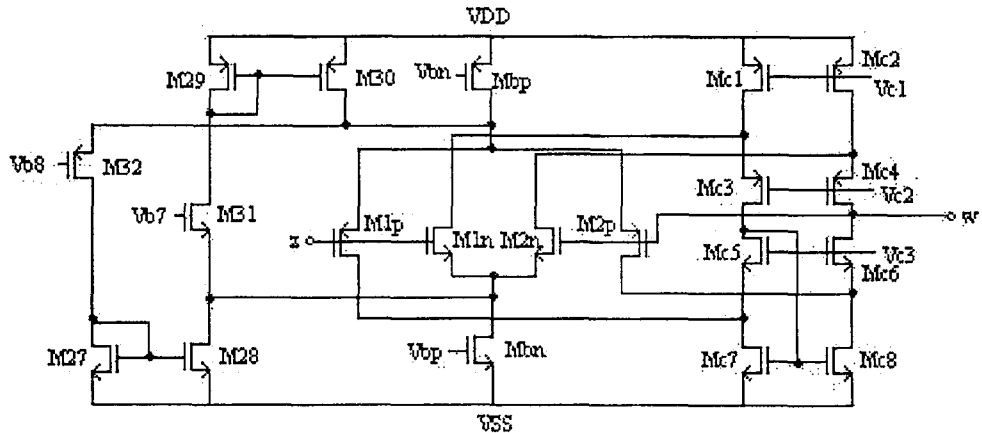
$$i_i = i_1 = -i_2 \quad (4.9)$$

$$v_i = i_i = 0 \quad (4.10)$$

İşlemsel kuvvetlendiriciler yüksek kazançla sahip kuvvetlendiricilerdir. Böylece negatif geri besleme uygulandığında, kapalı çevrim transfer fonksiyonu pratik olarak kazançtan bağımsız olur.

Bu bölümde, sabit geçiş iletkenlikli giriş katına sahip olan ve çıkış katında da push-pull çıkış özelliğine sahip olan bir düşük besleme gerilimli işlemsel kuvvetlendirici tasarlanmıştır. Şekil 4.23'de tezde gerilim izleyicisi olarak kullanılan işlemsel kuvvetlendirici devresi görülmektedir (Sakurai and Ismail, 1995) . Devrede toplam 28 MOS transistör kullanılmıştır.

Şekil 4.23'de görülen devrede giriş katından gelen akımlar toplanarak gerilim modunda çıkış üretilmektedir. Başarım ölçütleri kazanç, faz payı vb. ayrıntılı bir biçimde incelenmiştir.



Şekil 4.23 Birim geri beslemeli işlemsel kuvvetlendiricinin CMOS gerçeğemesi

4.2.1 Sabit Geçiş İletkenlikli Giriş Katı

Giriş katında bipolar transistörler kullanıldığında toplam geçiş iletkenliğini sabit tutmak zor değildir. Çünkü bipolar transistörlerin toplam geçiş iletkenliği kollektör akımı ile doğru orantılıdır. Bu yüzden sadece girişteki transistörlerin akım toplamalarının sabit tutulması yeterli olmaktadır.

MOS transistörler kullanıldığında bu o kadar kolay olmamaktadır. Çünkü kuvvetli evrimde MOS transistörün geçiş iletkenliği savak akımının karekökü ile orantılıdır.

$$g_m = \sqrt{K \cdot I_s} \quad (4.11)$$

burada I_s kuyruk akımına ve $K = \mu \cdot C_{ox} \cdot (W / L)$ eşittir.

4.2.2 Akım Anahtarlama Devre ($\beta_n = \beta_p$)

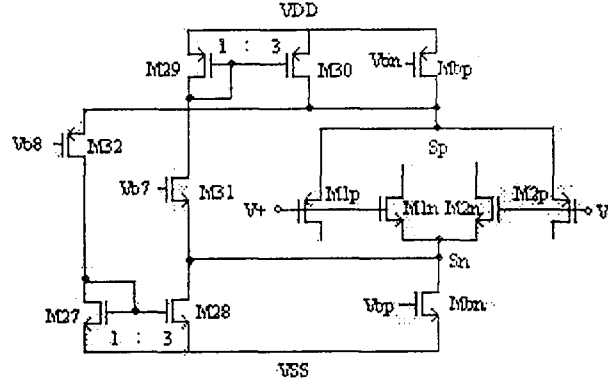
Bu tezde, işlemsel kuvvetlendiricinin giriş katında sabit geçiş iletkenliği sağlayan akım anahtarlama devre kullanılmıştır (Sakurai and Ismail, 1995). n ve p çiftlerinin paralel bağlanması ile oluşan bir giriş katının toplam geçiş iletkenliği

$$g_{mT} = g_{mn} + g_{mp} = \sqrt{2K_n I_n} + \sqrt{2K_p I_p} \quad (4.12)$$

formülü ile verilebilir. i_n ve i_p sabit akım kaynakları ile sürüldüğünde ortak mod giriş aralığı boyunca g_{mT} sabit kalmaz. g_{mT} 'yi sabit tutmak için i_n arttıkça i_p 'nin azalması ve i_p arttığında da i_n 'in azalması gerekir. p ve n transistörlerinin K değerlerinin birbiriyle uyumlu olduğunu varsayarsak

$$g_{mT} = \sqrt{2K} (\sqrt{I_n} + \sqrt{I_p}) \quad (4.13)$$

şeklinde yazabiliriz. Bu yüzden $\sqrt{I_n} + \sqrt{I_p}$ değerinin sabit tutulması yeterli olmaktadır. i_n ve i_p değerlerinin nominal değerlerinde olduğunu varsayarsak akım anahtarları bu akımları sabit tutmak için kullanılabilir.



Şekil 4.24 İşlemsel kuvvetlendiricinin beslemeden beslemeye giriş katı

Şekil 4.24’de bu teknik kullanılarak gerçekleştirilen bir devre görülüyor. Burada M31 ve M32 transistörleri akım anahtarları olarak kullanılmıştır ve bu transistörler V_{b7} ve V_{b8} gerilimleri kullanılarak kutuplanmıştır. Ortak mod girişi orta bölgelerde iken her iki çiftte doyma bölgesinde çalışmaktadır ve akım anahtarları iletimde değildir. ($i_p = i_n = I_{ref}$)

V_{CM} , V_{DD} ’ye yaklaştığında p-diferansiyel çifti kesime girer ve S_p düğümündeki gerilim artar. Bu durumda, M32 transistörünün geçit-kaynak gerilimi artar. Bu durum M32 transistörünü iletime geçirir ve I_{ref} akımı M1p ve M2p yerine M32 üzerinden akar. Bu noktada S_p düğümündeki gerilim giriş geriliminden bağımsız hale gelir. S_n düğümündeki gerilimin artması yüzünden M31 kesimdedir. Bu durumda M29 ve M30’da kesimdedir. 1:3 oranında aynalanmış M27 ve M28 transistörleri sayesinde nMOS giriş çifti üzerinden akan toplam akım $4I_{ref}$ olur. Bu noktada p çifti kesimdedir. Yalnızca n çifti toplam geçiş iletkenliğine katkıda bulunur. Ortak mod giriş geriliminin negatif beslemeye yakın olduğu yerlerde ise tam tersi bir durum geçerlidir.

$$g_{mT} = g_{mp} = (\sqrt{4I_{ref}}) \sqrt{2K} \quad (4.14)$$

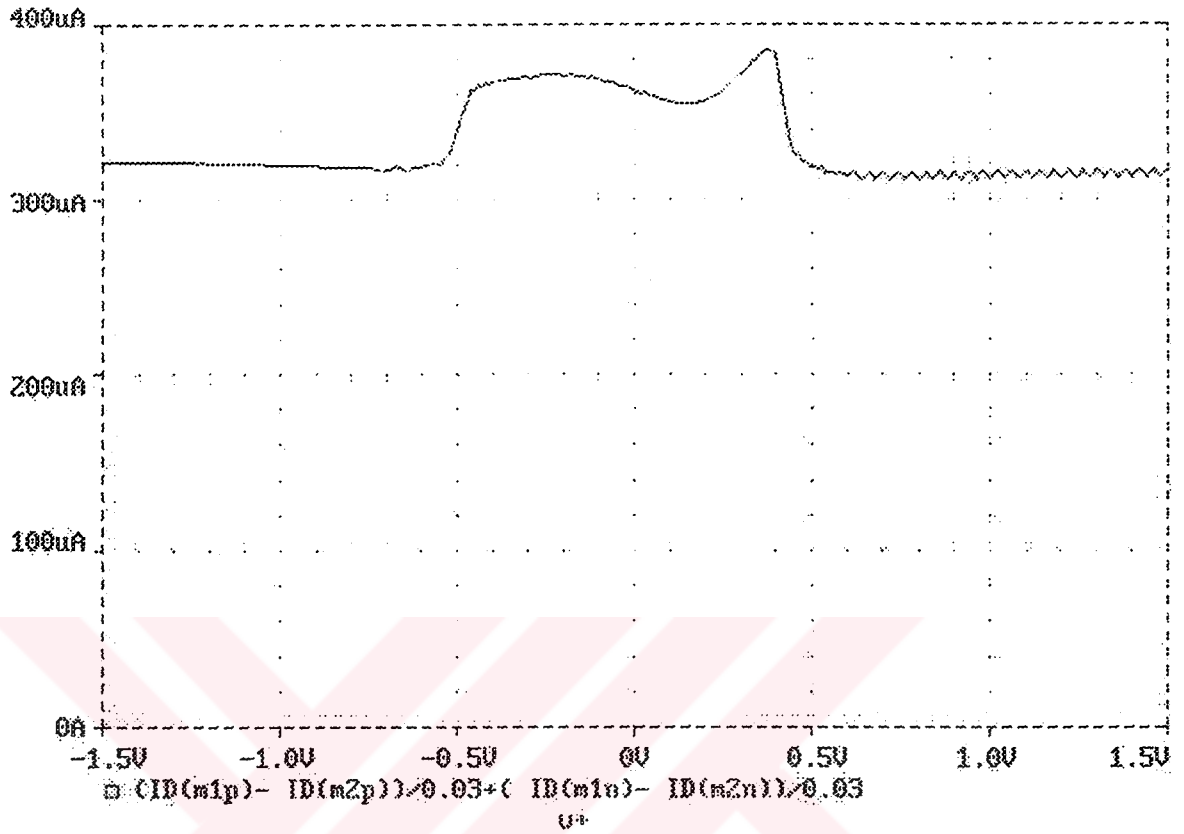
Toplam geçiş iletkenliği bir yada her iki çift çalışırken

$$g_{mT} = \sqrt{8I_{ref}K} \quad (4.15)$$

değerine eşit olur. Anahtarların kutuplama gerilimleri her ikisinin de aynı anda iletimde olmasını önleyecek biçimde seçilmelidir.

Anahtarların açılıp kapanması arasında keskin bir geçiş yoktur. Bu yüzden çiftler bazı bölgelerde I_{ref} ve $4I_{ref}$ arasındaki akımları da akıtırlar. Bu yüzden geçiş iletkenliğini tamamen sabit tutmak imkansızdır.

Sonuç olarak Şekil 4.5’de görüldüğü gibi bir toplam geçiş iletkenliği grafiği elde edilir. Toplam geçiş iletkenliği M31 ve M32 transistörlerinin geçiş bölgelerinde artmaktadır.



Şekil 4.25 Akım anahtarlama devrenin toplam geçiş iletkenliği grafiği

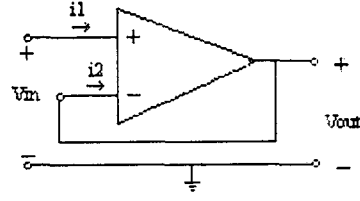
Simülasyonlarda toplam geçiş iletkenliği Denklem 4.16 kullanılarak hesaplanmıştır. Burada diferansiyel çiftlerin girişleri arasında 0.03V’luk bir offset gerilimi olduğu varsayılmıştır.

$$g_{mT} = \frac{\partial I_D}{\partial V_{GS}} = \frac{I_D(M1p) - I_D(M2p) + I_D(M1n) - I_D(M2n)}{0.03} \quad (4.16)$$

Şekil 4.25’deki grafikte g_m değerinin maksimum değeri $385 \mu A/V$ ve minimum değeri de $310 \mu A/V$ ’dur. Sonuç olarak toplam geçiş iletkenliği değişimi yaklaşık olarak %19,4 olan bir devre elde edilmiştir.

4.2.3 İşlemsel Kuvvetlendiricinin Başarım Ölçütleri

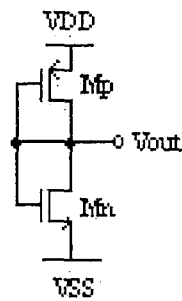
İşlemsel kuvvetlendirici tasarımında önemli olan bazı ölçütler vardır. Bu bölümde Şekil 4.23’de görülen devrenin simülasyonu sonucunda elde edilen bazı başarım ölçütleri verilecektir. CDBA tasarımında gerilim izleyicisi olarak birim geri beslemeli işlemsel kuvvetlendirici kullanılmıştır. Birim geri beslemeli bağlanmış bir işlemsel kuvvetlendirici Şekil 4.26’da görülmektedir.



Şekil 4.26 Birim geri beslemeli işlemsel kuvvetlendirici

Çizelge 4.2 İşlemsel kuvvetlendiricinin transistör boyutları

Transistör	W/L($\mu\text{m}/\mu\text{m}$)
M1n-M2n	21/1.5
M1p-M2p	64/1.5
Mbn	3/3
Mbp	5.5/1.5
M27-M29	15/1.5
M28-M30	45/1.5
M31	75/1.5
M32	225/1.5
Mc1-Mc2	61/1.5
Mc3-Mc4	400/1.5
Mc5-Mc6	135/1.5
Mc7-Mc8	100/1.5



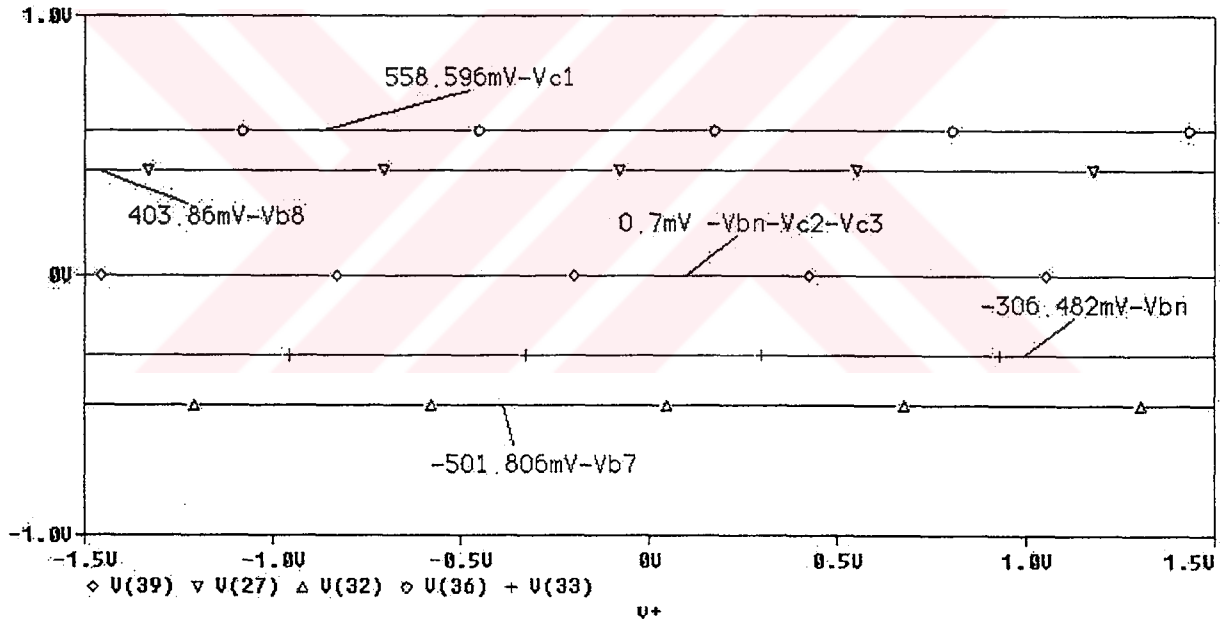
Şekil 4.27 Gerilim kaynağı

Şekil 4.23'de görülen devrenin tasarımı yapılmış ve transistor boyutları ve gerilimler Çizelge 4.1'deki gibi belirlenmiştir.

V_{bp} , V_{bn} , V_{b8} , V_{b7} , V_{c1} , V_{c2} , V_{c3} gerilimleri sırasıyla $-0.3V$, $0V$, $0.4V$, $-0.5V$, $0.5V$, $0V$ ve $0V$ 'dur. Gerilim kaynağı olarak Şekil 4.27 gösterilen devre kullanılmıştır. Bütün gerilim kaynakları için M_p ve M_n transistör boyutları Çizelge 4.3'de verilmiştir.

Çizelge 4.3 Gerilim kaynaklarının transistör boyutları

Gerilim Kaynağı	Transistör Boyutları	
	M_p ($\mu m/\mu m$)	M_n ($\mu m/\mu m$)
V_{bp}	16/1.5	5/1.5
$V_{bn}-V_{c2}-V_{c3}$	10/1.5	5/1.5
V_{b7}	3/1.5	12/1.5
V_{b8}	22/1.5	4/3
V_{c1}	80/1.5	3/1.5



Şekil 4.28 Değişken giriş gerilimine göre gerilim kaynaklarının gerilim grafiği

4.2.3.1 Kazanç

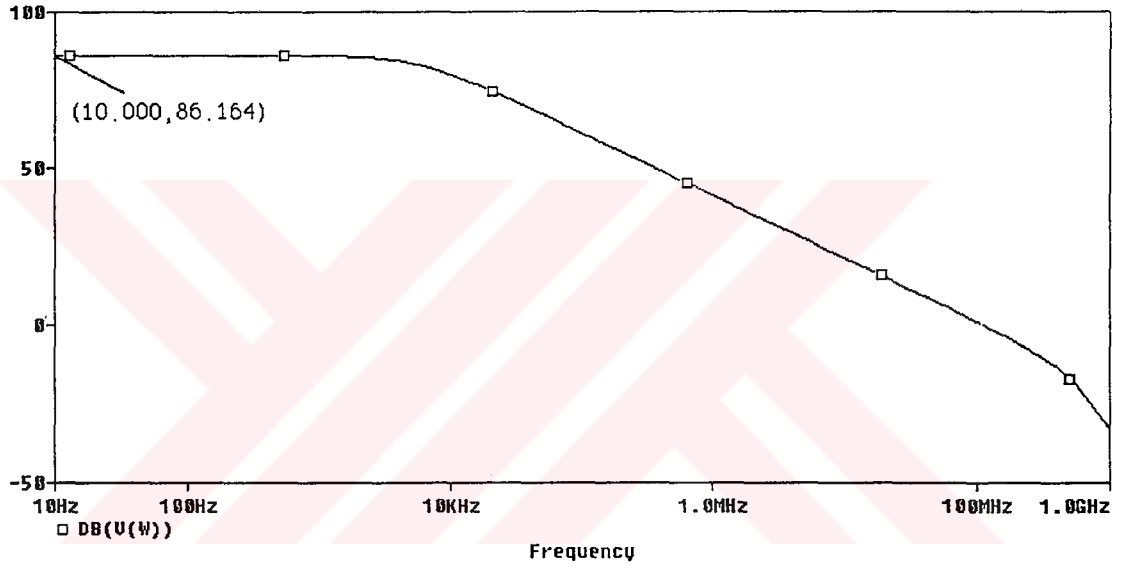
İdeal olarak bir işlemsel kuvvetlendirici sonsuz diferansiyel gerilim kazancı, sonsuz giriş direnci ve sıfır çıkış direncine sahiptir. Gerçekte ise bir işlemsel kuvvetlendirici sadece bu değerlere yakınsar. Birim geri beslemeli olmayan CMOS işlemsel kuvvetlendiricilerin kullanıldığı bir çok uygulamada açık çevrim kazancı 2000 veya daha fazla olan devreler yeterlidir. İdeal olmayan durumda çıkış gerilimi V_{out} şu şekilde belirtilebilir:

$$v_{out} = A_v(v_1 - v_2) \quad (4.17)$$

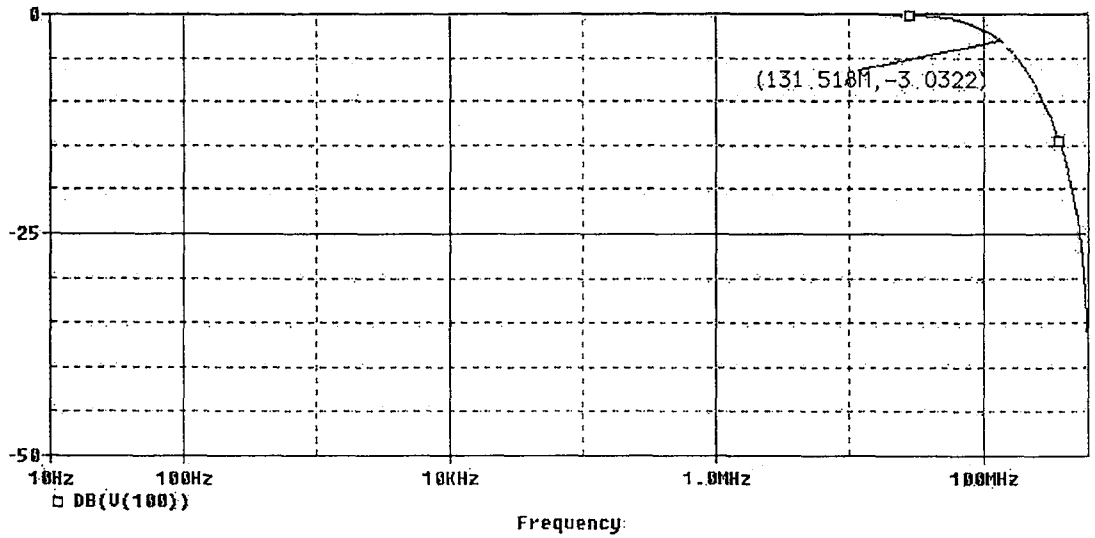
A_v diferansiyel gerilim kazancı, V_1 ve V_2 ise sırasıyla evirmeyen ve eviren giriş terminallerine uygulanan gerilimlerdir.

Eğer bir işlemsel kuvvetlendiricinin kazancı yeterince büyükse giriş portu negatif besleme uygulandığında nullor halini alır. Nullor terminal gerilimleri sıfır olan ve terminalden dışarı doğru ya da içeri doğru akan akımların sıfır olduğu bir terminal çiftidir.

Çıkışa 0.5 pF'lık bir yük kapasitesi bağlanmış ve devrenin AC analizi yapılmıştır. Şekil 4.29'da görüldüğü gibi bu tasarımda 86 dB'lik bir kazanç elde edilmiştir.



Şekil 4.29 İşlemsel kuvvetlendiricinin kazanç grafiği

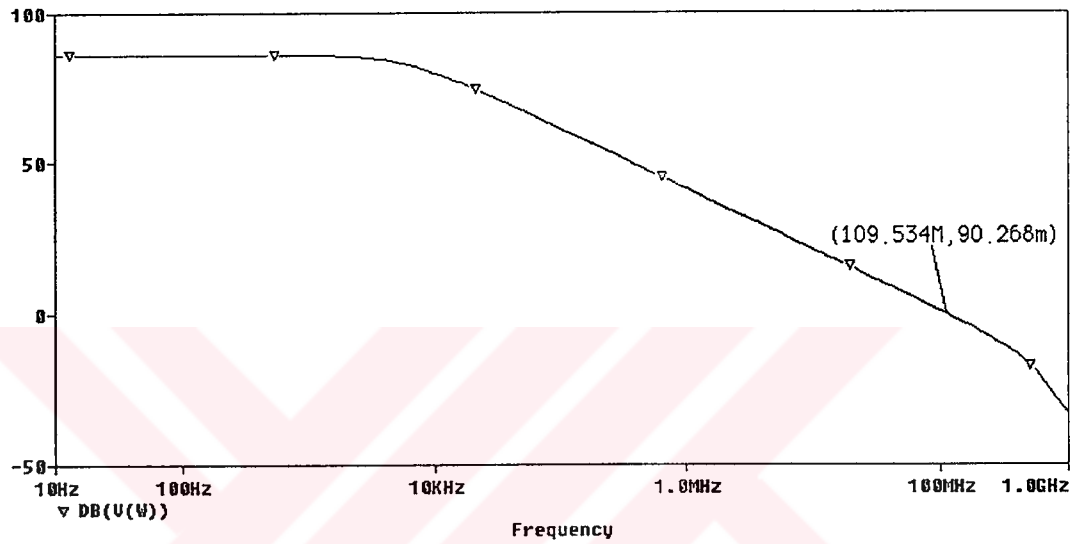


Şekil 4.30 Birim geri beslemeli bağlanmış işlemsel kuvvetlendiricinin kazanç grafiği

Şekil 4.30'da birim geri beslemeli bağlanmış işlemsel kuvvetlendiricinin kazanç karakteristiği görülmektedir. Kazancın -3dB 'e düştüğü nokta 131.5MHz 'dir.

4.2.3.2 Kazanç Band Genişliği

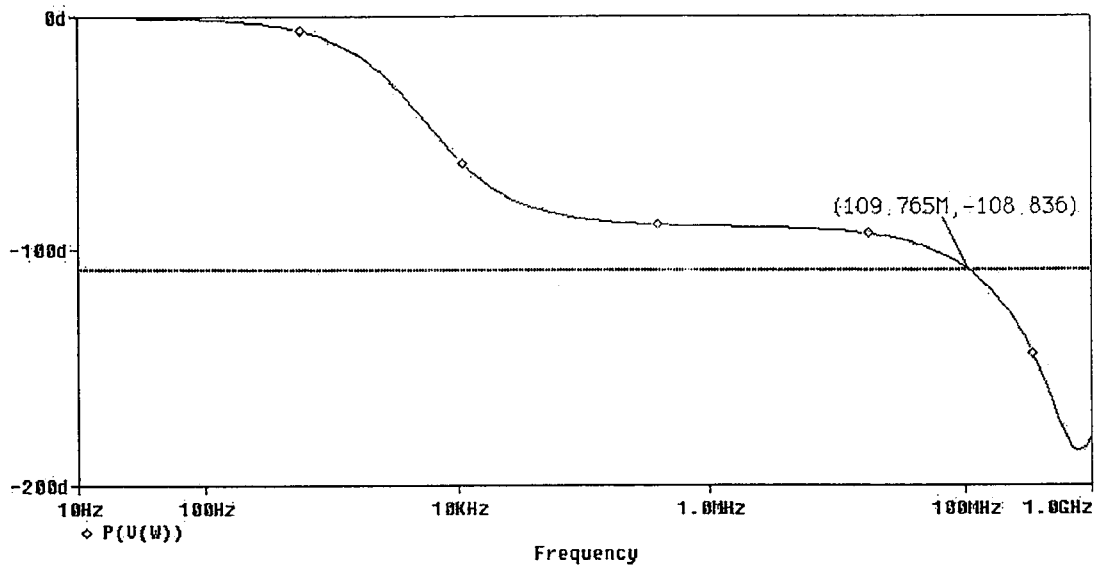
Kazanç band genişliği kazancın 1 (0dB)'e düştüğü noktadaki frekanstır. Simülasyon sonucunda kazanç band genişliği 109.5MHz olarak bulunmuştur. Kazanç-band genişliği çıkışa 0.5pF 'lık kondansatör bağlanarak ölçülmüştür.



Şekil 4.31 İşlemsel kuvvetlendiricinin çıkışın ait kazanç-band genişliği grafiği

4.2.3.3 Faz Payı

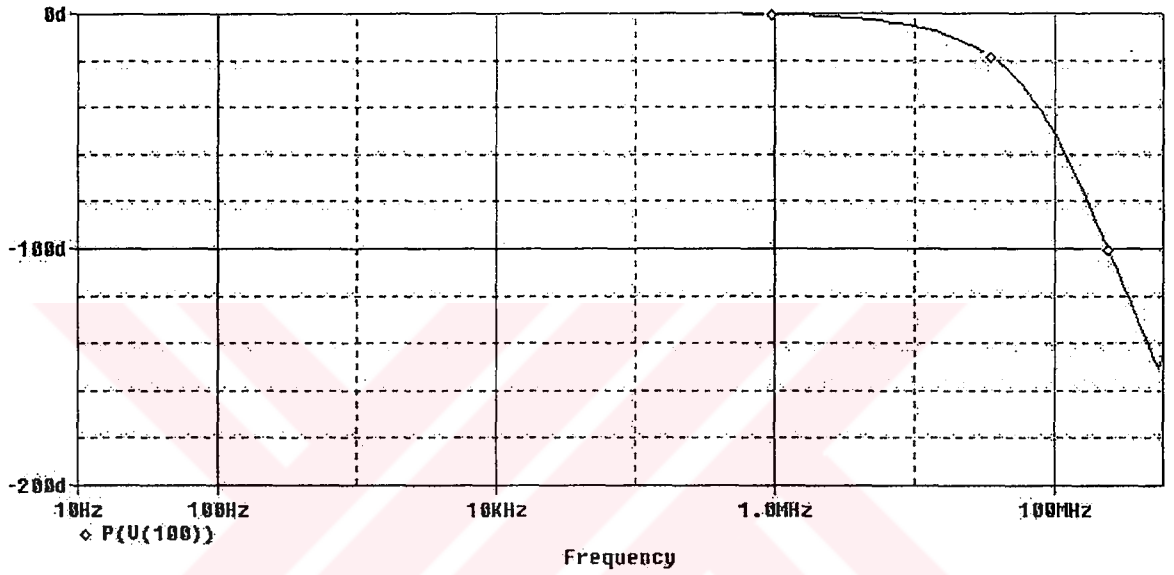
Negatif geri beslemeli bir sistemde kapalı çevrim transfer fonksiyonu Denlem 4.18 gibidir.



Şekil 4.32 İşlemsel kuvvetlendiricinin çıkış düğümüne ait faz grafiği

$$\frac{Y}{X}(s) = \frac{H(s)}{1 + \beta H(s)} \quad (4.18)$$

Eğer $\beta H = -1$ ise kazanç sonsuza gider ve devre osilasyon yapmaya başlar. Kararlılığı sağlamak için βH 'ın fazı -180° olmadan βH birim değerine düşmelidir. 60° 'lik faz payı olan bir sistem kararlıdır diyebiliriz. Daha büyük faz paylarında sistem daha kararlıdır fakat bu sefer devrenin cevap verme zamanı yavaşlar. İşlemsel kuvvetlendirici tasarımında faz payı $180^\circ - 108^\circ = 72^\circ$ olarak bulunmuştur.



Şekil 4.33 Birim geri beslemeli işlemsel kuvvetlendiricinin faz grafiği

Şekil 4.33'de birim geri beslemeli sistemin faz karakteristiği görülmektedir. Beklendiği gibi faz alçak frekanslarda 0° 'dir.

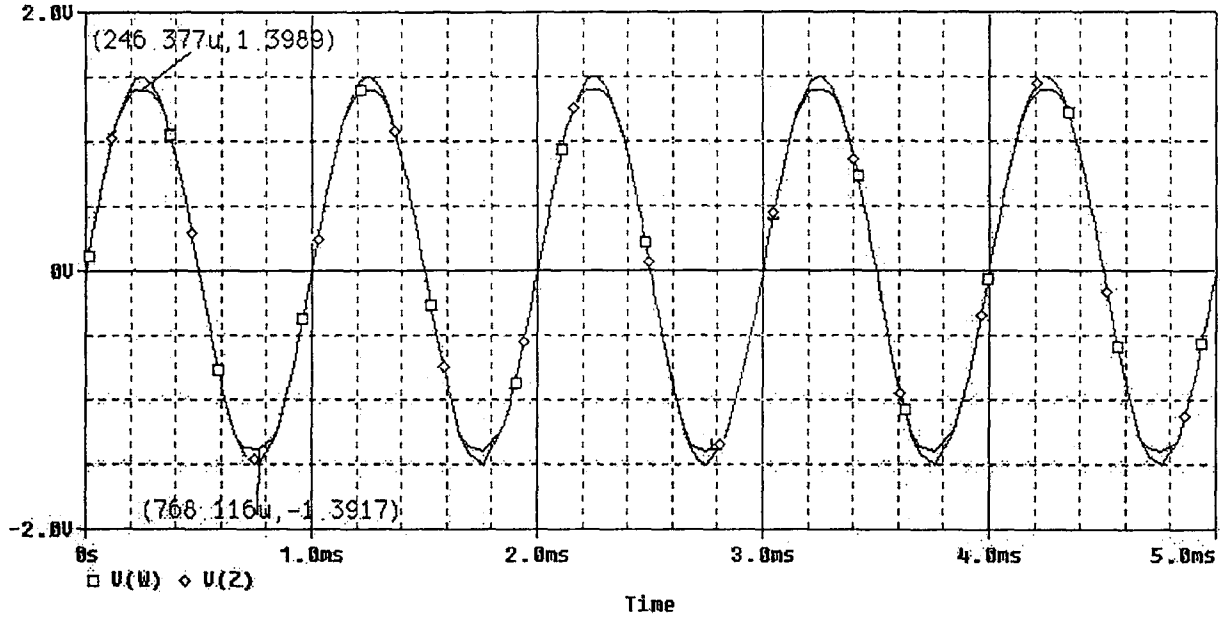
4.2.3.4 Çıkış Salınımı

İçinde işlemsel kuvvetlendirici barındıran bir çok sistem geniş bir işaret genliği aralığına yer vermek için geniş gerilim salınımına izin vermelidir. Şekil 4.34'de birim kazançlı bağlanmış işlemsel kuvvetlendiricinin geçici hal analizi görülmektedir. Burada girişe 1kHz'lik ve beslemeden beslemeye salınan sinüzoidal bir gerilim uygulanmıştır ve çıkış işaretinin $+1.39V$ ile $-1.39V$ arasında salındığı gözlemlenmiştir.

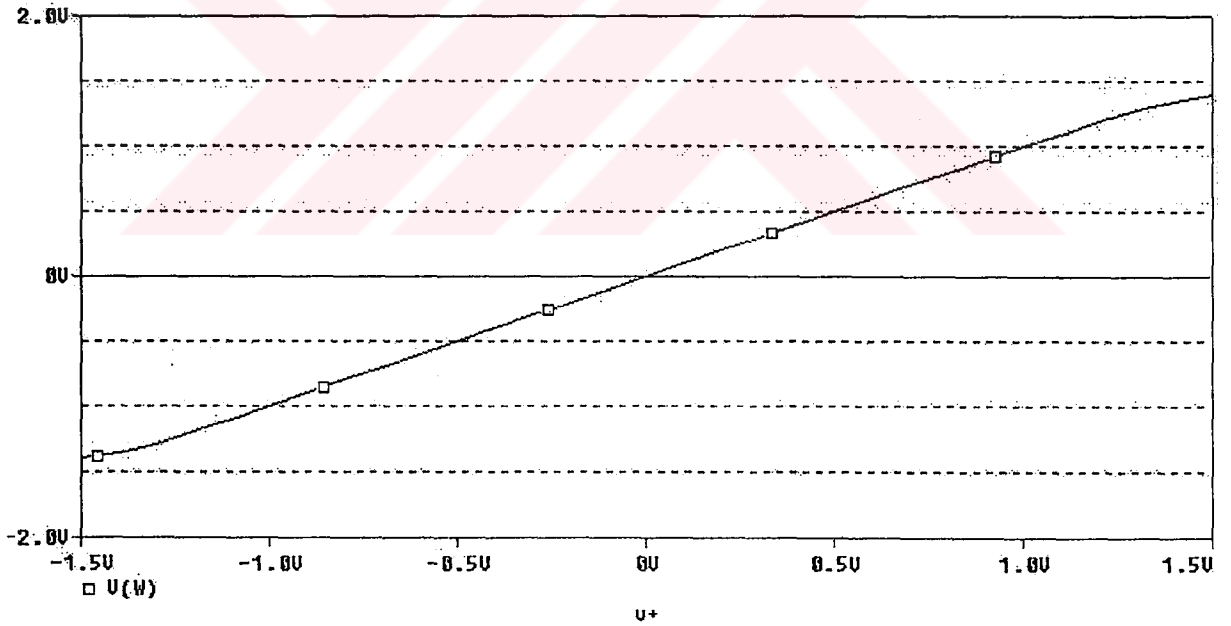
İşlemsel kuvvetlendirici yine birim geri besleme uygulanarak bağlanmış ve dc analiz yapılmıştır. Giriş gerilimi, $+1.5V - 1.5V$ arasında taratılmış ve çıkış gözlemlenmiştir.

Çıkış salınımının sınırlanmasının sebebi çıkış katındaki transistörlerdir. Pozitif alternansta MC2 ve MC4 transistörlerinin V_{DSAT} gerilimleri, negatif alternansta ise MC6 ve MC8

transistörlerinin V_{DSAT} gerilimleri çıkış gerilim salınımının düşmesine neden olur.



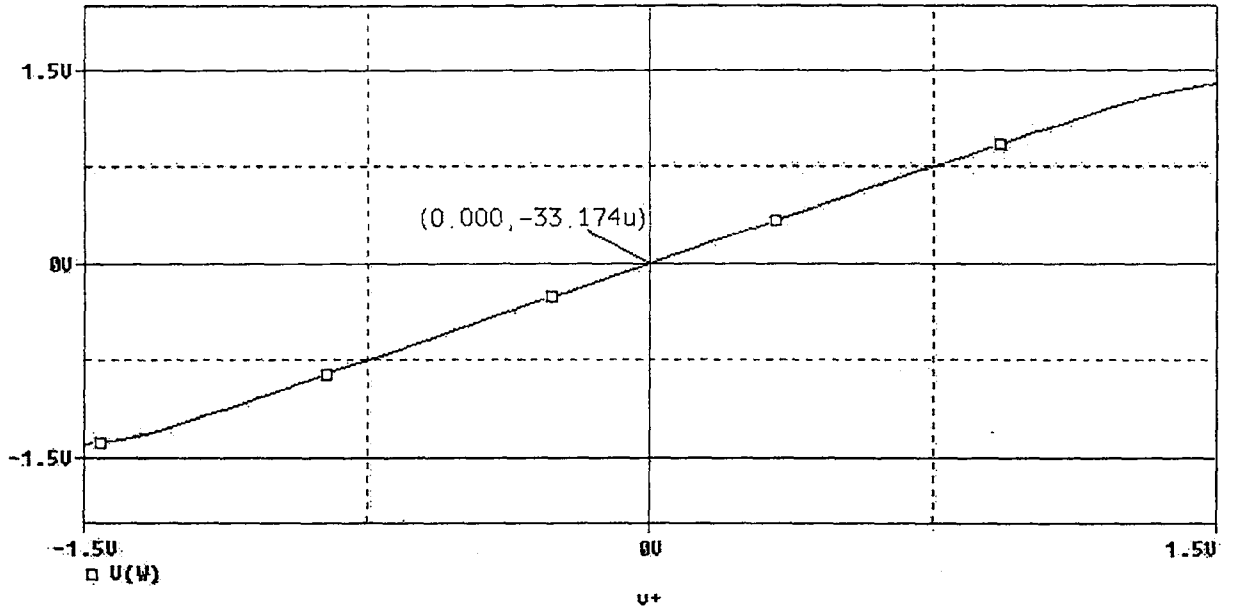
Şekil 4.34 Birim geri beslemeli bağlanmış işlemsel kuvvetlendiricinin geçici hal analizi



Şekil 4.35 İşlemsel kuvvetlendiricinin çıkış salınımı

4.2.3.5 Offset Gerilimi

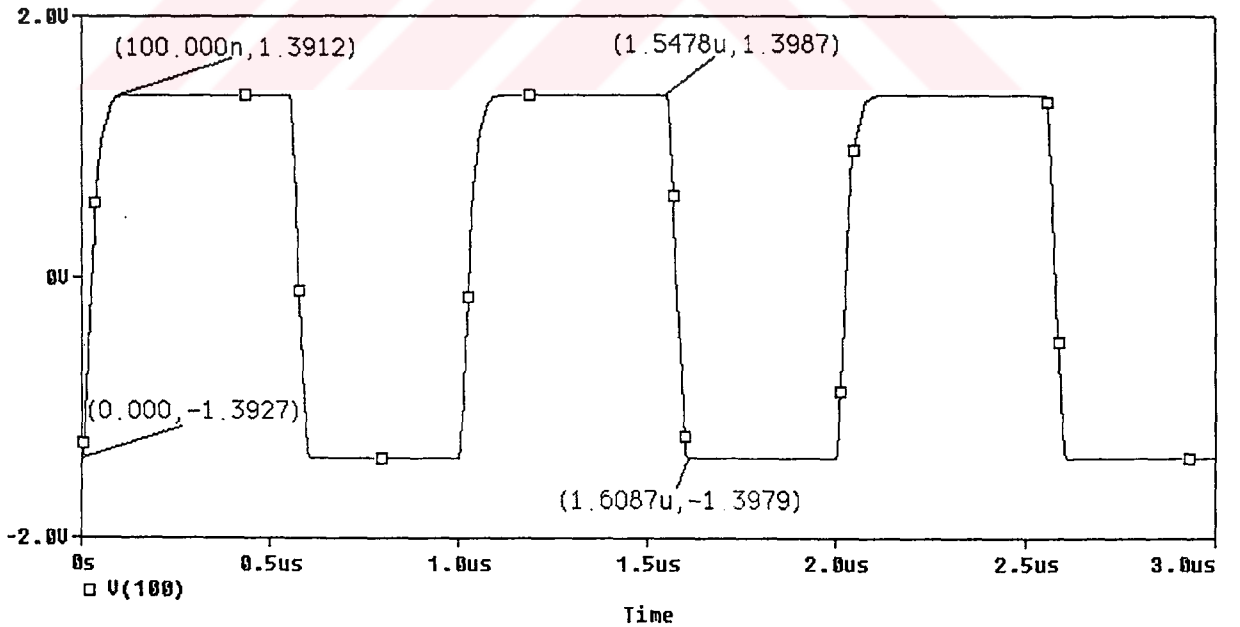
DC giriş-offset gerilimi, birim geri beslemeli konfigürasyon kullanılarak ölçülebilir. Offset gerilimi diferansiyel girişler arasındaki gerilim farkıdır. Offset gerilimi sadece kutuplama uyumsuzluklarından değil, aynı zamanda komponent uyumsuzluklarından da kaynaklanır. Bu devrede DC offset gerilimi giriş 0V iken $-33\mu V$ 'dur.



Şekil 4.36 İşlemsel kuvvetlendiricinin giriş offset gerilimi

4.2.3.6 Yükselme ve Alçalma Eğimleri

Yükselme ve alçalma eğimleri, büyük işaretler açısından hızı sınırlayıcı çok önemli bir parametredir. Yükselme eğimi, çıkış düğümündeki kapasitelerin dolma, alçalma eğimi ise boşalma hızlarına bağlıdır.



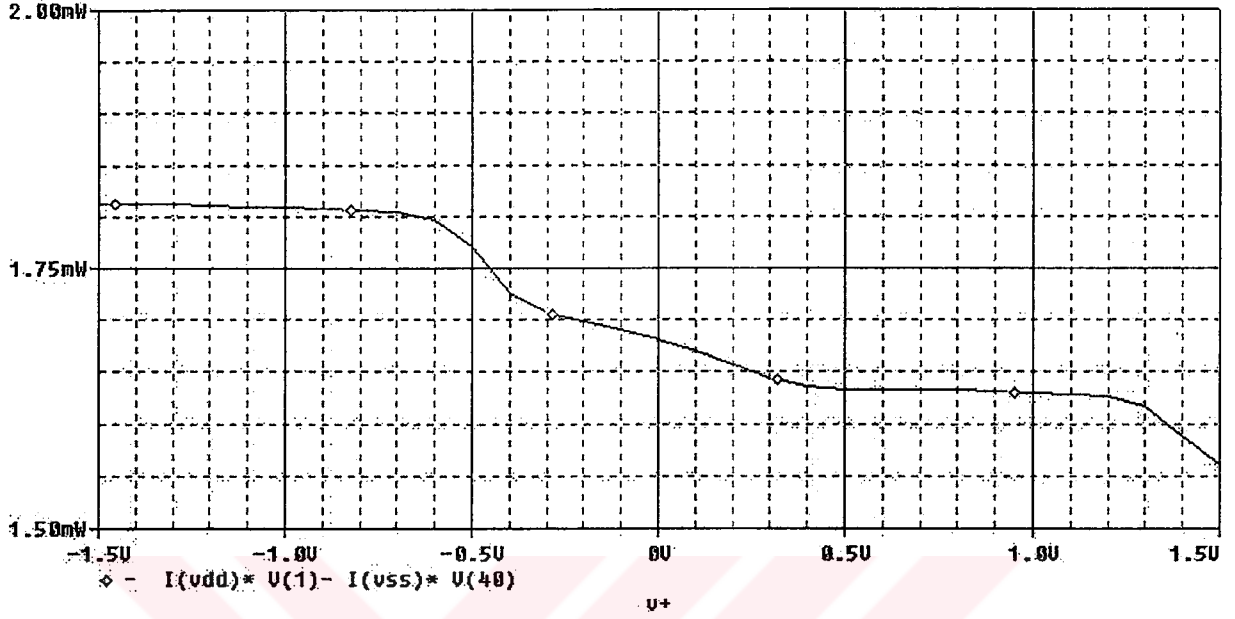
Şekil 4.37 Birim geri beslemeli işlemsel kuvvetlendiricinin 1MHz'lik darbe cevabı

$$SR+ = \frac{1.3912 + 1.3927}{100n} = 27.8V / \mu s \quad SR- = \frac{1.3987 + 1.3979}{1.6087 - 1.5478} = 45.92V / \mu s \quad (4.19)$$

olarak bulunur.

4.2.3.7 Güç

Besleme geriliminin düşük olması harcanan gücün de düşmesini sağlamaktadır. Grafikte görüldüğü gibi işlemsel kuvvetlendiricinin güç tüketimi mW'lar mertebesinde.



Şekil 4.38 İşlemsel kuvvetlendirici devresinde harcanan güç

4.2.3.8 Toplam Harmonik Distorsiyon

Devrenin fourier analizi gerçekleştirilmiş ve w terminalinin gerilimi için 9 harmonik hesaplatılmıştır. Sonuç olarak toplam harmonik distorsiyon 1kHz için %2.46, 10kHz için ise ise %2.58 bulunmuştur.

5. SERİM

CDBA elemanının serimi, Tübitak-Yital 1.5µm poli geçitli CMOS prosesi tasarım kuralları ile gerçekleştirilmiştir. Serimde, L-Edit programı kullanılmıştır.

Son 20 yılda analog CMOS devreler, düşük hız, küçük işaret, yüksek gerilim basit devre topolojilerinden yüksek hız, düşük gerilim ve karmaşık devre yapılarına doğru evrim geçirmiştir. Transistör geometrilerinin küçülmesi transistör hızlarını arttırırken, serimde ideal olmayan durumlar hem hızın azalmasına neden olur hem de bu tür devrelerin doğru çalışmasını engeller.

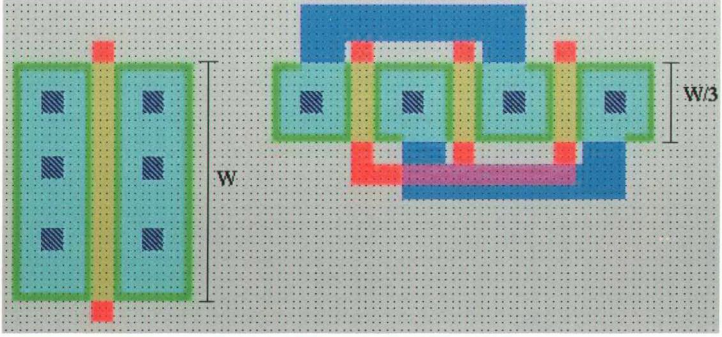
Bir entegre devrenin serimi fabrikasyonu sırasında kullanılacak maskelerin geometrilerini belirler. Bu geometriler, n-kuyu, aktif bölge, polisilisyum, n^+ ve p^+ bölgeleri, kontak pencereleri ve metal tabakalarını içerir.

Serim sırasında dikkat edilmesi gereken bazı hususlar vardır. Örneğin n-kuyu transistörü yeterli bir pay bırakarak çevrelemelidir. Çünkü fabrikasyon sırasında yanlış hizalama transistörün tamamının n-kuyu içinde yer almasını engelleyebilir vb.

5.1 Tasarım Kuralları

Transistörlerin kanal genişlik ve uzunlukları devre tasarımı ile belirlenirken, serim çizimi sırasında uyulacak başka bir çok kural vardır. Üretimi yapılacak her devrenin serim maskesi bir takım geometrik sınırlama ve kurallara uymalıdır. Bu kurallara serim tasarım kuralları denir. Serim tasarım kuralları, genellikle minimum kabul edilebilir genişlikler (metal ve polisilisyum genişlikleri veya difüzyon bölgeleri genişlikleri), minimum eleman boyutları ve iki eleman arası minimum eleman açıklıklarını belirtir. Örneğin bir metal uzantının genişliği dar yapılırsa bu metal uzantı fabrikasyon sırasında kopabilir. Tasarım kurallarının kullanılmasının ana nedeni en dar alanda yüksek kalite ve güvenilirlik elde edebilmektir. Yani üretim kalitesi ve devre yoğunluğu açısından optimum üretim yapılmasını sağlar.

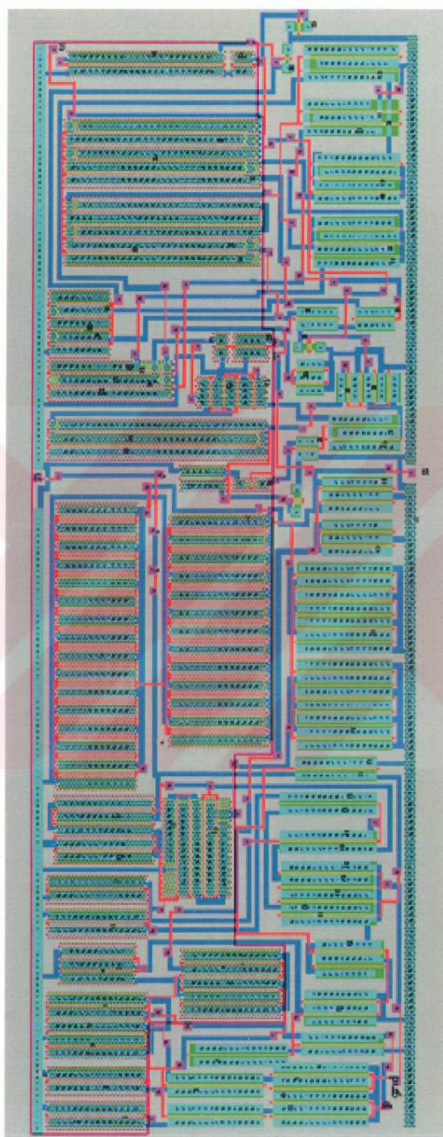
Bu tezde, Şekil 6.1'de görüldüğü gibi serim aşamasında geniş transistörler S/D jonksiyon alanını daraltmak ve geçit direncini azaltmak için katlamalı bir şekilde tasarlanmıştır. Fakat bu durumda transistörün parazitik kapasitesinde belli bir artış gözlenir.



Şekil 5.1 Katlamalı serim tekniği

1.1 CDBA Devresinin Serimi

Şekilde CDBA devresinin serimi görülmektedir. Bu devrenin genişliği $200\mu\text{m}$, uzunluğu ise $586.5\mu\text{m}$ 'dir. Toplam transistör sayısı ise 60'dır.



Şekil 5.2 CDBA devresinin serim

6. POST-SİMÜLASYON

MOSFET transistörler kullanılarak gerçekleştirilen CDBA devresinin simülasyon sonuçları daha önceki bölümlerde verilmişti. Bu bölümde ise post-simülasyon sonuçları verilecektir. Post-simülasyon, devrenin serimi tamamlandıktan sonra yürütülür. Serim tamamlandıktan sonra çıkartım işlemi ile her düğümden toprağa doğru olan parazitik kapasiteler bulunur. Ayrıca çıkartım işlemi devrenin seriminin doğru yapıp yapılmadığını öğrenmek açısından önemlidir. Çünkü transistörlerin boyutları, transistörlerin hangi düğüme bağlı oldukları gibi bilgiler de çıkartım işlemi sonucunda elde edilir. Bu dosya kullanılarak yürütülmüş post-simülasyon sonuçları aşağıdadır.

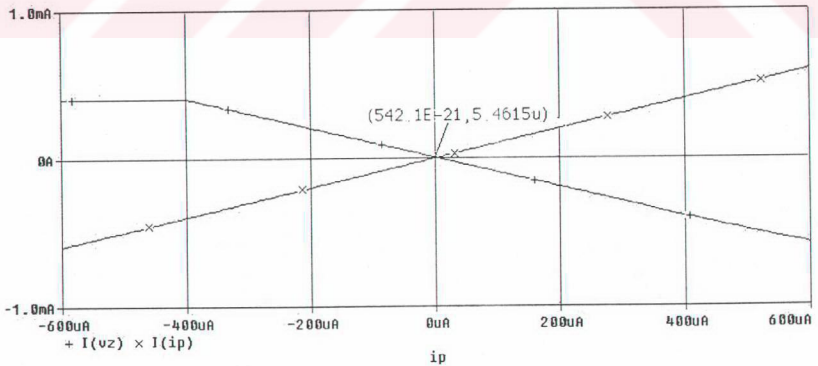
6.1 DCCCS'nin Post Simülasyonu

Bu bölümde DCCCS devresinin DC analiz, kazanç ve faz karakteristikleri, geçici hal analizi, güç ve toplam harmonik distorsiyonu incelenecektir.

6.1.1 DC Analiz

Şekil 6.1'de i_n akımı sıfırken i_z akımı i_p 'ye göre çizdirilmiştir. Görüldüğü gibi çıkış offset akımı yaklaşık olarak $5.46\mu A$ 'dır.

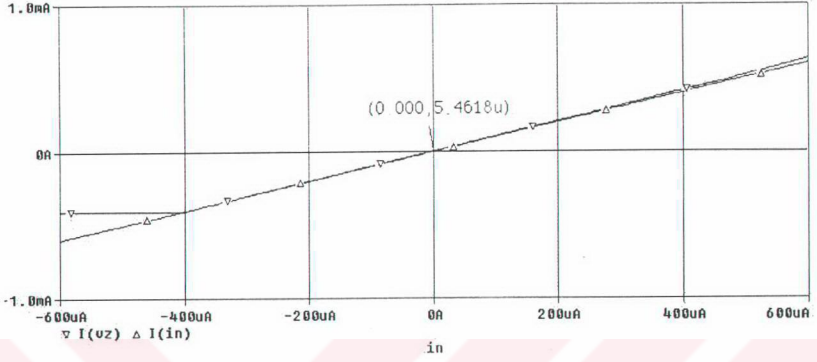
Simetrik olarak alırsak i_z akımı, i_p akımını $-400\mu A < I_z < 400\mu A$ değerleri arasında izler.



Şekil 6.1 i_z akımının i_p akımına göre DC analizi

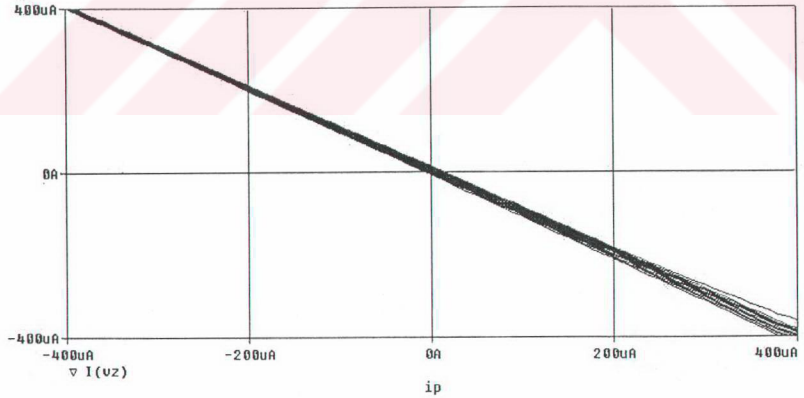
i_p akımı sıfırken i_z akımı i_n akımına göre çizdirilmiştir. Bu grafik Şekil 6.2'de gösterilmektedir. Çıkış offset akımı $5.46\mu A$ 'dır.

Simetrik olarak alırsak i_z akımını, i_n akımını $-400\mu A < I_z < 400\mu A$ değerleri arasında izler.



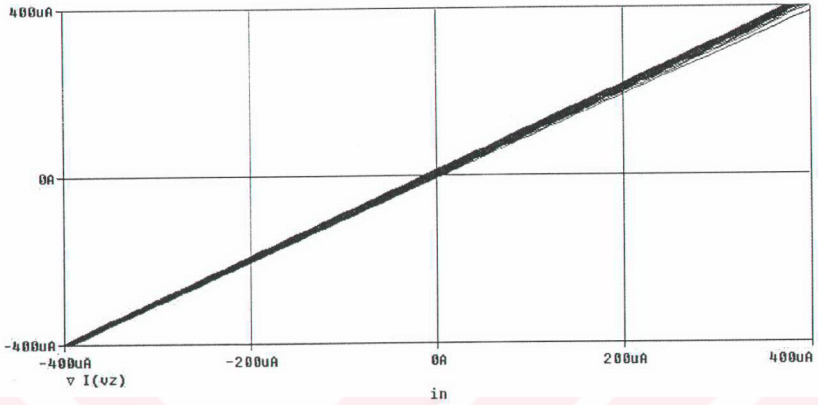
Şekil 6.2 i_z akımının i_n akımına göre DC analizi

Z terminaline bir gerilim kaynağı bağlanmış ve değeri $-1V$ ile $+1V$ arasında değiştirilerek taratılmıştır. Sonuç olarak Şekil 6.3'de görüldüğü gibi $v_z > -0.9V$ değerlerinde i_z akımının doğrusallığının bozulmadığı ve i_p akımını izlediği gözlenmiştir.



Şekil 6.3 v_z geriliminin değişen değerleri için i_z akımının i_p akımına göre DC analizi

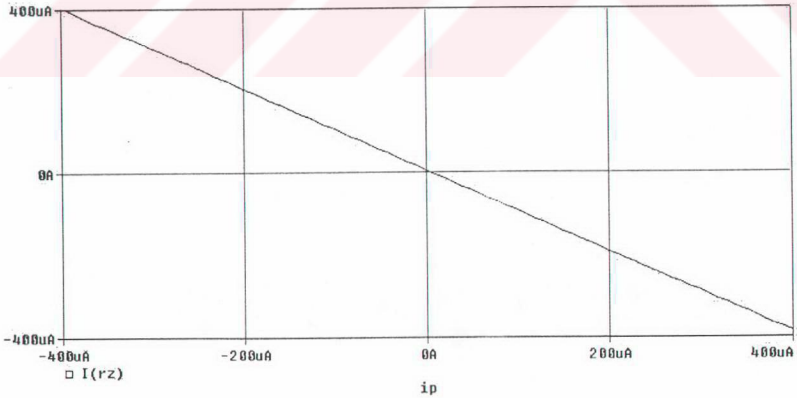
Aynı şekilde, Z terminaline bir gerilim kaynağı bağlanmış ve değeri $-1V$ ile $+1V$ arasında değiştirilerek taratılmıştır. Sonuç olarak Şekil 6.4'de görüldüğü gibi $v_z < 0.8V$ değerlerinde i_z akımının doğrusallığının bozulmadığı ve i_n akımını izlediği gözlenmiştir.



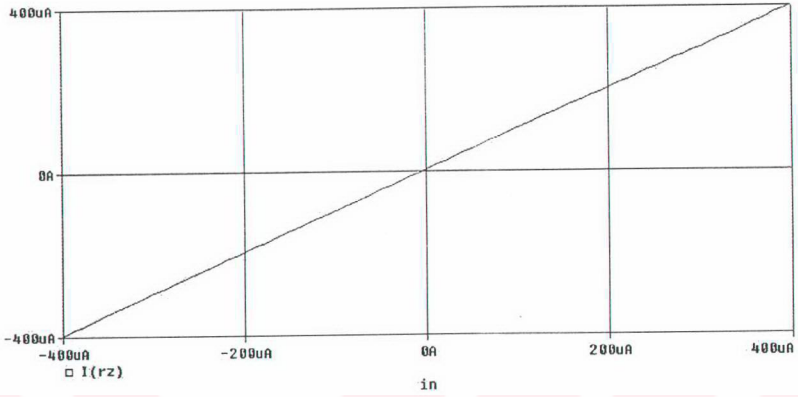
Şekil 6.4 v_z geriliminin değişen değerleri için i_z akımının i_n akımına göre DC analizi

Sonuç olarak DCCCS devresi v_z geriliminin $-0.9 < v_z < 0.8$ arasında değişen bölgelerinde düzgün olarak çalışır.

Şekil 6.5’de z terminaline $2k\Omega$ ’luk direnç bağlanmış ve i_z akımı incelenmiştir. Görüldüğü gibi $2k\Omega$ ’luk direnç için i_z akımı, i_p ve i_n ’i doğrusal olarak izlemektedir.



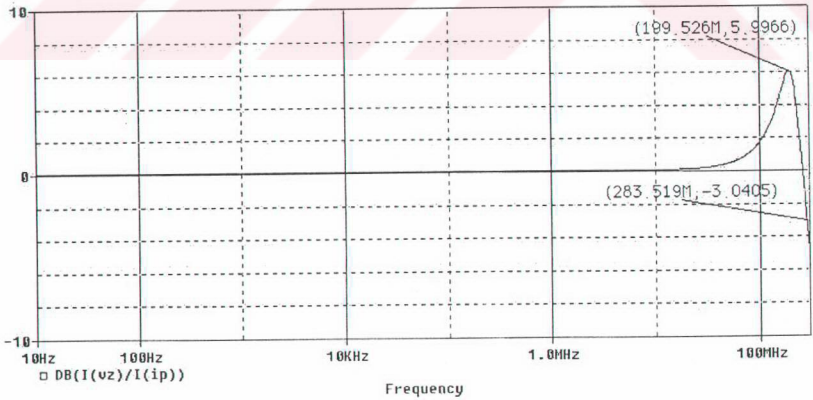
Şekil 6.5 $R_z=2K\Omega$ için i_z akımının i_p akımına göre DC analizi



Şekil 6.6 $R_z=2K\Omega$ için i_z akımının i_n akımına göre DC analizi

6.1.2 Kazanç ve Faz Karakteristikleri

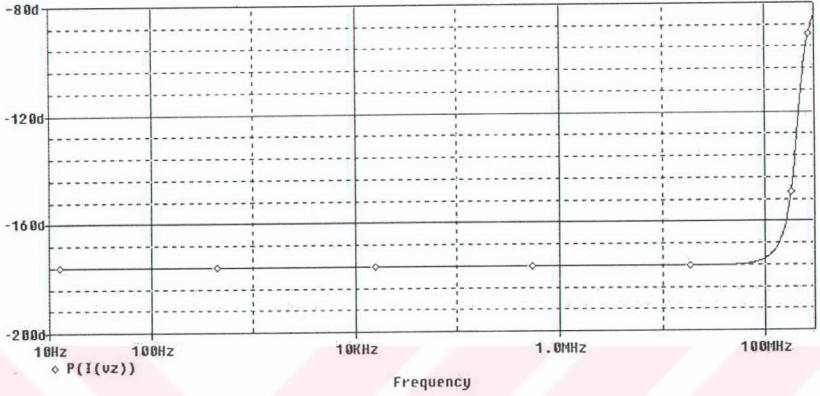
Şekil 6.7 ve Şekil 6.8'de i_z / i_p 'nin kazanç ve faz karakteristikleri görülmektedir. Görüldüğü gibi band genişliği 283.5MHz'dir ve i_z / i_p grafiğinde 199.5MHz'de 6dB'lik bir artış gözlenmektedir.



Şekil 6.7 i_z/i_p 'nin kazanç grafiği

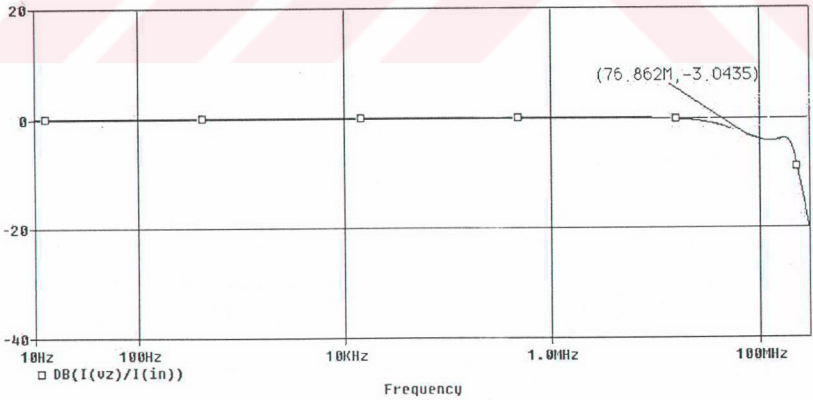
Faz karakteristiği ise yaklaşık olarak 100MHz'e kadar 180° 'dir. Daha sonra ise artış

göstermiştir.

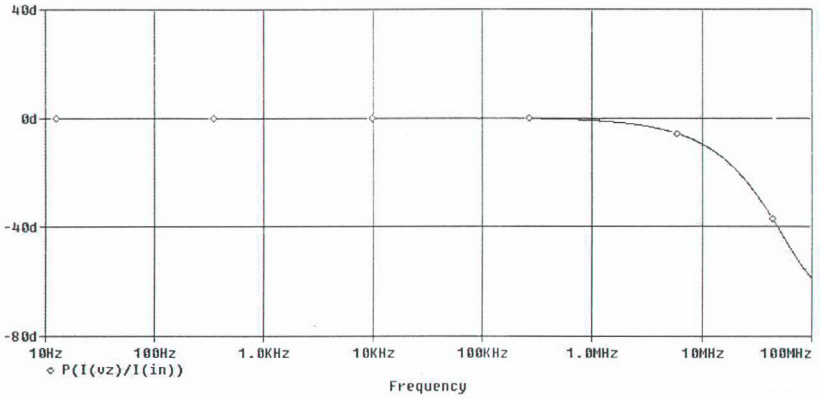


Şekil 6.8 i_z/i_p 'nin faz grafiği

Şekil 6.9 ve 6.10'da i_z / i_n 'nin kazanç ve faz karakteristikleri görülmektedir. Kazanç karakteristiğinde i_z / i_n 'in kazancı yaklaşık olarak 10MHz'e kadar 0dB'dir. Daha sonra azalma göstermiştir. Band genişliği ise 76.8MHz'dir.



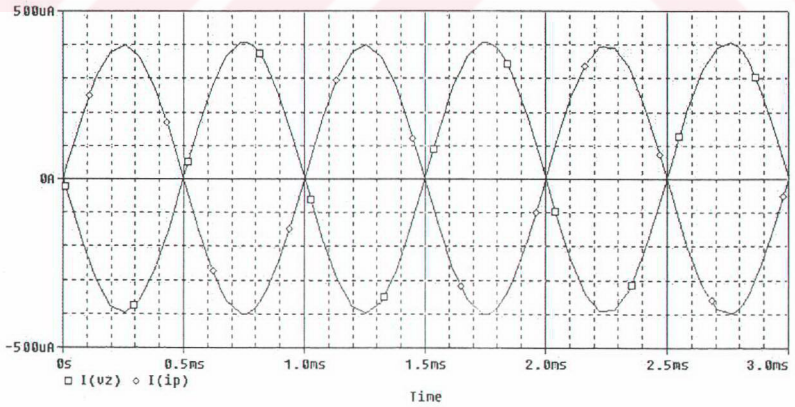
Şekil 6.9 i_z / i_n 'nin kazanç grafiği



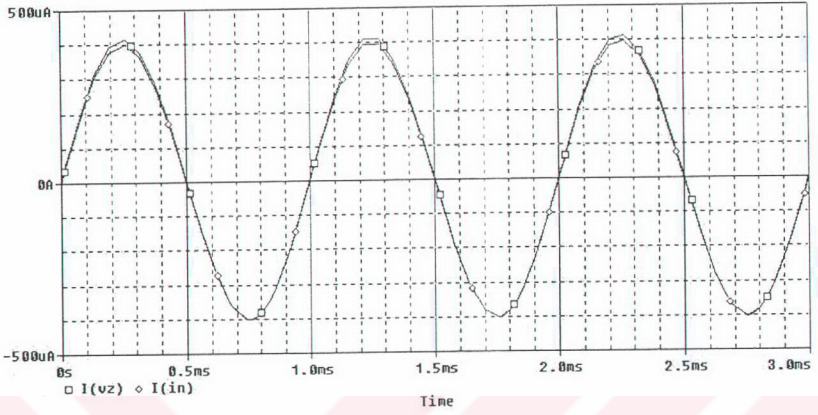
Şekil 6.10 i_z/i_n 'nin faz grafiği

6.1.3 Çıkış Salınımı

Şekil 6.11'de p terminaline 1KHz'lik sinüzoidal, 400 μ A ve -400 μ A değerleri arasında salınan bir akım uygulanmıştır. İz akımının 400 μ A ile -400 μ A arasında sinüzoidal olarak 180° faz farkı ile salındığı gözlemlenmiştir. Şekil 6.12'deki grafikte ise n terminaline değeri 400 μ A ve -400 μ A arasında salınan sinüzoidal bir akım kaynağı bağlanmış ve i_z akımı çizdirilmiştir. 1KHz'de 0°'lik faz farkının korunduğu gözlemlenmiştir.



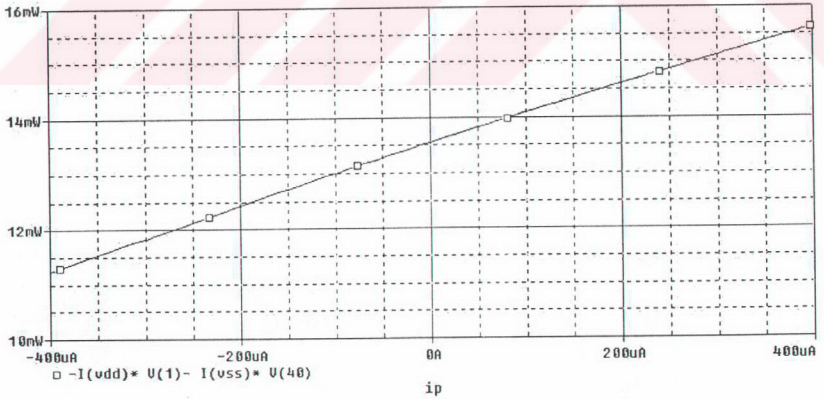
Şekil 6.11 i_z akımının i_p akımına göre geçici hal analizi



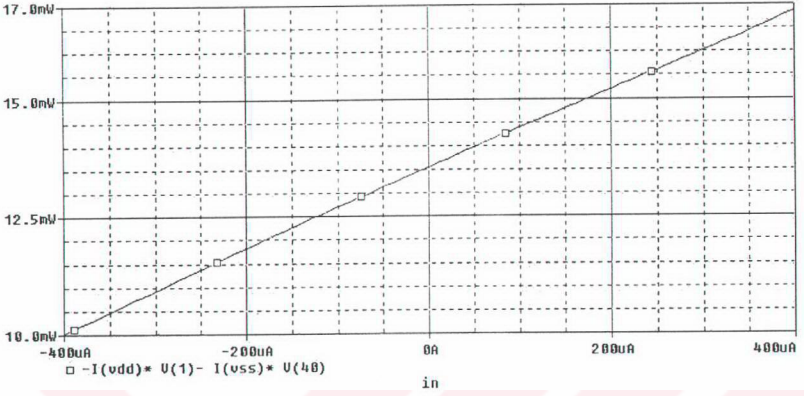
Şekil 6.12 i_z akımının i_n akımına göre geçici hal analizi

6.1.4 Güç

Grafikte görüldüğü gibi DCCCS devresinde harcanan güç, i_p ve i_n 'e göre taratılmış ve 10mW'lar mertebesinde olduğu gözlenmiştir.



Şekil 6.13 DCCCS devresinde harcanan gücün i_p akımına göre grafiği



Şekil 6.14 DCCCS devresinde harcanan gücün i_n akımına göre grafiği

6.1.5 Toplam Harmonik Distorsiyon

Devrede i_z çıkışına ilişkin toplam harmonik distorsiyon hesaplanmıştır. Sonuçlar aşağıdaki gibidir.

$i_p=0$ ve i_n terminaline değeri $-400\mu A$ ile $400\mu A$ arasında değişen $1KHz$ 'lik işaret uygulanmıştır. Toplam harmonik distorsiyon, $\%4.891986E-01$ olarak bulunmuştur.

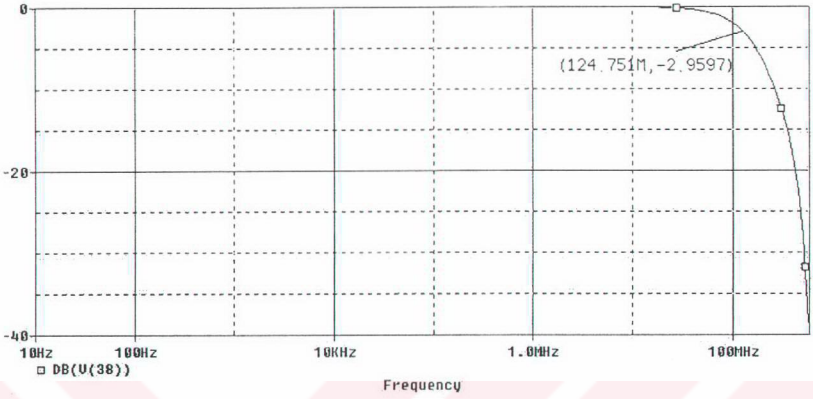
$i_p=0$ ve i_n terminaline değeri $-400\mu A$ ile $400\mu A$ arasında değişen $1KHz$ 'lik işaret uygulanmıştır. Toplam harmonik distorsiyon $\%5.593141E-01$ olarak bulunmuştur.

6.2 İşlemsel Kuvvetlendiricinin Post-Simülasyonu

Bu bölümde birim geri beslemeli olarak bağlanmış işlemsel kuvvetlendiricinin DC analiz, kazanç ve faz karakteristikleri, geçici hal analizi, güç ve toplam harmonik distorsiyonu incelenecektir. Simülasyonlarda çıkışa değeri $0.5pF$ olan bir kapasitif yük bağlanmıştır.

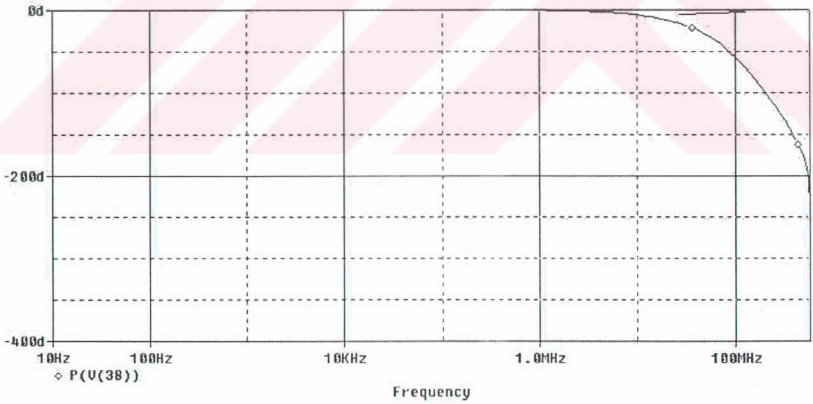
6.2.1 Kazanç Ve Faz Karakteristiği

Birim geri beslemeli bir şekilde bağlanan işlemsel kuvvetlendiricinin kazanç karakteristiği Şekil 6.15'de görülmektedir. Kazancın $-3 dB$ 'e düştüğü nokta $124MHz$ 'dir.



Şekil 6.15 Birim geri beslemeli işlemsel kuvvetlendiricinin kazanç grafiği

İşlemsel kuvvetlendiricinin faz karakteristiği Şekil 6.16'da görülmektedir. Beklendiği gibi alçak frekanslarda faz 0° 'dir.

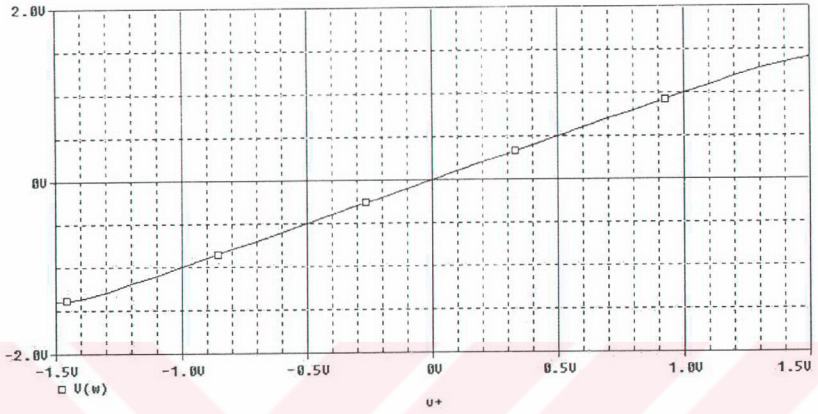


Şekil 6.16 Birim geri beslemeli işlemsel kuvvetlendiricinin faz grafiği

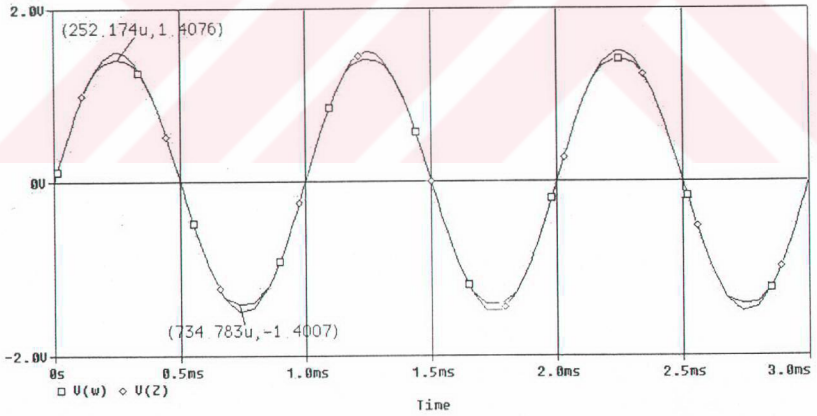
6.2.2 Çıkış Salınımı

Birim geri beslemeli işlemsel kuvvetlendiricide $-1.5V < v_z < 1.5V$ aralığı için işlemsel kuvvetlendiricinin çıkışı, girişi $-1.32V < v_z < 1.26V$ aralığında doğru ve doğrusal bir biçimde izlemektedir. Geçici hal analizinde ise girişe 1.5V ve -1.5V arasında salınan bir sinüzoidal

gerilim uygulanmıştır. Çıkışın 1.4 ile -1.4 arasında salındığı gözlemlenmiştir.



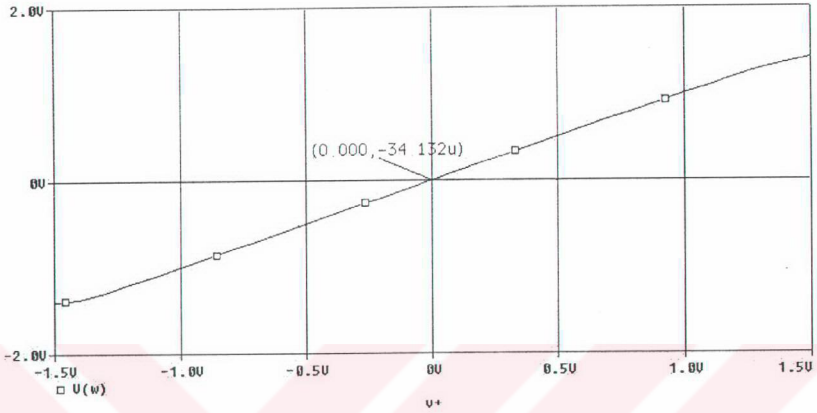
Şekil 6.17 Birim geri beslemeli işlemsel kuvvetlendiricinin giriş gerilimine göre çıkış cevabı



Şekil 6.18 Birim geri beslemeli işlemsel kuvvetlendiricinin çıkış salınımı

6.2.3 Offset Gerilimi

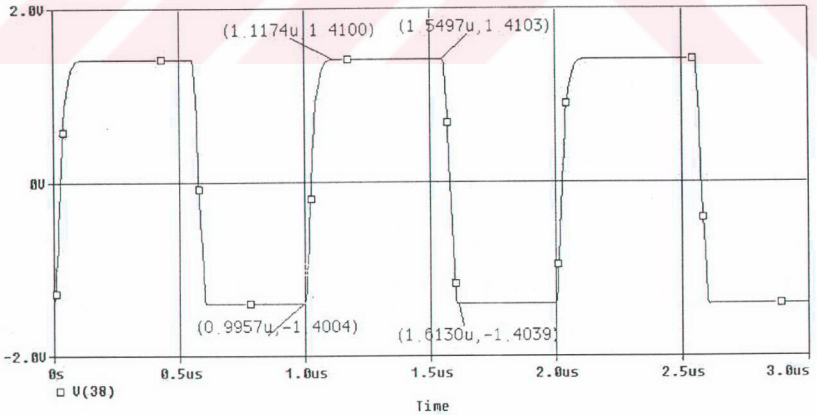
Offset gerilimi diferansiyel girişler arasındaki gerilim farkıdır. Devrede giriş 0V iken offset gerilimi ölçülmüştür ve yaklaşık olarak $-34\mu\text{V}$ olarak bulunmuştur.



Şekil 6.19 Offset gerilimi

6.2.4 Yükselme ve Alçalma Eğimleri

Yükselme ve alçalma eğimlerinin devrenin hızını sınırlayan önemli parametreler olduğu daha önceki bölümlerde açıklanmıştır.



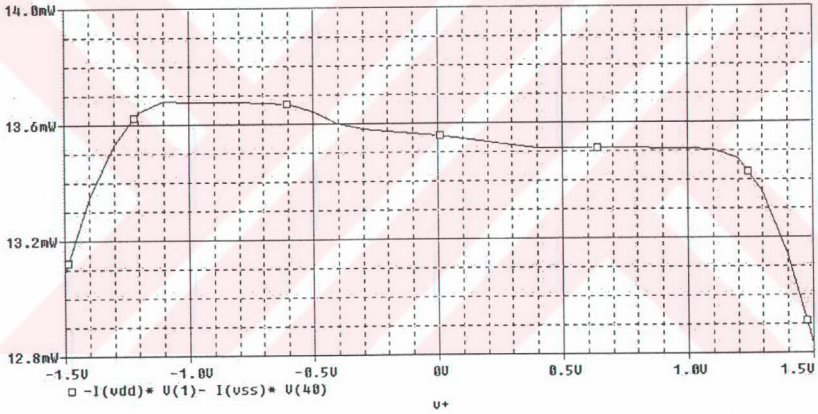
Şekil 6.20 Birim geri beslemeli işlemsel kuvvetlendiricinin darbe cevabı

$$SR+ = \frac{1.41 + 1.4004}{(1.1174 - 0.9957)\mu} = 26.945V / \mu s \quad SR- = \frac{1.4103 + 1.4039}{(1.6130 - 1.5497)\mu} = 44.45V / \mu s \quad (6.1)$$

Post-simülasyonda yükselme eğimi 26.945V/μs ve alçalma eğimi de 44.45V/μs olarak bulunmuştur.

6.2.5 Güç

Giriş gerilimine göre devrede harcanan güç grafiği Şekil 6.21'de görülmektedir. Görüldüğü gibi devrede harcanan güç 13mW civarındır. Devreye parazitik kondansatörler girmeden önce güç tüketimi daha azdı. Fakat post-simülasyonda devreye parazitik kapasitelerin girmesiyle beraber harcanan güçte artış göstermiştir.



Şekil 6.21 Ortak mod giriş gerilimine göre işlemsel kuvvetlendiricide harcanan güç

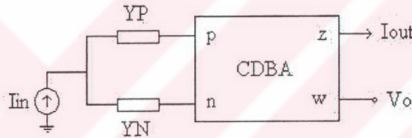
6.2.6 Toplam Harmonik Distorsiyon

Devrenin fourier analizi gerçekleştirilmiş ve w terminalinin gerilimi için 9 harmonik hesaplatılmıştır. Sonuç olarak toplam harmonik distorsiyon 1kHz için %2.239 olarak bulunmuştur.

7. FİLTRE UYGULAMALARI

Tüm geçiren filtreler analog işaret işlemede sıkça kullanılan sistemlerdir. Tüm geçiren filtrelerde, giriş işaretinin kazancı sabit tutulurken fazı değiştirilir. Bandgenişliği sınırlamasını ortadan kaldırmak için işlemsel kuvvetlendiriciler veya değişik tipteki aktif elemanlar kullanılarak gerilim modlu tüm geçiren filtreler tasarlanmıştır. Fakat bu devreler üç ya da daha fazla pasif eleman içerirler. Akım modlu devreler ise daha geniş band genişliği, basit devre yapısı, düşük güç tüketimi ve daha geniş dinamik aralığa sahiptir. Şekil 7.1’de verilen devrenin akım transfer fonksiyonu ideal durumda aşağıdaki gibidir.

$$T(s) = \frac{I_{out}}{I_{in}} = \frac{Y_P - Y_N}{Y_P + Y_N} \quad (7.1)$$



Şekil 7.1 CDBA aktif elemanı kullanılarak tasarlanan birinci dereceden tüm geçiren filtre

Şekil 7.1’deki devrede $Y_P = G = 1/R$ ve $Y_N = sC$ seçilerek birinci dereceden bir tüm geçiren filtre tasarlanabilir.

$$T_1(s) = \frac{I_{out}}{I_{in}} = \frac{G - sC}{G + sC} = \frac{1 - sCR}{1 + sCR} \quad (7.2)$$

$Y_P = sC$ ve $Y_N = G = 1/R$ seçilirse ikinci tipte bir birinci dereceden tüm geçiren filtre elde edilebilir. Transfer fonksiyonu şu şekilde elde edilir (Toker vd., 2000).

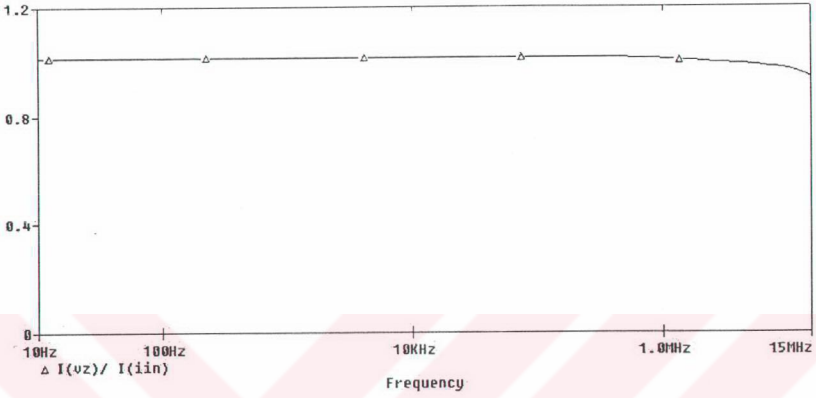
$$T_2(s) = \frac{I_{out}}{I_{in}} = -\frac{G - sC}{G + sC} = -\frac{1 - sCR}{1 + sCR} \quad (7.3)$$

7.1 Simülasyon Sonuçları

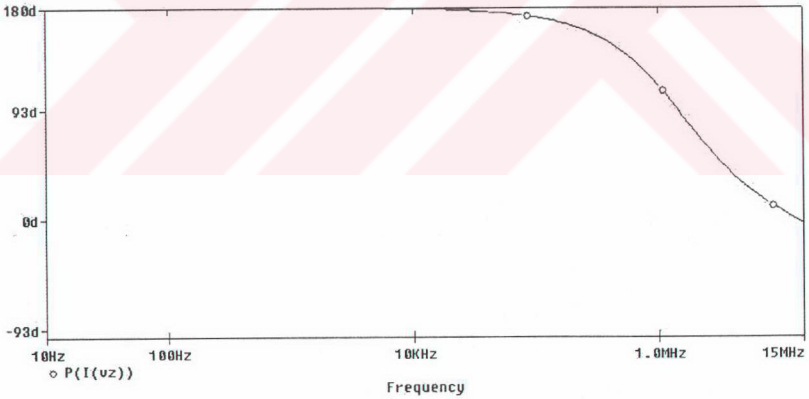
Yukarıda verilen teorik analizleri doğrulamak amacıyla birim kazançlı ve kutup frekansı 1.59MHz olan bir ikinci tipte tüm geçiren filtre tasarlanmıştır. Pasif elemanlar, $R=1K\Omega$ ve $C=100pF$ olarak alınmıştır.

$$T_2(s) = -\frac{10^{-3} - s \cdot 10^{-10}}{10^{-3} + s \cdot 10^{-10}} = -\frac{1 - s \cdot 10^{-7}}{1 + s \cdot 10^{-7}} \quad f_c = \frac{10^7}{2\pi} = 1.59MHz$$

Simülasyon sonucunda elde edilen kazanç ve faz karakteristikleri Şekil 7.2 ve Şekil 7.3'de görülmektedir.



Şekil 7.2 Tüm geçiren filtrenin kazancı



Şekil 7.3 Tüm geçiren filtrenin fazı

Tüm geçiren filtrenin simülasyonu 75°C'lik ortamda yürütülmüş ve band genişliğinin 40MHz iken 32MHz'e düştüğü gözlemlenmiştir.

8. SONUÇ

Bu tezin amacı, düşük gerilimli analog devrelerin tasarım tekniklerinin incelenmesi ve analog aktif bir eleman olan CDBA devresinin bu tekniklerden yararlanılarak tasarımının gerçekleştirilmesidir. Hem akım modlu hem de gerilim modlu devre yapıları içeren CDBA aktif elemanı TÜBİTAK-YİTAL 1.5 μ m poli geçitli CMOS prosesi tasarım kuralları kullanılarak gerçekleştirilmiştir.

Akım modlu analog işaret işleme, düşük gerilimlerde geniş bir dinamik aralık ve geniş band genişliğinde çalışma olanağı sağladığı için gerilim modlu alternatiflerine göre daha fazla ilgi görmektedir. CDBA elemanı, hem gerilim modlu hem de akım modlu çalışır. CDBA (Current Differencing Buffered Amplifier) iki giriшли ve iki çıkışlı çok terminalli bir aktif elemandır. Bu elemanın ortaya atılmasının amacı analog filtrelerin tasarımını kolaylaştırmaktır. İki kattan oluşur. İlk kat olan DCCCS katında akım modunda çalışmanın avantajlarından yararlanılırken gerilim modlu çalışma son kattaki birim geri beslemeli işlemsel kuvvetlendirici ile sağlanır.

DCCCS katında 32 ve işlemsel kuvvetlendirici katında 28 olmak üzere toplam 60 MOS transistörle CDBA devresi tasarlanmıştır. Sonuç olarak DCCCS katında simülasyonlar sonucunda, giriş salınımı ve çıkış salınımı -400 μ A ile 400 μ A arasında, i_z / i_p kazancının band genişliği 258MHz ve i_z / i_n kazancının band genişliği 60MHz ve THD 1KHz'de i_p girişı için %0.55 ve i_n girişı için %0.48 elde edilmiştir. İşlemsel kuvvetlendirici katında ise band genişliği 124MHz, çıkış salınımı $-1.4 < V_w < 1.4$, yükselme ve alçalma eğimleri sırasıyla 26.94V/ μ s ve 44.45 V/ μ s ve THD 1KHz'de %2.23 olarak elde edilmiştir. Çizelge 8.1'de DCCCS ve işlemsel kuvvetlendirici katlarının simülasyon ve post-simülasyon sonuçları karşılaştırılmıştır.

Örnek filtre devresinde bir CDBA aktif elemanı, bir direnç ve bir kapasiteden oluşmak üzere iki pasif eleman ile tüm geçiren filtre tasarlanmıştır. Ayrıca 75°C'de de simülasyonlar yürütülerek devrenin bu sıcaklıkta da çalıştığı gözlemlenmiştir.

CDBA devresinin toplam serim alanı 200 μ m x 586.5 μ m'dir.

Gelecekteki çalışma, DCCCS katında çıkış direncini ve band genişliklerini arttırmak, işlemsel kuvvetlendiricinin çıkış salınımını ve band genişliğini arttırmak ve devrenin üretimini gerçekleştirerek deneysel sonuçların eldesi konularını içerebilir.

Çizelge 8.1 Simülasyon ve post-simülasyon sonuçlarının karşılaştırıldığı sonuç tablosu

	ÖLÇÜT	SİMÜLASYON DEĞERİ	POST-SİMÜLASYON DEĞERİ
DCCCS	Kazanç (i_z / i_p)	0dB	0dB
	Kazanç (i_z / i_n)	0dB	0dB
	Faz (i_z / i_p)	-180^0	-180^0
	Faz (i_z / i_n)	0^0	0^0
	Band genişliği (i_z / i_p)	258MHz	283MHz
	Band genişliği (i_z / i_n)	60Mhz	76MHz
	Giriş salınımı	$-400\mu A < i_p(i_n) < 400\mu A$	$-400\mu A < i_p(i_n) < 400\mu A$
	Çıkış salınımı (akım)	$-400\mu A < i_z < 400\mu A$	$-400\mu A < i_z < 400\mu A$
	Çıkış salınımı (gerilim)	$-0.9 < v_z < 0.8$	$-0.9 < v_z < 0.8$
	Çıkış offset akımı (i_p)	-97nA	5 μ A
İşlemsel-Kuvv. (Birim geri beslemeli)	Çıkış offset akımı (i_n)	-96nA	5 μ A
	THD (@1Khz) ($i_p=0$)	%0.46 (1KHZ)	%0.48 (1KHZ)
	THD (@1Khz) ($i_n=0$)	%0.79 (1KHZ)	%0.55 (1KHZ)
	Kazanç	0dB	0dB
	Faz	0^0	0^0
	Band genişliği	131.5MHz	124.7MHz
	Çıkış Salınımı	$-1.39 < v_w < 1.39$	$-1.4 < v_w < 1.4$
	Giriş offset gerilimi	-33 μ V	-34 μ V
	SR+	27.8 V/ μ s	26.94 V/ μ s
	SR-	45.92 V/ μ s	44.45 V/ μ s
	THD (@1Khz)	%2.46	%2.23

KAYNAKLAR

- Acar C., Özoğuz S. (1999) "A new versatile building block:current differencing buffered amplifier suitable for analog signal processing filters", *Microelectronics J.*, vol.30, no.2, pp. 157-160.
- Allen P. E., Holberg D. R. (2002) "CMOS Analog Circuit Design", Oxford University Press.
- Blalock B.J., Allen P.E., Rincon-Mora G.A.R. (1998) "Designing 1-V op amps using standart Digital CMOS thecnology", *IEEE Transactions on Circuits and Systems-II*, vol.45, pp.769-780.
- Elwan H., (1996) "CMOS current-mode circuits and applications for analog VLSI", M.Sc. Thesis, Cairo University.
- H. R. Mehrvarz and C. Y. Kwok (1996) "A novel multi-input floating-gate MOS four-quadrant analog multiplier," *IEEE J Solid-State Circuits*, vol. 31, no. 8, pp. 1123-1131.
- İsmail M., Fiez T. (1994) "Analog VLSI Signal and Information Processing", New York:McGraw-Hill.
- Özoğuz S., Toker A., Acar C. (1999) "Current mode continius-time fully-integrated universal filter using CDBAs", *Electron. Lett.*, vol. 35, no.2, pp.97-98.
- Pennisi S. (2002) "A low-voltage design approach for class AB current-mode circuits", *IEEE Transactions on Circuits and Systems-II:Analog Sig. Proc.*, vol. 49, no. 4, pp. 273-279.
- Rajput S.S., Jamuar S.S. (2002) "Low-voltage analog circuit design techniques", *IEEE Circuits and Systems Magazine*, vol.2, no.1, pp. 24-42.
- Razavi B. (2000) "Design of Analog CMOS Integrated Circuits", McGraw-Hill Companies, Inc.
- Sakurai S., Ismail M. (1995) "Low-voltage CMOS operational amplifiers : theory,design and implementation", Kluwer Academic Publishers, Boston.
- Salam K.N., Soliman A.M., (2000) "Voltage mode kerwin-huelsman-newcomb circuit using CDBAs", *Frequenz*.
- Sanchez-Sinencio E. (2000) "Low voltage analog circuit design techniques : a tutorial", *IEEE Dallas CAS Workshop*.
- Sanchez-Sinencio E., Andreas G. Andreou (1999) "Low-voltage low-power integrated circuits and systems", *IEEE Press*, New York.
- Stockstad T, Yoshizawa H. (2002) "A 0.9-V 0.5 μ A rail-to-rail CMOS operational amplifier", *IEEE Journal of Solid-State Circuits*, vol. 37, no.3, pp. 286-292.
- Toker A., Özoğuz S., Çiçekoğlu O., Acar C. (2000) "Current-mode all-pass filters using current differencing buffered amplifier and a new high-Q Bandpass filter configuration1", *IEEE Transactions on Circuits and Systems-II: Analog Signal Processing*, vol.47, no.9, pp. 949-954.
- Yan S., Sanchez-Sinencio E. (2000) "Low voltage analog circuit design techniques : a tutorial", *IEICE Trans. Analog Integrated Circuits and Systems*, vol.E00-A, no.2, pp.1-17.

EKLER

Ek 1 Tübitak-Yital 1.5 μm poli geçitli CMOS prosesi tasarım kuralları



Ek 1 TÜBİTAK-YİTAL 1.5 μ M Poli Geçitli CMOS Prosesi Tasarım Kuralları

KURALLAR	μ m
En az n-kuyu genişliği	5
İki n-kuyu arası en az uzaklık	5
En az aktif alan genişliği	3
İki aktif alan arası en az uzaklık	3
n-kuyu ile p-kuyudaki aktif alan arası en az uzaklık	8
n-kuyunun p-diffdeki aktif alanı en az örtmesi	1.5
n-kuyunun aktif alanı en az örtmesi	0
En az poli-1 genişliği	1.5
İki poli-1 arası en az uzaklık	1.5
Poli-1 ile aktif alan arası en az uzaklık	1.5
Poli-1'in aktif alandan en az taşması	3
Aktif alanın poli-1'den en az taşması	1.5
pdif'in aktif alanı en az örtmesi	1.5
pdif ile aktif alan arası en az uzaklık	1.5
İki p-dif arası en az uzaklık	3
En az pdif genişliği	5
Aktif alanın pdiffden en az taşması	2
Aktif alanın aktif alandaki kontağı en az örtmesi	2
Geçit ile aktif kontağı arasındaki en az uzaklık	1.5
Pdif ile aktifteki kontak arası en az uzaklık	2

En az kontak genişliği	2
İki kontak arası en az uzaklık	1.5
Poli-1'in kontağı en az örtmesi	1.5
Metal-1'in kontağı en az örtmesi	1.5
Poli-1'in viayı en az örtmesi	1.5
Via ile poli-1 arası en az uzaklık	1.5
Via ile kontak arası en az uzaklık	2
Metal1'in viayı en az örtmesi	1.5
Via ile aktif alan arası en az uzaklık	0.5
Aktif alanın viayı en az örtmesi	1
Metal2'nin viayı en az örtmesi	1.5
En az metal1 genişliği	2.5
İki metal arası en az uzaklık	2
En az metal2 genişliği	4
İki metal2 arası en az uzaklık	3
En az via genişliği	2
İki via arası en az uzaklık	2
İki taban kontağı arası en az uzaklık	50
Paralel metal1 ve metal2 arası uzaklık ve/veya taşma	1
Üzerinden metal2 geçen poli1 ve metal1 kenarları arası uzaklık	3
Pdiff içinde poli2 alanı	0
En az poli2 genişliği	1.5
İki poli2 rası en az uzaklık	2

Poli1'in poli2'yi en az örtmesi	1.5
Poli-2 ile poli1 arası en az uzaklık	1.5
Aktif alan içinde poli2 alanı	0
Poli2'nin kontağı en az örtmesi	1.5
Poli2 içinde via alanı	0
Poli2 kontağı üzerinde poli1 alanı	0
Poli2 ile via arası en az uzaklık	1.5
Poli1 poli2 kapasitesi üzerindeki metal2 alanı	0
Poli2 ile aktif alan arası en az uzaklık	1.5

ÖZGEÇMİŞ

Doğum tarihi 09.04.1978

Doğum yeri İstanbul

Lise 1992-1996 Haydarpaşa Anadolu Lisesi

Lisans 1997-2001 Yıldız Teknik Üniversitesi Elektrik-Elektronik Fak.
Elektronik ve Hab. Müh. Bölümü

Çalıştığı kurum

2001-Devam ediyor YTÜ Elektronik ve Hab. Müh. Bölümü Araştırma
Görevlisi

