



YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

57484

YÜKSEK HIZLI
BASEBAND MODEM
TASARIMI

Elektro. ve Hab. Müh. Osman Murat ELİBOL

F.B.E. Elektronik ve Haberleşme Anabilimdalı Haberleşme Programında
hazırlanan

YÜKSEK LİSANS TEZİ

Tez Danışmanı : Prof. Dr. Macit GÜNEŞ

İSTANBUL, 1996

İÇİNDEKİLER :

Bölüm :	Konu :	Sayfa No.
	İçindekiler	I
	Teşekkür	III
	Önsöz	IV
	Özet	V
	İngilizce Özet	VI
1.	Telefon Hatları	1
2.	Modem'e Bakış	2
3.	Modemlerin Bağlantı Özellikleri	3
3.1.	Fan-out Özelliği	3
3.2.	Data Çoklama Özelliği	3
3.3.	Kuyruk Devre Ekleme Özelliği	5
4.	Modem Arabağlantısı	6
4.1.	Modem Arabağlantı Dizisi	6
4.2.	CCITT V.24 Modem Arabağlantı Hatları	7
4.3.	CCITT V.24 (EIA) Voltaj Seviyeleri	8
4.4.	CCITT V.35 Modem Arabağlantı Hatları	8
4.5.	CCITT V.35 Voltaj Seviyeleri	9
5.	Senkron Data Link Kontrolü (SDLC)	10
5.1.	Flag	10
5.2.	Adres	10
5.3.	Kontrol	10
5.3.1.	Numaralanmamış Çerçeve	10
5.3.2.	Denetleyici Çerçeve	11
5.4.	Bilgi	11
5.5.	Frame Kontrol Dizisi (FCS)	11
6.	SDLC Komut Formatları	12
7.	HDLC ve NRZI Protokol Özellikleri	15
7.1.	HDLC Protokolü	15
7.1.1.	HDLC Çerçeveleri	15
7.1.2.	Flag'ler	15
7.1.3.	Adres Alanı	15
7.1.4.	Kontrol Alanı	16
7.1.5.	Bilgi Alanı	16
7.1.6.	Sıfır Yerleştirme	16
7.1.7.	Sıfır Silme	16
7.1.8.	Çerçeve Kontrol Dizisi	16
7.2.	Çerçeve Düşmesi, Çerçevenin Boşa Harcanması, Zaman Dolması	17
7.3.	HDLC Tamamlama	18
7.3.1.	Verici ve Alıcı Ayarı	19
7.3.2.	Gönderme ve Alma Hızı	19
7.3.3.	Flag Gönderme ve Alması	19

Bölüm :	Konu :	Sayfa No.
7.3.4.	Bilgi Alanı Gönderme ve Alması	19
7.3.5.	FCS ve Bitiş Flag'i Gönderme ve Alması	20
7.3.6.	Abort/Idle Dizisi Gönderme ve Alma	20
7.4.	HDLC Örnek Uygulaması	21
7.5.	Non-Return to Zero Inverted Kodlaması	22
8.	Hat Prosedürlerinin Prensipleri	23
8.1.	Hata Düzeltme	24
8.2.	Gönder ve Bekle Prosedürü	25
9.	Senkron Bit Olarak Yönlendirilmiş Prosedürler	28
9.1.	Temel Bit Olarak Yönlendirilmiş Prosedürler	28
9.2.	HDLC Prosedürüne Genel Bakış	28
9.3.	HDLC Prosedürünün İşlem Modları	31
9.4.	Prosedür Elemanları	33
9.5.	Prosedürlerin Sınıfları	35
10.	X.25 Protokolü	37
11.	X.21 Tavsiyeleri	41
11.1.	V.24 Tavsiyeleri	41
12.	Base-Band Modem Tasarımı	42
	Kaynaklar	45
	Ekler	46

TEŞEKKÜR

Yüksek Hızlı Base-band Modem Tasarımı konusundaki yüksek lisans tezimi hazırlarken, araştırma ve çalışmalarımı yaparken, pek çok konuda değerli önerilerini aldığım başta sayın hocam Prof. Dr. Macit GÜNEŞ, Salih Selami CANDAR'a ve Şener PAKBAŞ'a gösterdikleri destek ve yakın ilgiden dolayı teşekkürü borç bilirim.



ÖNSÖZ

Base-band modemler, aynı zamanda short-haul veya short range modemler olarak da bilinirler. Bu aletler, binaların, kampüslerin veya şehir sınırları içinde olduğu gibi nispeten kısa mesafeler üzerinden bilgisayarları, terminalleri, kontrolörleri ve benzer veri haberleşmeleri ürünlerini birbirlerine bağlarlar. Bu aletler, veri haberleşmeleri arabağlantılarının sınırlamalarını ortadan kaldırmak için dizayn edilmiştir.

Gün geçtikçe, yüksek hızlı veri iletişiminin giderek önem kazanması, bu amaçla kullanılacak cihazlara olan talebi arttırmaktadır. Bu sebeplerden dolayı, özel hatlar veya kiralık hatlar üzerinde yüksek hızda veri iletişimini sağlayan Base-band Modemlerin Tasarımı ile ilgili yapılacak araştırma ve çalışmalar giderek değer kazanmakta ve faydalı olmaktadır. Gelecekte veri iletişim hatlarının, kapasite ve veriminin artması Base-band Modemlere olan ihtiyacı daha da arttıracaktır.



Ö Z E T

Yüksek Hızlı Base-Band Modem tasarlanması için ilk önce klasik bilinen modemler hakkında bilgi edinildi. Bu modemlerin haberleşmesinde telefon hatları kullanıldığından ilk önce modülasyon ve etkileşim çeşitleri belirlendi.

Modem'in blok diyagramı ile dupleks haberleşme çeşitleri anlatıldı. Modem'in bağlantı özellikleri farklı durumlar için incelendi.

Modem arabağlantı ve data haberleşme metodlarından sonra CCITT ve EIA önergelerine göre işaretlerin voltaj seviyeleri incelendi.

Senkron Data Link Kontrolü (SDLC) protokolü, yapısı ve komut formatları araştırıldı. Ve bu arada Sıfır Yerleştirme, Sıfır Silme ve NRZI ile Non-NRZI transmisyonu kullanımına değinildi.

HDLC, protokol özellikleri ve yapısı incelenerek, HDLC işlemi detaylandırıldı. NRZI kodlaması ve data akışı incelendi.

Hat prosedürlerinin prensiplerine genel olarak değinildi. Hat prosedürlerinin Hata Düzeltme ile Gönder ve Bekle prosedürleri incelendi.

Senkron bit olarak yönlendirilmiş prosedürlerden temel bit olarak yönlendirilmiş HDLC prosedürünün komutları, işlem modları, prosedür elemanları ve sınıflarına değinildi.

CCITT X.25 protokolü, ağ/kullanıcı arabağlantısı, protokol katmanları, farklı seviyeler için formatı, ve paket anahtarlama ağı erişimde kullanımı ile incelendi. Ve CCITT X.21 tavsiyeleri belirtildi.

Bütün bu bilgiler ışığında, Base-band Modem Tasarımı yapıldı, hangi devrelerden oluştuğu blok diyagram ile gösterilerek açıklandı. Bu devrelerin işlevleri belirtildi. Base-band Modem'in çalışması anlatıldı. Ve devre şeması çizildi.

ABSTRACT

As a design of High Speed Base-band Modem, first of all it will be given an information about well-known basic modems. Firstly modulation types were described, since telephone lines are used in communication inter these modems. The flow of data across a telephone line can be affected in a number of different ways. These various impairments have been explained. Block diagram of modem and duplex communication types are described. Connection specifications of modem are shown in figures and signified for different situations. The interface between a device and a modem and data communication methods are treated. CCITT and EIA Recommendations, however voltage levels of these recommendations are signified. Synchronous Data Link Control (SDLC) protocol and the contents of an SDLC frame are described. And also command formats of SDLC protocol are shown in a table. Zero Insertion, Zero Deletion and either Non-Return to Zero Inverted (NRZI) or Non-NRZI transmission were mentioned. High Level Data Link Control (HDLC) protocol specifications and frame structure researched by HDLC prosedure. And it was also detailed. NRZI Coding and data flow have been examined. The Principles of Line Prosedures are generally mentioned. Error Correction and Send & Wait Prosedures of Line prosedures are inspected. Synchronous Bit-Oriented Prosedures include HDLC prosedure which is one of main bit-oriented prosedures. HDLC prosedure's commands, operating modes, elements of prosedure and classes of prosedures were explained in details. CCITT X.25 Protocol are inspected with Network/User Interface, Layers of X.25 protocol, format of various levels of X.25 protocol and use of a packet assembler/disassembler for access to a public packet switching network. And also CCITT Recommendation X.21 are signified. As a result of these studies, a Base-band Modem was designed and also represented by a block diagram which has been constituted by circuits or IC's. The functions of these circuits or IC's also have been explained. At the end of this design, circuit was printed with IC's pin connections.

1. TELEFON HATLARI :

Ses frekansı; 300 - 3000 Hz. aralığındadır. Bu aralığın dışında işaret hızla bozulur. Modemler dijital data'yı işitilebilir seslere dönüştürürler.

Dijital datadan işitilebilir sesler üç şekilde tanımlanır:

- **Genlik Modülasyonu (AM) :**
Taşıyıcının genliği sıfır (0) veya bir (1) bitlerine atanır.
- **Frekans Modülasyonu (FM) :**
Taşıyıcının frekansı sıfır (0) veya bir (1) bitlerine atanır.
- **Faz Modülasyonu (PM) :**
Taşıyıcının fazı sıfır (0) veya bir (1) bitlerine atanır.

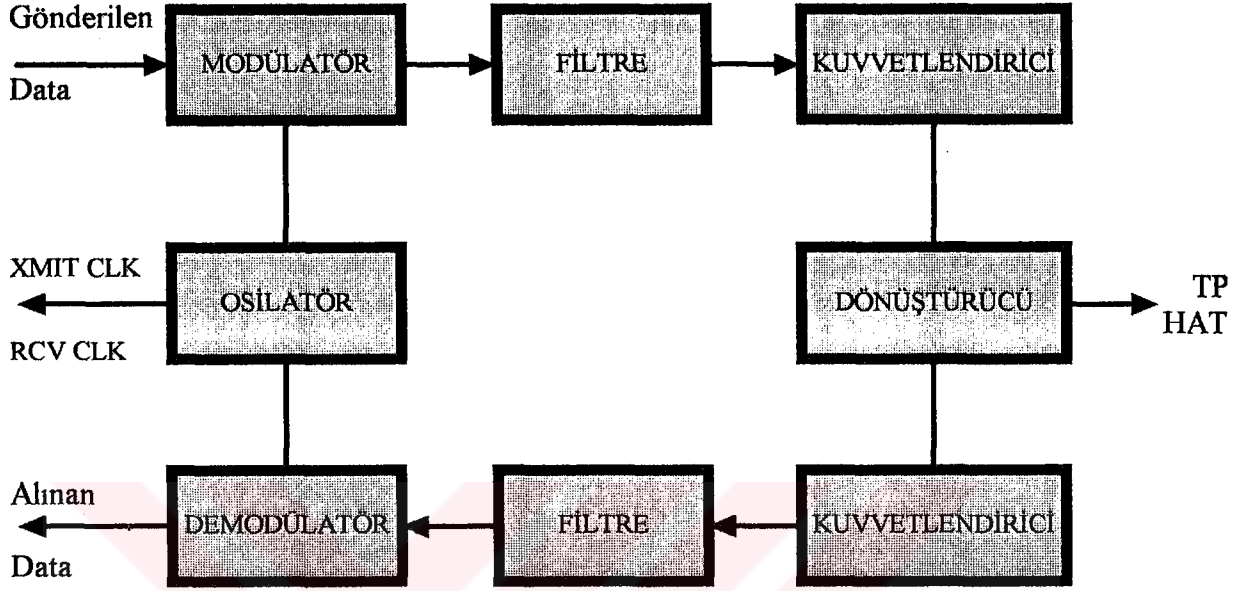
Telefon hatlarındaki veri (data) akışı farklı yollardan etkilenirler:

- **İmpulse Gürültüsü :**
Hattaki sesin veya gürültünün ani artış göstermesidir. Elektrik cihazlarından veya ışıklandırmadan olabilir.
- **Beyaz Gürültü :**
Sürekli ortamda var olan bir gürültüdür. Bu gürültünün seviyesi çok artarsa, taşıyıcı işaret bozulabilir.
- **Zayıflama :**
İşaretin genliği bazı durumlarda, haberleşmeyi önleyecek ölçüde azalabilir.
- **Cross-Talk :**
Eğer iki hat birbirine çok yakınsa ve biri çok kuvvetli işarete sahipse, bu işaret diğer hattı indükler. İki hat arasında kısa devreye veya düşük dirence (R:Rezistansa) neden olabilir.
- **Echo :**
Hatta empedans uyumsuzluğu varsa, işaretin yansıması ortaya çıkar.
- **Frekans Kayması :**
Taşıyıcı frekansında, hat empedansı uyumsuzluğundan veya başka işaret ile modülasyonundan kayma oluşabilir.

Modem iletişimde, bu bozucu etkenlerden bazılarının üstesinden gelinebilir (eğer çok büyük değerlerde değiller ise). Gürültü; filtreler, ayırıcılar ve sınırlayıcıların kullanımı ile kısmen giderilebilir. Kuvvetlendiriciler, belli miktarda zayıflamanın üstesinden gelebilir. Cross-Talk, düşük seviyelerde olmadıkça üstesinden gelinemez. Bazı yansımalar, Echo Giderici kullanarak önlenabilir. Veriyi almadan önceki, bu yansıma giderme işlemi gönderme modundan alma moduna geçiş sırasında bir gecikme ile sağlanabilir. Bir miktar frekans kayması dengeleme ile giderilebilir. Bu dengeleme, başlama sırasında manuel olarak veya modem ile yapılabilir. Dengeleme miktarı, her hattın karakteristiklerine göre değişir.

2. MODEM 'E BAKIŞ :

Modem, dijital datayı (bitleri) ses işaretlerine dönüştürür, telefon hattı ile iletir, ve tekrar ses işaretlerini bitlere dönüştürür. Modem'in çalışması Şekil - 2 'de gösterilmiştir.



ŞEKİL - 2 Modem'in blok diyagramı

Modem, hem iki hemde dört telli telefon hattına bağlanabilir. Dört telli hat gerçekte iki iki-telli hattın oluşur. İki telli sistemde, gönderilen ve alınan datanın her ikisi teller üzerinden gönderilir, fakat bu genellikle aynı anda sadece tek yöndedir. Buna Yarım Dupleks Haberleşme (Half Duplex Communication) denir.

Dört telli sistemde, gönderilen ve alınan datanın herbiri kendi çift hattına sahiptir. Buna da Dupleks Haberleşme (Duplex Communication) denir. Gönderilen ve alınan data, aynı zamanda gönderilmesi gerekmez.

Tam Dupleks Haberleşme (Full Duplex Communication) de gönderme ve alma aynı zamanda olur.

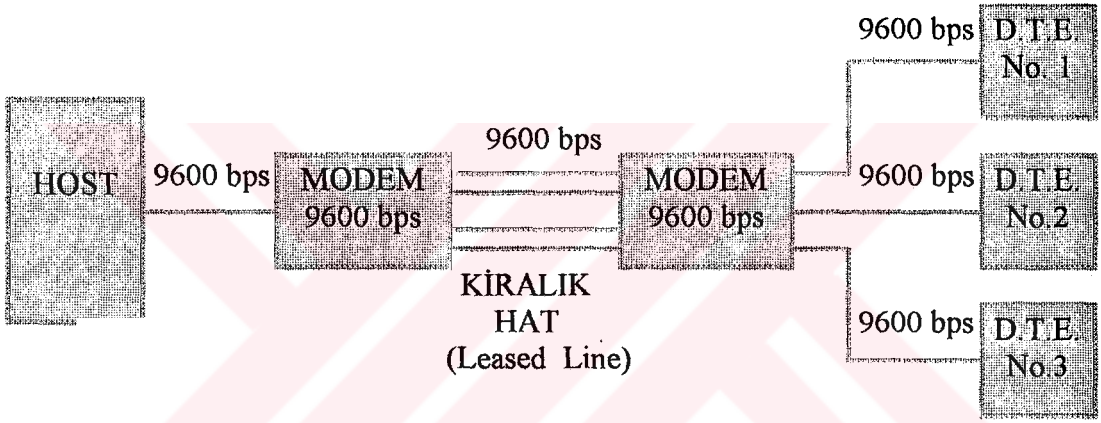
3. MODEMLERİN BAĞLANTI ÖZELLİKLERİ :

Bu bölümde, modemlere uygun olan bağlantı özelliklerini üç şekilde sıralayabiliriz :

- Fan-out özelliği
- Data Çoklama özelliği
- Kuyruk Devre Ekleme özelliği

3.1. Fan-out Özelliği :

Fan-out özelliği, iki veya daha fazla DTE (Data Terminal Equipment: Data Terminal Cihazı)'lerin tek modeme bağlanabilme imkanını sağlar. Hat, çok telli olarak oluşturulmalıdır. Buna karşın sadece bir DTE aynı anda Host'a bilgi gönderebilir. Eğer Fan-out özelliği modem üzerine yerleştirilirse, harici clock'lama belirtilmelidir (Örn; modem clock).



ŞEKİL - 3.1. Fan-out Özelliği (3 DTE ile)

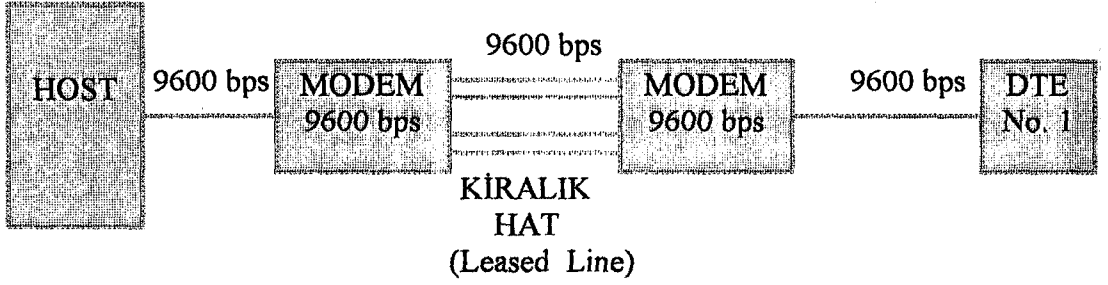
3.2. Data Çoklama Özelliği :

Data çoklama özelliği, tek bir modemde dört'e kadar DTE yan kanalları olmasının esnekliğini sağlar. Her yan kanalın diğerlerinden bağımsızca yönetilmesi, bütün DTE'lerin aynı zamanda gönderilmesini mümkün kılar. Modemin operatör paneline konması gereken seçenek anahtarı, dört yan kanal konfigürasyonu seçimine izin verir. Bu, tek 9600 bps yan kanal veya 4800 bps & 2400 bps yan kanallarının kombinasyonlarını içerir. Seçme anahtarının pozisyonuna göre yan kanalların hızları TABLO - 3.1 'de gösterilmiştir.

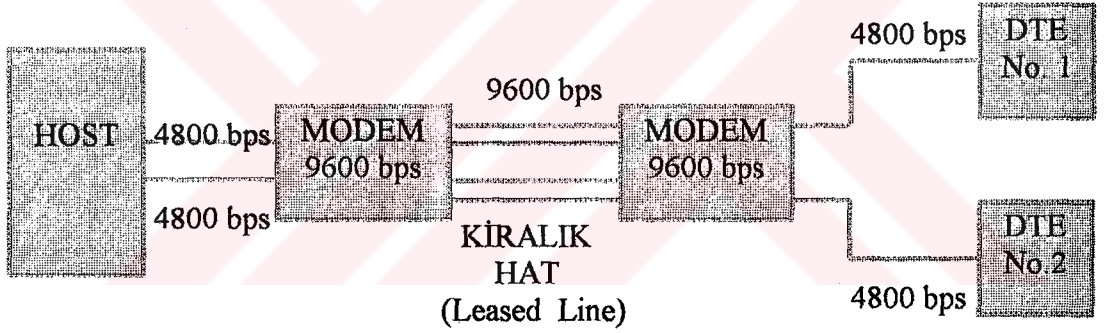
Eğer Data Çoklama Özelliği modem üzerine yerleştirilirse, harici clock'lama belirtilmelidir (Örn; modem clock).

TABLO - 3.1

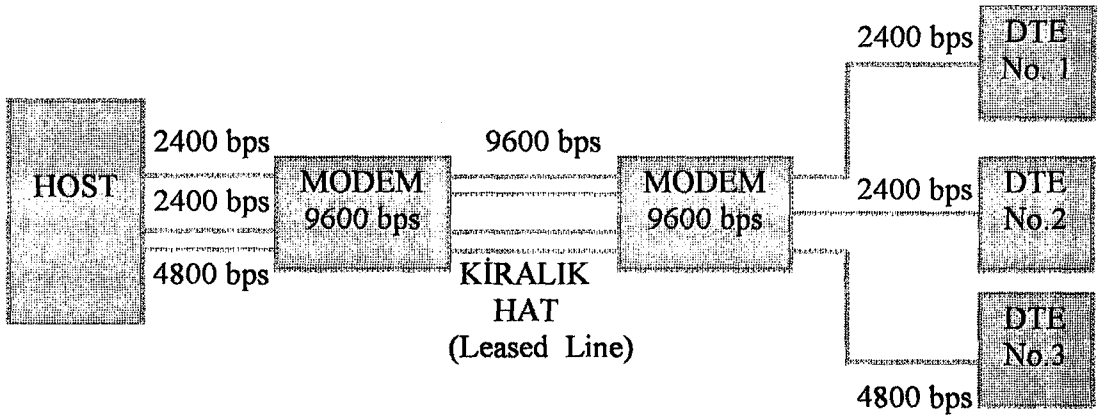
SEÇENEK ANAHTARI POZİSYONU	AKTİF YAN KANALLAR VE HIZLARI			
1	9600	-	-	-
2	4800	4800	-	-
3	4800	2400	2400	-
4	2400	2400	2400	2400



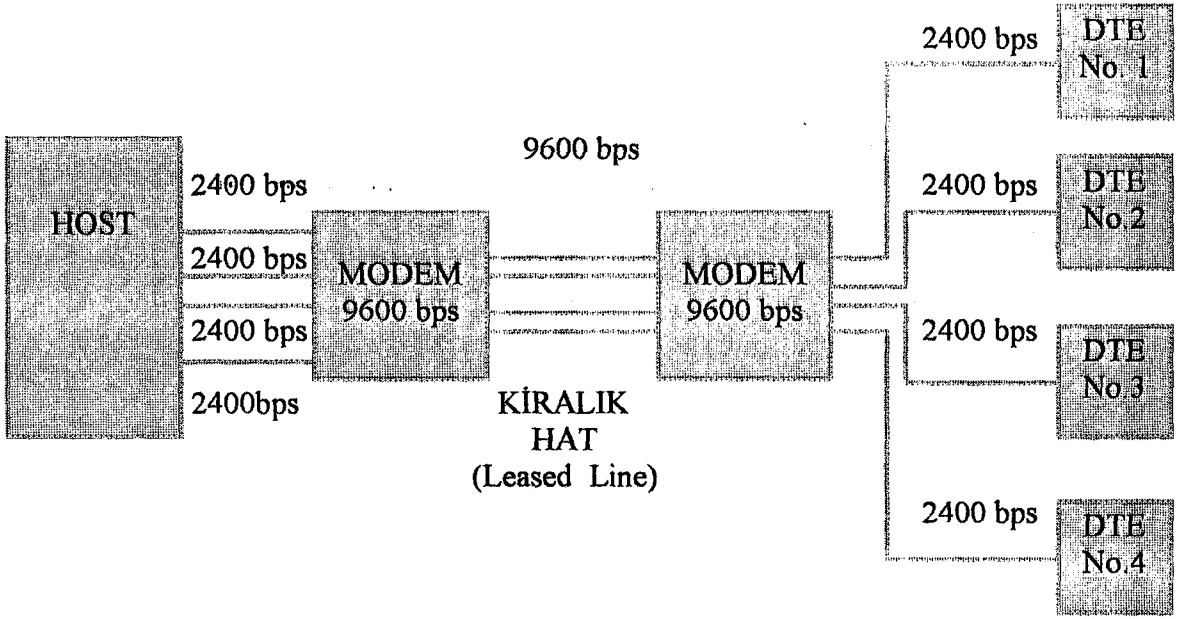
ŞEKİL - 3.2. Data Çoklama Özelliği (1 DTE ile)



ŞEKİL - 3.3. Data Çoklama Özelliği (2 DTE ile)



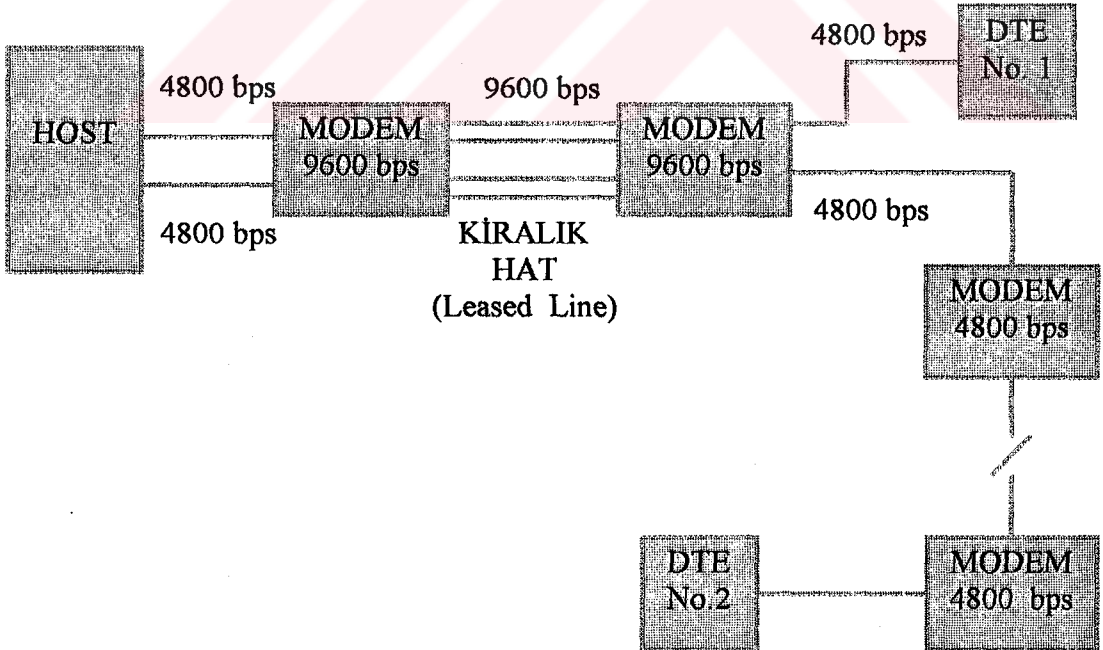
ŞEKİL - 3.4. Data Çoklama Özelliği (3 DTE ile)



ŞEKİL - 3.5. Data Çoklama Özelliği (4 DTE ile)

3. 3. Kuyruk Devre Ekleme Özelliği :

Kuyruk devre ekleme özelliği, data çoklayıcı modemin bir yan kanalına bağlanmasına izin verir. Bu diğer hat üzerinden yan kanala yapılan uzatma ile olur. Eğer kuyruk devre ekleme özelliği modem üzerine yerleştirilirse, clock'lama modem üzerinde belirtilmelidir (Örn ; data çoklayıcı modem clock'u kullanıldı).

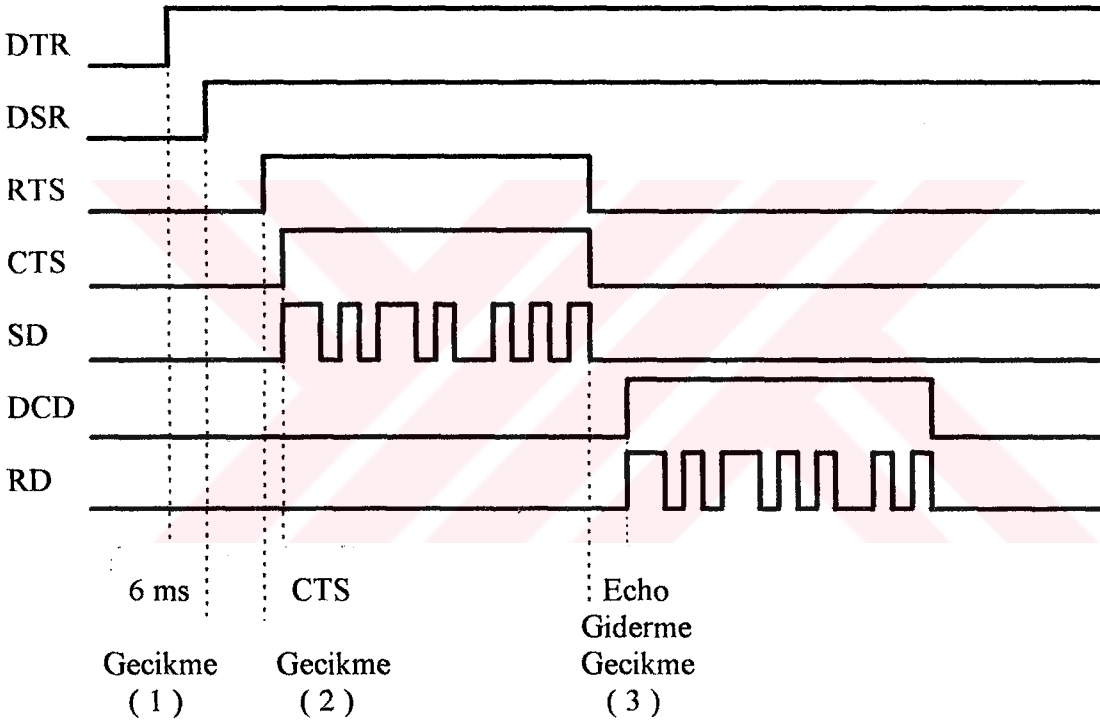


ŞEKİL - 3.6. Kuyruk Devre Ekleme Özelliği (2 DTE ile)

4. MODEM ARABAĞLANTISI (INTERFACE) :

Alet, modeme bir bit dijital data gönderdiği anda, modemden gelen bir bit datayı aynı anda alır. Aletleri modeme bağlamanın bazı metodları vardır. İki parça birbirine bağlanırken, aralarında bir arabağlantı (interface) kullanır. Alet (Data Terminal Cihazı veya DTE diye bilinir) ve modem (Data Haberleşme Cihazı Cihazı veya DCE diye bilinir) arasındaki arabağlantı genellikle CCITT V.24 Interface'i olarak bilinir (Aynı zamanda EIA RS232-C Interface'i diye de bilinir). CCITT, Avrupa bünyesinde haberleşmeleri kontrol içindir. EIA, ise U.S.A. bünyesindeki karşılığıdır. Datayı, modeme ve modemden göndermek için, işlemlerin kendine özgü sırasını gözden geçirmeliyiz.

4. 1. Modem Arabağlantı Dizisi :



ŞEKİL - 4.1. Modem Arabağlantı Dizisi

DTE ve DCE arasındaki arabağlantıya imkan vermek için; DTE, ilk önce Data Terminali Hazır (Data Terminal Ready, DTR) çizgisi yükselmelidir. Kısa bir gecikme (1 No.'lu gecikme) sonrası modem'in devreleri DCE'yi kararlı hale getirmek için, Data Ayarı Hazır (Data Set Ready, DSR) çizgisi yükselme ile cevap verir. Kiralık hat işleminde, DSR DTR'ın durumuna bakmaksızın çoğu kez üst seviyede tutulur. Bu mümkün olan işlem hızını arttırmak içindir. DTE ve DCE şimdi haberleşebilirler. Eğer şimdi data göndermek istersek; DTE, Gönderme İçin Talep (Request To Send, RTS)'e yükselir. RTS ile Gönderme İçin Açık (Clear To Send, CTS)'in cevabı arasındaki gecikme (2 No.'lu gecikme), modem taşıyıcıyı göndermeye başladığı zaman, alıcı modem clock'larını

senkronize etmek için bu taşıyıcıyı kullanmasına imkan sağlar. Bu gecikme, modemdeki tıkama seçenekleri ile ayarlanmıştır. Dört telli işleminde, RTS, hem modem ile hem de DTE ile sürekli yükselebilir. Bu geri dönme süresini azaltır. Yansımalar nedeniyle oluşan data bozulmasını önlemek için, Echo Giderme gecikmesi (3 No.'lu gecikme) kullanılabilir. Bu, Data Taşıyıcısını Bulma (Data Carrier Detect, DCD) yükselme olduğundan, (taşıyıcı alınsa bile) hattın verilen zamanda sükunet bulmasına kadar engel olur.

Data göndermede iki metod vardır. Asenkron haberleşmede; DTE, bit zamanlamasını kendi içinden sağlar. Bu durumda, alma ve gönderme clock arabağlantı hatları kullanılmaz. Senkron haberleşmede; DTE, gönderme ve alma clock hatları üzerindeki modemden gelen pulse'ları kullanır. Asenkron haberleşme, normalde 1200 bps'e kadar hızlarda kullanılır. Senkron haberleşme, çok yüksek hızlarda kullanılır.

4. 2. CCITT- V24 Modem Arabağlantı Hatları :

TABLO - 4. 1.

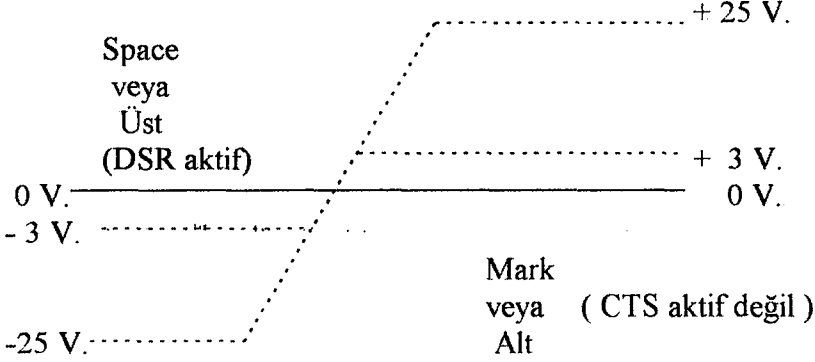
CPU Terminal		Modem	CCITT Standart	EIA Standart
DTE		DCE		
1	Frame Ground	1	101	AA
2	TxD	→ 2	103	BA
3 ←	RxD	3	104	BB
4 ←	RTS	→ 4	105	CA
5 ←	CTS	5	106	CB
6 ←	DSR	6	107	CC
7	Signal Ground	7	102	AB
8 ←	RLSD (DCD)	8	109	CF
15 ←	Transmit Signal Element Timing	15	114	DB
17 ←	Receive Signal Element Timing	17	115	DD
20	DTR	→ 20	108,2	CD
22 ←	Ring Indicator	22	125	CE
23	Data Signal Rate Select	→ 23	111	CH
24	Select Standby (UK)	→ 24	113	DA

4.3. CCITT - V24 (EIA) Voltaj Seviyeleri :

Modemden gönderilen ve alınan işaretler belirli voltaj seviyeleri arasında olmalıdır.

(1) Üst seviye : + 3 V. ----- + 25 V.

(0) Alt seviye : - 3 V. ----- - 25 V.



ŞEKİL - 4. 2. V24 Voltaj Seviyeleri

4. 4. CCITT - V35 Modem Arabağlantı Hatları :

Yüksek transmisyon hızları için, 56000 bps'e kadar CCITT V35 arabağlantısını kullanabiliriz. CCITT 'nin önerdiği V35 arabağlantı, hem Yarım (Half) hemde Tam(Full) Dubleks işlemde bağlanabilir. Harici (External) modemler ve lokal bağlantıda kullanılır. Eğer lokal bağ kullanılırsa, maksimum kablo uzunluğu 200 ft. olmalıdır. Diyagramda görüldüğü gibi, bu clock ve data hatları ikiye tanedir. Bunun nedeni; diferansiyel voltaj işaretleridir. Bunlar yüksek transmisyon hızlarında güvenilirliği arttırmak için kullanılır.

(Data A, Data B'ye nazaran negatif olduğunda, işaret Mark veya ' 1 ' dir.)

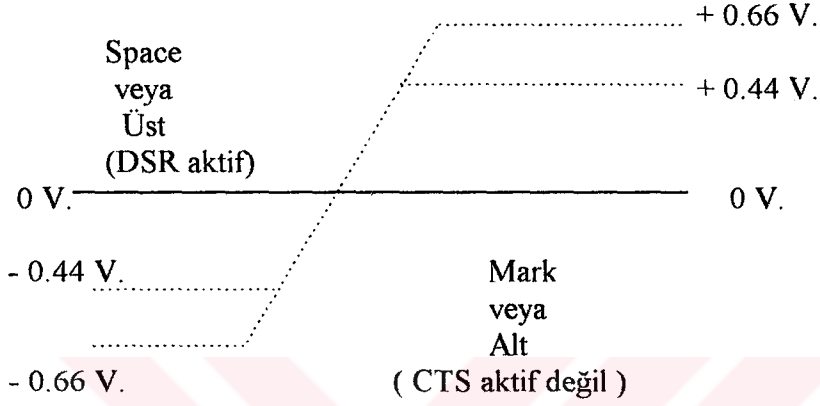
TABLO - 4. 2.

D.T.E.		D.C.E.
	Frame Ground	A
	Signal Ground	B
	RTS	→ C
←	CTS	D
←	DSR	E
←	RLSD	F
	DTR	→ H
	TxA	→ P
←	RxA	R
	TxB	→ S
←	RxB	T
←	RxCLKA	V
←	RxCLKB	X
←	TxCLKA	Y
←	TxCLKB	a

4.5. CCITT - V35 Voltaj Seviyeleri :

Modemden gönderilen ve alınan işaretler belirli voltaj seviyeleri arasında olmalıdır.

- (1) Üst seviye : + 0.44 V. ---- + 0.66 V.
 (0) Alt seviye : - 0.44 V. ---- - 0.66 V.



ŞEKİL - 4. 3. V35 Voltaj Seviyeleri

Clock ve data hatları için bu seviyeler; dengelenmiş hattın her iki tarafı arasında ölçülen diferansiyel voltaj seviyeleridir.

5. SENKRON DATA LİNK KONTROLÜ (SDLC) :

SDLC (Synchronous Data Link Control), link üzerinden data transmisyonunun senkron metodudur. Hat protokolları üzerine bir çok avantajları vardır:

1. Transparanlık, protokolün tamamlayıcı parçasıdır.
2. Bit ve karakter senkronizasyonu, protokolün bir kısmıdır.
3. SDLC, çok noktalı işlemler için dizayn edilmiştir.

SDLC kullanımı, datanın çerçeve(frame) formunda link üzerinden gönderilmesidir.

TABLO - 5

FLAG	ADRES (00-FF)	KONTROL	I SEÇMELİ	FCS	FLAG
------	------------------	---------	--------------	-----	------

5. 1. FLAG :

Flag byte'ı X '7E' (6 ardarda gelen ' 1 ' bitleri). Bu çerçevenin Başlangıç(Start) ve Bitişini(End) belirtir.

5. 2. ADRES :

Adres byte'ı terminalin SDLC yer adresidir. Diğer protokollerdeki gibi, birincil istasyon ve ikincil istasyon veya istasyonlar vardır. Sadece ikinci istasyonların SDLC adresleri vardır ve onlar çerçevelere kendi adresleri ile cevap verirler.

5.3. KONTROL :

Kontrol byte'ı, gönderilen çerçevenin tipini bildirmek için kullanılır. Çerçevenin üç ana tipi vardır:

1. Numaralanmamış (Unnumbered)
2. Denetleyici (Supervisory)
3. Bilgi (Information)

5.3.1. Numaralanmamış Çerçeve :

Bu format şunlar için kullanılır;

- İkincil istasyonların kurulmasında,
- İkincil istasyonların cevap verme modunun kontrolünde,
- Belli prosedürel hataların raporlanmasında,
- Dizi kontrol edilmediği zaman data transferinde.

5.3.2. Denetleyici Çerçeve :

Bu çerçevelerin bilgi (I) alanı yoktur. Onlar, çerçevelerin doğrulanması, hazır veya meşgul durumları bildirmek ve çerçeve numaralama hatalarını raporlamak için kullanılır.

5.4. BİLGİ :

I alanı, kullanılan data ve daha yüksek seviyeli komutlar, transfer için kullanılır. Bu alan her zaman bulunmayabilir.

5.5. Frame Kontrol Dizisi (Frame Check Sequence, FCS) :

FCS, BSC'deki BCC'ye benzer ve datanın doğru alınmasını sağlamakta kullanılır. BSC'ye benzer, FCS alanı daima bulunur. Kontrol alanının içindekiler, çerçeve tipini tanımlar.



6. KOMUT FORMATLARI :

TABLO - 6. 1.

FORMAT	HEX NOTASYONU									ADLAMA	C	R	I	
	P / F	- P / F	0	1	2	3	4	5	6	7				
U	'13'	'03'	0	0	0	P/F	0	0	1	1	X	X	Y	Unnumbered com.
	'17'	07	0	0	0	F	0	1	1	1		X	N	Req.Init.Mode
	'17'	07	0	0	0	P	0	1	1	1	X		N	Set Init.Mode
	93	83	1	0	0	P	0	0	1	1	X		N	Set norm resp.mode
	1F	0F	0	0	0	F	1	1	1	1		X	N	Disconnected
	53	43	0	1	0	P	0	0	1	1	X		N	Disconnect
	73	63	0	1	1	F	0	0	1	1		X	N	Unnumber.Acknow
	97	87	1	0	0	F	0	1	1	1		X	Y	Invalid frame rec.
	FF	EF	1	1	1	F	1	1	1	1		X	N	Beacon
	D7	C7	1	1	0	P/F	0	1	1	1	X	X	N	Function descriptor
	53	43	0	1	0	F	0	0	1	1		X	N	Req. disconnect
	BF	AF	1	0	1	P/F	1	1	1	1	X	X	Y	Transmit ID
	33	23	0	0	1	P	0	0	1	1	X		Y	Resp. optional
	F3	E3	1	1	1	P/F	0	0	1	1	X	X	Y	Test Pattern
S	'X1'	'X1'	Nr	P/F	0	0	0	1			X	X	N	Reccive Ready
	'X5'	'X5'	Nr	P/F	0	1	0	1			X	X	N	Reccive Not Ready
	'X9'	'X9'	Nr	P/F	1	0	0	1			X	X	N	Reject
I	'XX'	'XX'	Nr	P/F		Ns	0				X	X	Y	Information

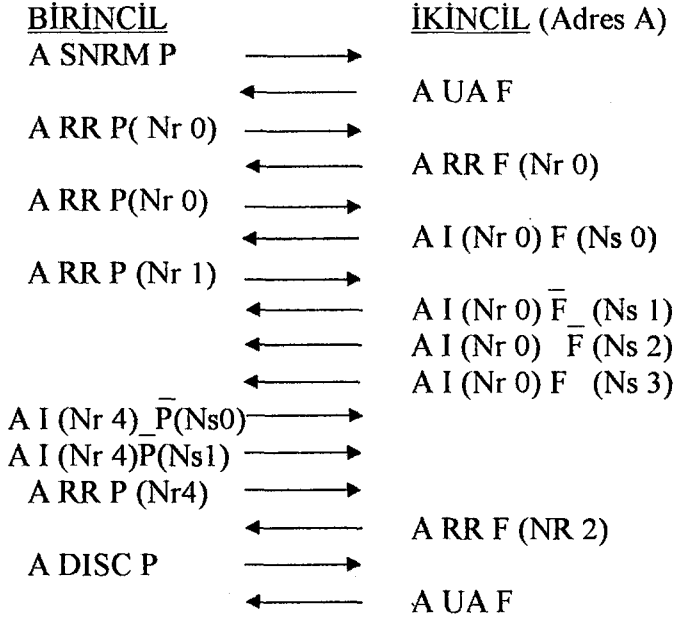
3 Bit'i, POLL/FINAL (P/F) bitidir. Cevap isteği birincil tarafından gönderilir ve ikincil tarafından transmisyonun son çerçevesi belirtilir. Birincilden ikincile gönderilen POLL bitidir ve ikincilden birincile gönderilen FINAL bitidir.

6 ve 7 Bitleri çerçevenin tipini gösterir :

TABLO - 6. 2.

	Bit 6	Bit 7
Numaralanmamış	1	1
Denetleyici	0	1
Bilgi	X	0

Bilgi çerçeveleri numaralıdır. Ns gönderilen çerçevelerin sayısı ve Nr alınan çerçevelerin sayısıdır. Denetleyici çerçeveleri, Nr sayısını da içerir.



SNRM :Reset Counter To Zero (Sayıcıyı sıfırlar)

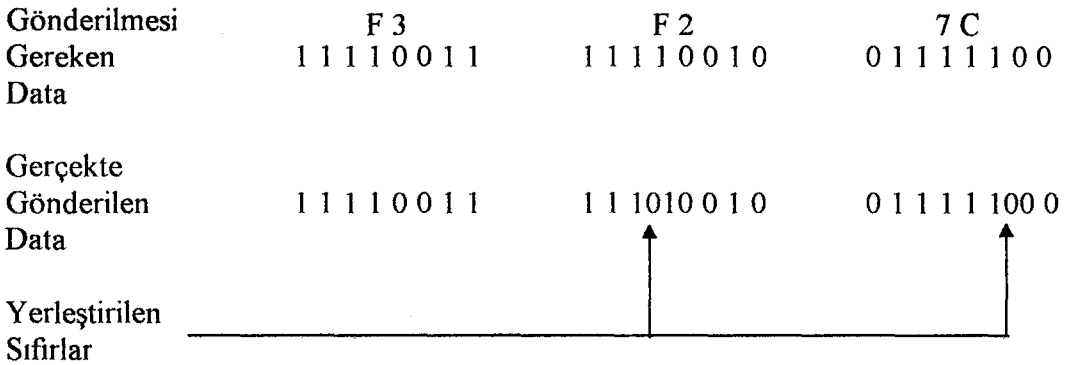
Data herhangi bir formatta, uzunlukta veya bit paterninde olan çerçeve içinde gönderilir. Uyulması gerekenler;

- Flag, 6 ardarda gelen ' 1 ' bitleridir.
- Adres ve kontrol alanlarının her ikisi de 8 bit uzunluğundadır.
- 16 bit FCS vardır.

Görüldüğü gibi, eğer X '7E' yi datamızın bir kısmı olarak göndermek istersek, bu bir problem yaratabilir. Bunun üstesinden gelmek için, SIFIR YERLEŞTİRME (Zero Insertion) 'yi kullanırız.

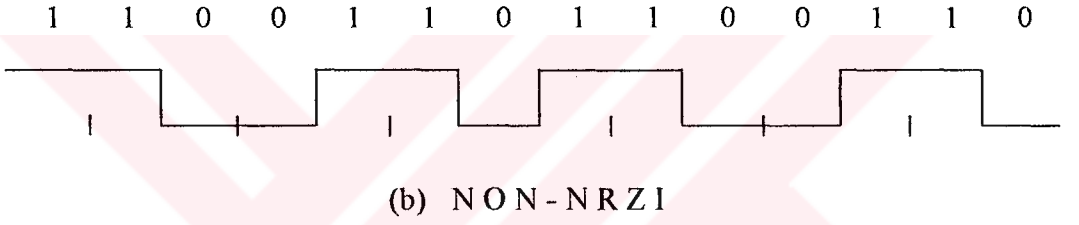
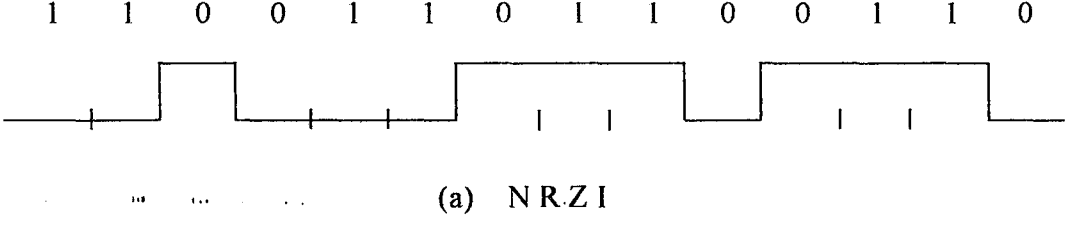
Kural , her 5 ardarda gelen ' 1 ' bitlerinden sonra, bir sonraki bit ' 0 ' veya ' 1 ' olsa dahi " 0 " yerleştirilir.

Tek hariç tutulanlar, FLAG (6 ardarda gelen ' 1 ' bitleri) ve ABORT (en fazla 7 ardarda gelen ' 1 ' bitleri). Böylece, çerçeve içinde herhangi 8 bit karakteri gönderebiliriz.



ŞEKİL - 6. 1. SIFIR YERLEŞTİRME

Eğer DTE data clock'lamasını kanıtlarsa, modemler ve alıcının her ikisini bit ve karakter senkronizasyonunda tutmak için datadaki geçişlerin yeterince olduğundan emin olmalıyız. Bu ardarda gelen ' 1 ' bitleri için Sıfır Yerleştirme (Zero Insertion) ile, ardarda gelen ' 0 ' bitleri için sıfıra hiç dönmeyenin tersine çevrilmişi (NRZI, Non-Return Zero Inverted) ile yapılmıştır. Bu sinyal, '1' için aynı seviyede tutulur, fakat '0' için değişir. NRZI, aynı zamanda sıfırda tersine çevir diye de bilinir(Invert On Zero).



ŞEKİL - 6. 2. (a) NRZI ve (b) NON-NRZI

Eğer NRZI transmisyonu kullanılırsa, ilk flag 00 'ın önünde gider.

7. HDLC VE NRZI PROTOKOL ÖZELLİKLERİ :

HDLC (High Level Data Link Control;Yüksek Seviyeli Data Link Kontrolü) protokolü, data haberleşmeleri için kullanılan standart bir prosedürdür.

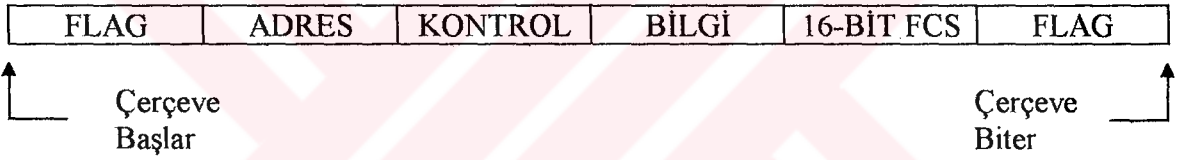
SDLC (Synchronous Data Link Control; Senkron Data Link Kontrolü) HDLC protokolünün, bit olarak yönlendirilmiş bir alt protokolüdür. Bütün SDLC alanları 8 bit octet olmasına karşın, aynı format her iki protokolde de kullanılır. Modem SDLC protokolünü kullanır, fakat CCITT antlaşmasına uygun olduğu için HDLC'ye başvurulur. Non-Return Zero Inverted (NRZI) kodlaması, HDLC data ile kullanımın tüm gereksinimlerini sağlar.

7. 1. HDLC PROTOKOLÜ :

7. 1.1. HDLC Çerçeveleri :

HDLC çerçevesi, HDLC linki üzerindeki data ve kontrol bilgisi frame'ler üzerinden gönderilir. Bu frame'ler, bilgiyi ISO standardı ile belirtilen format şeklinde düzenler, bu gönderme ve alma istasyonlarının birbiri ile senkronizasyonunu mümkün kılar, Bu format şu şekildedir :

TABLO - 7 HDLC Çerçeve yapısı



Flag'ler ve Çerçeve Kontrol Dizisi (FCS), Modem Arabağlantı Belleği'nde durum bitleri ile diğer alanlardan ayrılır. Modem, bütün diğer alanlarda (Adres, Kontrol ve Bilgi) kontrolöre ve kontrolörden geçen data gibi davranır.

7.1.2. Flag'ler :

Bütün frame'ler, flag dizisi ile başlar ve biter. Başlangıç flag'i ve bitiş flag'i 01111110 (7E) bit paterni ile tanımlanır. Bir frame'in bitiş flag'i aynı zamanda onu takip eden frame'in başlangıç flag'i gibi iş görür. Eğer ayrılmış bitiş ve başlangıç flag'leri kullanılırsa, bir frame'in bitiş flag'indeki son sıfır "0" aynı zamanda bir sonraki frame'in başlangıç frame'inin ilk sıfırı "0" görevini görür. Bu işlem, "ZERO-SHARING" yani "SIFIR PAYLAŞIMI" diye bilinir. Sıfır paylaşımı bit patern'i 011111101111110 şeklindedir.

7.1.3. Adres Alanı :

Adres alanı, bilginin nereye gideceğini (eğer birincil istasyon gönderiyorsa) veya mesaj'ın nerede orjinlendiğini (eğer ikincil istasyon gönderiyorsa) alıcıya bilgi verir.

Bu alan, “Ana” format için 8 bit uzunluğundadır. “Eklenmiş” format için, uzunluk octetlerin N sayılıdır. Her octet, binary “1” ile başlayan son octet’in hariç tutulması ile binary “0” olan ilk bite sahiptir.

7.1.4. Kontrol Alanı :

Kontrol alanı, çerçevenin fonksiyonunu tanımlar. Komut ve cevapları içerir. Kontrol alanı aynı zamanda gönderilen veya/ve alınan sıralı numaraları içerir. Bu alan, aşağıdaki formatlardan biri olabilir ;

1. Bilgi Transfer Formatı
2. Denetleyici Format
3. Numaralanmamış Format

Bu alan, normalde 8 bit uzunluğundadır. Belli protokoller, 16 bit uzunluğunda eklenmiş kontrol alanı için imkan verir.

7.1.5. Bilgi Alanı :

Modem, adres alanı, kontrol alanı veya bilgi alanını birbirleri arasında ayırdedemez. Bilgi alanının, belirlenmiş uzunluğu yoktur. Bununla birlikte, bu alan 8 bit formatında byte’lardan oluşan SDLC protokolüne uyar.

7.1.6. Sıfır Yerleştirme (Zero Insertion) :

Flag’lerin, çerçevenin başlangıç ve bitişini belirttiğinden beri, bazı metodlar data transmisyonunu engellemek veya değiştirmeyi yerine getirir. Bu flagler olarak ortaya çıkar. Kullanılan metod “Sıfır Yerleştirme” olarak bilinir. HDLC prosedürleri, herhangi ardarda gelen 5 sürekli “1” ‘leri takip eden “0” yollanmasını gerektirir. Bu, adres, kontrol, bilgi ve FCS alanlarındaki bütün dataları içerir. Sıfır yerleştirmenin kullanılması, herhangi 01111110 paterninin başlangıç ve bitiş flag’leri arasında gönderilmesini hiç kabul etmez. Modem göndericisi, HDLC modunda iken daima sıfır yerleştirmeyi yerine getirir.

7.1.7. Sıfır Silme (Zero Deletion) :

Flag’lerin transmisyonu sırasında, sıfır yerleştirmeye imkan vermez. Data alımı sırasında, flag tanıma için testten sonra, alıcı, 5 sürekli biri “1” takip eden sıfırı “0” hemen çıkarır. Bu, “Sıfır Silme” olarak ifade edilir. 5 sürekli biri “1” takip eden “1”: hem frame düşmesi (örn; sıfır yerleştirme olmaksızın en fazla 7 tane “1”) veya flag (örn; 01111110) ifade eder. Altıncı “1” buna karşın çıkarılmamıştır. Modem alıcı, HDLC modunda iken daima sıfır silmeyi yerine getirir.

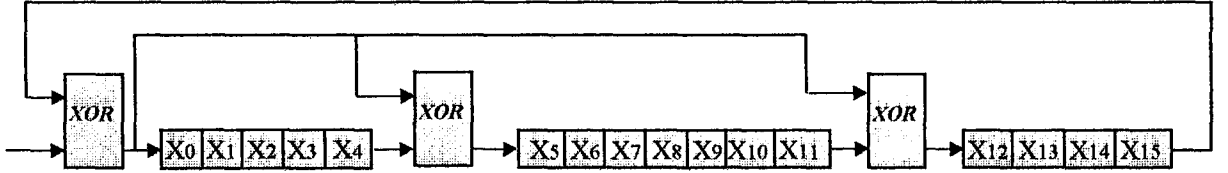
7.1.8. Çerçeve Kontrol Dizisi (FCS) :

Çerçeve kontrol dizisinin önerilmesi tüm gönderilen bilgi alanının stenografi gösterimi verir ve benzer bir biçimde üretilen alıcı dizisinin stenografi gösterimi ile karşılaştırılır.

Eğer herhangi bir farklılık açığa çıkarsa, alınmış çerçeve hatalıdır ve tekrar gönderilmelidir. FCS hesabı çerçeve içindeki bütün alanlarda yapılır, fakat flag'leri içermez. Cyclic Redundancy Check (CRC) metodu kullanılır. Polinom SDLC ve X.25'te aşağıdaki gibi belirtilmiştir ;

$$X^{16} + X^{12} + X^5 + 1 \quad (7.1)$$

Polinom aşağıdaki şekilde yerine getirilir ;



ŞEKİL - 7. 1. CRC Polinomsal Tanımlaması

FCS, çerçevenin bitiş flag'inden hemen önceki datanın 2 byte'ı olarak gönderilir. FCS register'ı, ilk önce bütün binary "1" 'lere set eder.

Register, sonra adres, kontrol ve bilgi alanlarındaki flag içermeyen datalarda kaydırma ile değiştirilmiştir. Datanın son bitinden sonra, FCS register'ının "1" 'e tümleyeni 16 bit FCS olarak gönderilmiştir. FCS, önce en yüksek değerdeki (X 15) biti ile gönderilmeye başlanır.

7.2. Çerçeve Düşmesi, Çerçevenin Boşa Harcanması, Zaman Dolması :

Çerçeve düşmesi, çerçeve transmisyonunun tam bitmemişidir. Bu, sıfır yerleştirme yapmadan en az 7 ardarda gelen "1" 'in gönderilmesi ile açığa çıkar. Bu, düşme paterni çerçeveyi hemen yok eder ve FCS veya bitiş flag'ine ihtiyaç göstermez.

Düşme paternini, minimum 8 ilave ardarda gelen "1" lerin izlemesi data link'ini boş yapar. Buna rağmen, 7'den 14'e kadar "1"ler düşmüş patern oluşturur, 15 ve daha fazla "1" ler boş patern meydana getirir.

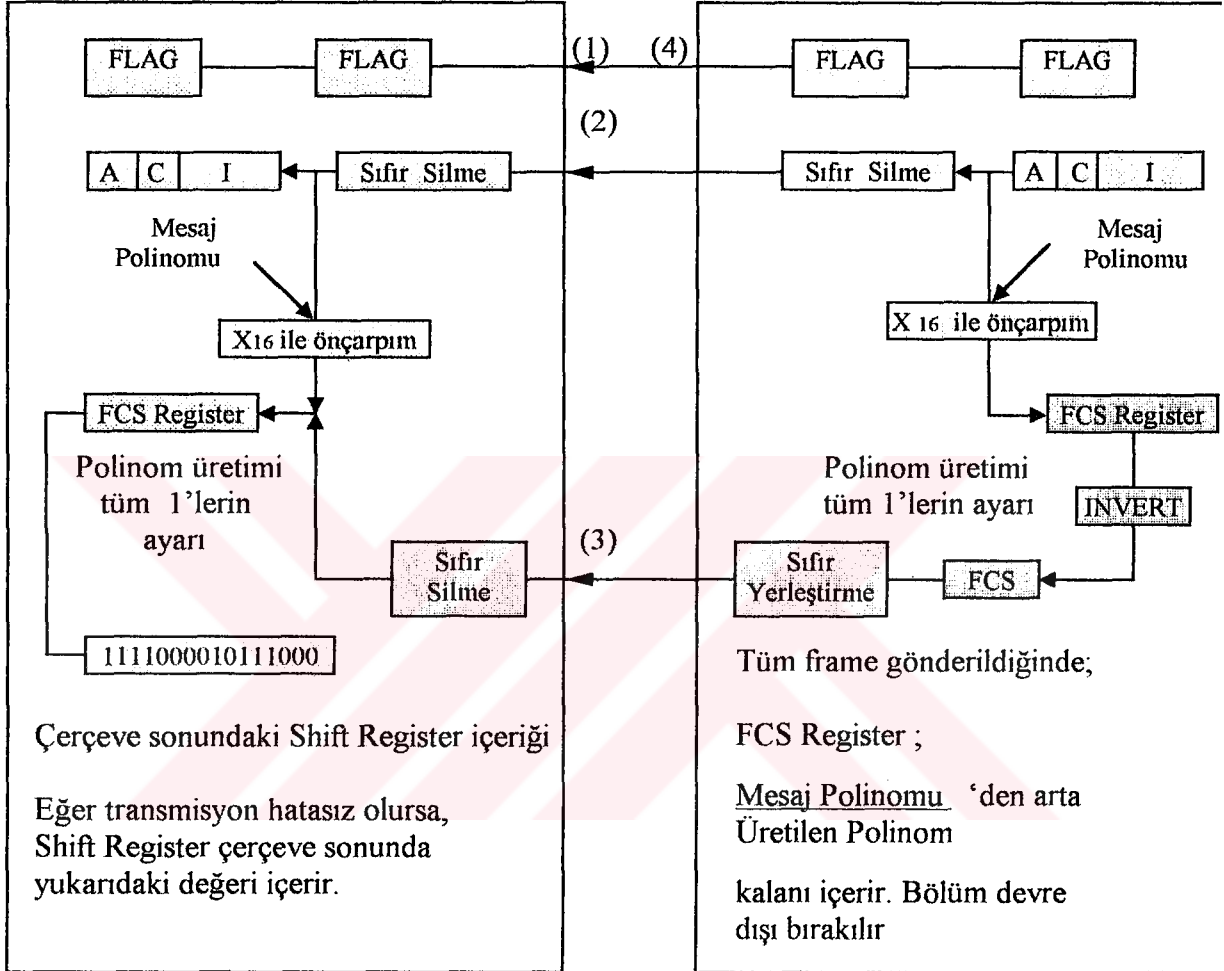
Çerçeve arası zaman doldurulması sürekli flag'lerin gönderilmesi ile başarılı olur. Buna karşın, gönderici, çoklu flag'ler alıcının aktif durumuna bakarak gönderir, eğer herhangi bir zaman çerçeveler arasında dolu olmasını gerektirir.

7.3. HDLC Tamamlama :

HDLC işleminin tanıtımı aşağıdaki şekilde gösterilmektedir ;

ALICI LİNK İSTASYONU

VERİCİ LİNK İSTASYONU



(1) Başlangıç Flag'ini Gönderimi

(2) Mesaj Gönderimi

(3) FCS Gönderimi

(4) Bitiş Flag'ini Gönderimi

ŞEKİL - 7.2. HDLC İŞLEMİ

Bu olay, oluşum yönünden 1'den 4'e numaralanmıştır:

1. Başlangıç flag'ini gönderilir. Alıcı flag'ini görür ve o anda gönderici ile bağlantı içine girer. Alıcı ve verici FCS Register'lerinin herikisi FFFFh 'a set edilir.
2. Bilgi alanı gönderilir. Data, sıfır yerleştirme'den önce FCS Register'ını üzerinden de geçirilir. Alma bittiğinde, sıfır silme algoritmasından sonra, data kullanıcıya tanımlandıktan sonra FCS Register'dan geçirilir.

3. FCS, ters çevrilir ve sonra gönderilir. Gönderilen FCS, alıcının FCS Register'ından geçirilir. Eğer çerçeve doğru olarak alındıysa, Shift Register 1111000010111000 (F0B8h) 'ı içerir.
4. Bitiş flag'i gönderilir.

7.3.1. Verici ve Alıcı Ayarı :

Modemde, HDLC kullanımına göre Host şu şekilde olmalıdır ;

1. Modem konfigürasyonu ayarlanmalıdır.
2. Transmitter Parallel Data Mode (TPDM): Verici paralel data mod bit'ini ayarla. Alınan data daima paralel uyumludur.
3. Eğer zaten senkron modda değilse, asenkron (ASYNC) bit'in reset'lenmesi ile senkron moda anahtarlanmalıdır.
4. HDLC bit'i ayarla. HDLC transmisyonu, seri arabağlantı kullanılarak yapılamaz. Modem'e giren datanın formatı, 8 bit'lik byte'ların gruplarından oluşur. Normal senkron Paralel Data Modu'ndaki gibi, byte'ın en son bildirilen biti, önce gönderilir.

7.3.2. Gönderme ve Alma Hızı :

HDLC, modemde uygulanması için, bütün gönderici ve alıcı'da PSK modları ve FSK modu kullanılabilir (V.21 Kanal 2; conf=20h).

7.3.3. Flag Gönderme ve Alması :

HDLC modunda iken modem, kullanıcı Verici Data Buffer TBUFFER (register 10h) 'a datayı yükleyene kadar, sıfır paylaşımsız (örn;...0111111001111....) sürekli flag'leri gönderir. Buna karşın, verici, gönderme zaman dolması işini yapamaz ve alıcı link istasyonunu aktif tutar. Durum biti FLAG'leri (0F:0), modem, flag dizisini gönderdiğini belirtir.

HDLC modunda iken, alıcı modem, sürekli flag data paterni için araştırır. Bir veya daha fazla flag ortaya çıktığında, durum biti SYNCD (0F:1) set edilir. Flag'ler kendi kendilerine alıcı data buffer RBUFFER (register 00) vasıtasıyla host'a geçerken mevcut değildir.

Modem, aynı zamanda sıfır paylaşımı ile ardarda gelen flag'leri ortaya çıkarma yeteneği vardır.

7.3.4. Bilgi Alanı Gönderme ve Alması :

Host, datayı TBUFFER 'a yüklemelidir ve sonra datanın bir sonraki byte'ındaki yüklemenden önce modem tarafından, Gönderici Data Buffer (:TDBE) (1E:3) uygun biti ayarlamak için bekler. Eğer sonraki byte, sonraki 8 bitlik süre içinde, TBUFFER içine yüklenmezse, modem, bunu çerçeve sonu olarak algılar ve CRC dizisini gönderir.

Alıcıda, flag'ler arasındaki datalar, hand-shake biti RDBF (1E:0) 'nin kullanımı ile RBUFFER register'ı vasıtasıyla host'a geçer. Host, RDBF modem tarafından set edilmek için beklemelidir ve sonra data'yı almalıdır. Eğer host, 8 bitlik süre içinde data'yı okumazsa, RBUFFER 'daki data, bir sonraki byte ile üzerine yazılacaktır ve Overrun hata biti (0E:3) set edilecektir. Flag dizisi ve Abort/Idle (Düşme/Boşa harcama) dizisi, RBUFFER'a çıktı olmaz. Alıcı, bitiş flag'ini algılamasıyla FCS alanın nerede olduğunu tanımlar. Buna karşın, iki FCS byte'ları RBUFFER'a çıktı olur. Frame'ler arasındaki data'nın alınmasında en fazla 16 bit süresi kadar gecikme olur.

7.3.5. FCS ve Bitiş Flag'i Gönderme ve Alması :

Sonraki 8 bit'lik süre içinde TBUFFER register içine yüklenen yeni bir data olmadığının algılanmasını takiben, modem, FCS ve bitiş flag'ini otomatik olarak gönderir. FCS'nin gönderildiğini gösteren en ağırlıklı bit (X_{15})'in gönderilmesinden hemen önce arabağlantı belleğinde CRCS (0A:0) durumbiti set edilir. Host, bu bitin set edildiğini gördüğünde, bir sonraki çerçevenin ilk byte'ı yüklenmiş olabilir. Bu durumda, bitiş flag'i sonraki çerçeve için başlangıç flag'i gibi görev görür. CRCS biti, bitiş flag'i gönderildiğinde reset'lenir. Aynı zamanda FLAG'ler biti set edilir.

O anki çerçevedeki bitiş flag'inin alınması üzerine (hangisi aynı zamanda sonraki çerçevenin başlangıç flag'i olabilirse), alıcı FCS register'ındaki datayı kontrol eder. Eğer FCS register'ın artanı doğru ise, PE biti (0E:5) sıfır kalır. Eğer artan doğru değilse, PE biti set edilir. FCS alanı, aynı zamanda host'a kabul edilir, bu durumda host'un kendi CRC kontrolünü yapmayı ister. FCS'yi host'a göndermesinden sonra alıcı, SYNCD bitini ve PE bitini (eğer modem, bozuk CRC ile çerçeveyi farkedirse) set edecektir. Doğru veya yanlış çerçeve belirlendiği zaman, modem, sonraki çerçevenin sonuna kadar PE bitini değiştirmez. Bununla birlikte, host bu biti herhangi bir zamanda reset edebilir. Bir veya daha fazla flag'ler alındıktan sonra, modem, FCS register'ın tümünü 1'lere set eder.

FCS gönderiminden sonra (X_0 bitini hemen takip eden), o anki çerçevenin sonunu ve sonraki çerçevenin başlangıcını belli eden bir flag gönderir. Flag'deki son sıfırın gönderilmesinden sonra, eğer host yeni datayı TBUFFER'a yüklerse, modem görmeye çalışır. Bu zamandan önce eğer hiç yeni data yüklenmemişse, sonraki flag gönderilir. Buna karşın, çerçeveler arasındaki bir flag'den fazla istek olursa, N, flag'lerin sayısı ise; FLAG'ler, yeni datayı TBUFFER'ın içine yüklemek için modem tarafından set edildikten sonra, host 8 bitlik zamanın N-1 katı kadar beklemelidir. Host, yeni datayı yüklediğimiz 7 bitlik zamandan sonraki flag'in gönderilmesini önler. Örneğin, eğer 3 flag, çerçeveler arasında istek olursa flag'ler modem tarafından set edildikten sonra host en fazla 16 bitlik süre kadar beklemelidir ve 23 bitlik süreden fazla olmamalıdır.

7.3.6. Abort / Idle Dizisi Gönderme ve Alma :

Abort / Idle dizisi, arabağlantı belleğindeki ABORT bitinin (07:0) ayarlanması host tarafından gönderilir. Bu, sürekli flag gönderimindeki gibi herhangi normal frame gönderimini durdurur ve sürekli "1" leri gönderir. ABORT'un set edilmesinden sonra

ortaya çıkar. Modem ilk önce, datanın o anki byte'ının gönderimini tamamlar. Bu gönderimden hemen sonra modem 7 ard arda gelen "1" 'leri gönderir. Bu 7 bitlik süreden hemen sonra , eğer ABORT hala set edilmişse, ABORT reset olana kadar, modem "1" 'leri göndermeye devam eder. Bu dizinin sona ermesi ile, ABORT reset edilmelidir. Sonra, eğer TBUFFER'a yüklenen yeni data yoksa, sürekli flag'ler gönderilir. Eğer TBUFFER'a yeni data yüklenirse, modem, başlangıç flag'ini ve sonra TBUFFER'daki datayı gönderir.

Alıcı modem, sadece flag'leri sürekli olarak aramaz, fakat aynı zamanda sürekli abort/idle dizilerini arar. Alıcı modem bu data paternine rastladığı zaman, FE (OE:4) bitini set eder. Modem FE bitini set ettikten sonra, abort/idle dizisini tekrar tanımlandığında sonraki çerçevenin sonuna kadar, o biti değiştirmez. Bununla birlikte, host FE bitini herhangi bir zaman reset edebilir. Sonra, eğer abort/idle dizisi, sonraki çerçeve süresince farkedilirse, modem tekrar FE bitini set eder. Abort/idle dizisini takip eden data alımı, geçersiz data gibi görünür ve host'a verilmez. Buna karşın, gönderici ve alıcı senkronizasyonunun tekrar kurulması için, alıcı en az bir flag'i görmelidir. Abort/idle dizisi, RBUFFER register'ı içinden çıktı olamayacağı hatırlanmalıdır.

7.4. HDLC Örnek Uygulaması :

7.4.1. Gönderici Örneği :

1. Hand-shake'ten sonra, ASYNC biti resetlenir. Sonra HDLC biti set edilir ve RTS set edilir.
2. Modem flag'leri göndermeye hemen başlar ve datanın ilk byte'ı TBUFFER içine yüklenene kadar flag'lerle devam eder.
3. Data'nın ilk byte'ını TBUFFER içine yerleştirir. Modem, datanın bu byte'ı ile takip edilen o anki flag'ı göndermeyi bitirir.
4. TDBE en kısa zamanda set edilir, datanın sonraki byte'ı içine yüklenir. Bu, TDBE set edildiği 8 bitlik zamanda açığa çıkmalıdır.
5. CRCS, sonraki frame'in ilk byte'ına yüklemeyi resetleyene kadar bekler. Modem, 16 bit FCS ve flag ile o anki frame'in son byte'ını takip eder.
6. 4'ten 6'ya kadar olan bu işlemleri, gönderilen bütün frame'ler için tekrarlar.

7.4.2. Alıcı Örneği :

Tipik HDLC alma basamaklarının işleyişi;

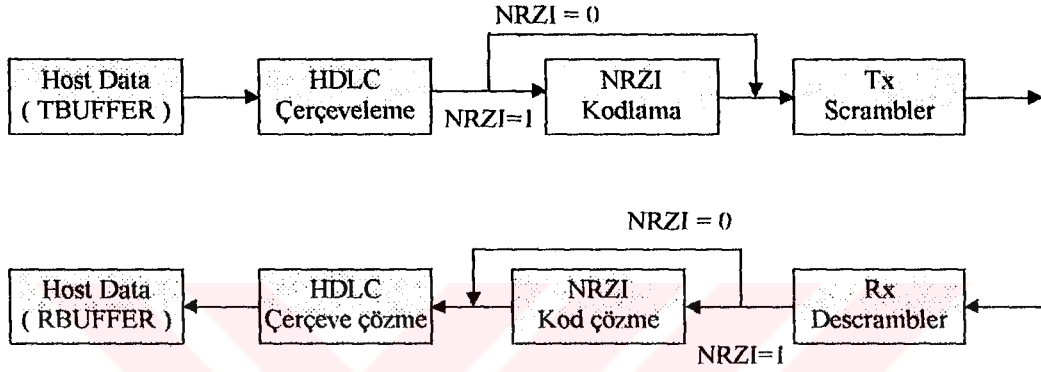
1. Hand-shake'ten sonra, ASYNC bitini resetler. Sonra, arabağlantı belleğindeki RDBF, OE, SYNCD, PE ve FE bitleri vasıtasıyla interrupt'ları kontrol eder.
2. Interrupt için beklenir, eğer o, RDBF (RDBIA 'da aynı zamanda modem tarafından set edilir) modem ayarlamasından dolayı ise, RBUFFER 'daki datayı okur. Eğer diğer bitlerden herhangi biri interrupt'a sebep olmuş ise, modem NEWS ve NSIA bitlerini set edecektir. OE nedeniyle olan interrupt, host eski datayı okumadan önce, RBUFFER yeni data ile yüklenmiş olduğunu gösterir. SYNCD, modem flag'leri aldığını gösterir. PE, FCS'nin yanlış CRC'ye sahip olduğunu gösterir. FE, abort/idle

dizisine rastlandığını ve aborted (düşmüş) çerçevenin geçersiz olduğunu gösterir. Modem, SYNC'D biti veya PE bitini set etmez (FCS kontrolü yapılar kadar olan durumlarda).

3. Interrupt'lar için beklemeye devam eder ve interrupt alındığında, uygun hareketi yapar.

7.5. Non-Return to Zero Inverted (NRZI) Kodlaması :

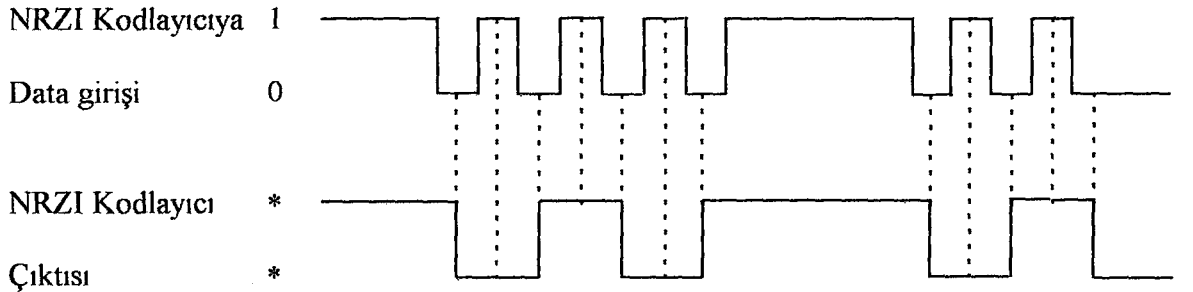
NRZI kodlaması, HDLC data ile kullanmak için ortaya çıkmıştır ve NRZI = 1, HDLC = 1 ve TPDN = 1 iken seçilmiştir. NRZI data akışı Şekil - 7.3. 'te gösterilmiştir.



ŞEKİL - 7. 3. NRZI Data Akışı

Buradaki Scrambler, ses bantları arasında yer değiştirme yapacak şekilde konuşma sesini modüle ederek ileten ve diğer tarafta bu işlemin tersini (Descrambler) uygulayarak normal sesi elde eden bir sistemdir.

NRZI kodlaması, işaretin durumunda "geçiş yok" için ' 1 ' ve işaretin durumunda "geçiş" için ' 0 ' gösterilir. Şekil - 7.4.'te gösterilmiştir.



* İşaretin kesin durumu, yalnızca şu anlamı vardır ; önceki durumdan "geçiş" veya "geçiş yok" 'u bildirir.

ŞEKİL - 7. 4. NRZI Kodlama Örneği

8. HAT PROSEDÜRLERİNİN PRENSİPLERİ :

Data link, prensipte fiziki bir kanaldan oluşur. Bu kanal, bit seri formunda transmisyon yapabilme kapasitesine sahiptir. Kanala birkaç istasyon bağlanmıştır. Ve bu istasyonlar, prensipte birkaç koddan oluşan metin çerçeveleri ile değiş-tokuş yapmalıdırlar. Bundan dolayı, varış adresi veya adresleri ve metin çerçevelerinin başlangıç ve sonunu göstermesi gerekir. Genel olarak, link yönetimi için istasyonlar arasında kontrol ve denetleyici çerçevelerin değiş-tokuş yapması gerekir. Bu nedenle, data link işlemi bir dizi kurallarca ayarlanmalıdır. Bu kurallar, kontrol ve denetleyici bilginin kodlanma biçimini belirtir. Aynı zamanda, metnin kontrol ve denetleyici bilgidan ayrılmasını mümkün kılar. Hat prosedürünü oluşturan bu kurallar, istasyonlar arası değiş-tokuş yapan çerçeveler dizisini de tanımlar. Hat prosedürleri, karakterler formunda veya çerçeveler formunda kodlanmasına göre iki gruba bölünebilir:

- **Karakter olarak yönlendirilmiş prosedürler :**

Bu prosedürlerden en iyi bilineni, İkili Senkron Haberleşme (Binary Synchronous Communication, BSC) prosedürüdür. Kontrol ve denetleyici komutlar için belli karakterler tahsis edilmiştir. Bu karakterlerden oluşan, açıkça tanımlanmış alfabeyle göre bilgi kodlanmıştır. Örneğin, metin başı veya onayı gösterir.

- **Bit olarak yönlendirilmiş prosedürler :**

Bit olarak yönlendirilmiş bu prosedürler durum kodlamasını kullanır. Bu durum kodlaması, çerçeveler içindeki bilgiyi tedarik eder. Çerçevelerdeki farklı alanlar, kontrol ve denetleyici data ile beraber metni içerir.

Çerçevenin başlangıç ve bitişi flag(belirteç)'ler ile sınırlandırılmıştır. Bu flag'ler, tek bir bit dizisinden oluşur. En iyi bilinen bit olarak yönlendirilmiş prosedürler; Yüksek Seviyeli Data Link Kontrolü (High Level Data Link Control, HDLC) ve Senkron Data Link Kontrolü (Synchronous Data Link Control, SDLC) prosedürleridir.

İki tip kodlama, data ile ilgili olan transparanlık problemini ortaya çıkarır. Ağa bağlı olan data işleme birimi, bitler veya karakterlerin herhangi bir kombinasyonu ile datayı transfer etmelidir. Bununla beraber, bazı bitler veya karakterler, data link kontrol prosedürü ile kontrol ve denetim için tahsis edilmiştir.

Karakter olarak yönlendirilmiş prosedürler ile, Data Link Escape (DLE) karakterini kullanarak koda tamamen metin transmisyonu yapılması ile bir zorluk açığa çıkartabilir. Transparan mod, DLE 'nin önünde giden kontrol karakteri ile başlar ve DLE 'nin önünde giden diğer kontrol karakteri ile biter. Bu iki sınırlandırıcı arasında, bütün kontrol karakterleri metin olarak yazılmıştır, ve DLE karakterine karşın transmisyon transparandır. Tüm transparanlığı kontrol etmeye karşılık, göndericideki metin içinde açığa çıkan DLE karakterleri duplike edilmiştir(çiftlenmiştir). Alıcı da, DLE 'nin önünde giden kontrol karakterinin farkına varılması; transparan metin dizisinin sonunun

tanımlanması ile mümkündür. Diğer taraftan, DLE DLE dizileri tek DLE karakteri ile alıcısındaki yer değiştirir. Bu tek DLE karakteri transmisyonundaki DLE karakterinin duplikasyonunu düzeltir. Bit olarak yönlendirilmiş prosedürler, bit seviyesinde benzer tekniği kullanırlar. Bu, HDLC prosedürü ile bağlantılı olan Senkron Bit Olarak Yönlendirilmiş prosedürler konusunda açıklanmıştır. Transparanlık, çerçevenin denetleme alanlarının birindeki metin alanının uzunluğunu göstermesi ile de temin edilebilir. Metin alanının başlangıcı, çerçevedeki yerinin sabitlemesi ile tanımlanır. Ve sonu, uzunluk belirteci ile belirtilir. Metin alanındaki transmisyon, koddan bağımsızdır. Bu teknik, DEC (Digital Equipment Corporation)'nun Dijital Data Haberleşmeleri Mesaj Protokolü (Digital Data Communication Message Protocol, DDCMP) prosedürüdür.

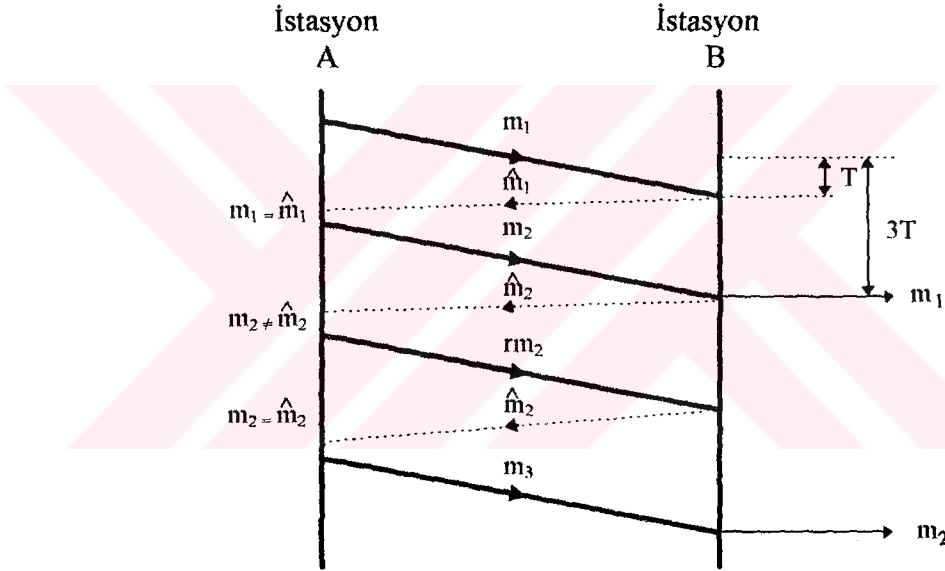
Hat prosedürünün ana fonksiyonu, istasyonlar arasında çerçevelerin sıkça değiş-tokuş etmesini çok küçük hata oranlarını (10^{-8} 'den 10^{-10} 'a kadar olan hata oranları) garanti ederek sağlar. Daha yüksek seviyeli sistem fonksiyonlarına karşın, buna bağlı olarak hatlarda yüksek hata oranları (10^{-5} mertebesinde olan bit hata oranları) sıkça görülür. Diğer bir durumda, transmisyon maliyetleri genellikle yüksek ve kapasiteler sınırlıdır. Hat prosedürü, sistemin cevap süresini minimize edecek ve hattı maksimum etkinlikte ayarlanacak şekilde dizayn edilmelidir. Bu metne nazaran kontrol ve denetleyici bilginin miktarını mümkün olduğunca azaltmayı sağlar. Hiyerarşik sistemler için prensipte konvensiyonel hat prosedürleri istenir. Bu nedenle, bu prosedürler en fazla bir adresi olan çerçeveler ile işleme alınır. Noktadan noktaya linkte, çerçevenin gideceği yer ve orjinde belirsizlik yoktur. Çok noktalı hiyerarşik linkte, eğer birincilin gönderdiği çerçeveler ikincilin adresini içeriyorsa ve ikincilden gönderilen çerçeve gönderenin adresini içeriyorsa bütün belirsizliklerin önüne geçebilir. Lokal Alan Ağları (Local Area Network, LAN), dağılmış sistemde kullanmak için orjin ve gideceği yerin her ikisinin de adreslerini içeren çerçevelerde denenmiştir. Dağılmış sistemlerde, bütün istasyonların birbirleri kısıtlamadan haberleşebilmelidir.

8.1. Hata Düzeltme :

Transmisyon hataları ve hat bozukluklarının hat prosedürüne göre gereğine bakılır. Basit noktadan noktaya link, iki istasyon arasında iki yönlü sırayla değişen modda çalışır. Şimdi bu iki istasyonu, A ve B olarak göz önüne alalım. Hattaki transmisyonlar hatalara maruz kalabilir. Ve hat belli arızalar gösterebilir. Bu arızalar, bir veya her iki yönde hattın, arasına veya belirli periyotlarda kesilmesine yol açabilir. Çerçeveler, kayıpsız, kopyalanmadan ve hatasız gönderilmiştir. Prosedür buna göre dizayn edilmelidir. Çerçeveler, transmisyonda iken gideceği yerdeki donatım işlemleri de aynı sıra içinde olmalıdır. A istasyonu, B istasyonuna $m_1, m_2, m_3, \dots$ çerçeveler serisini göndermek istiyor.

En basit ve en eski metod, hatasız transmisyonu sağlamaktır. Bu hatasız transmisyon, alıcı istasyon çerçevenin kopyasının geri dönmesine ihtiyaç göstermesinden ibarettir. Bu çerçeve, gönderici tarafından alınmıştır. Bu yolda, A, m_1 çerçevesini gönderdiğinde B tarafından geri gönderilen bu çerçevenin echo $\hat{m}_1$ 'ni almayı beklemelidir. (Şekil - 8.1)

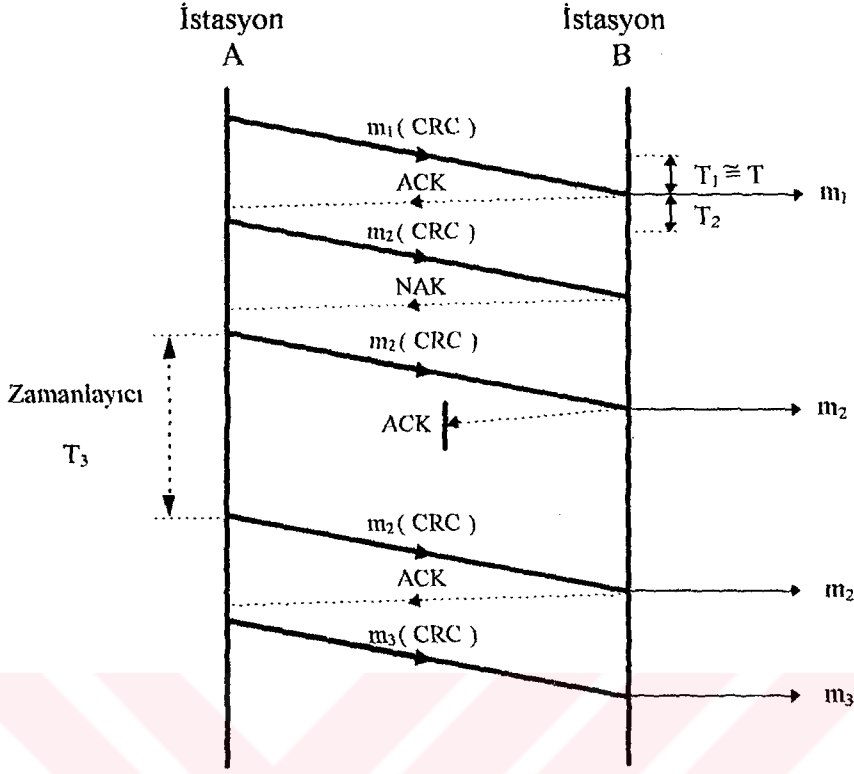
Eğer echo $\hat{m}_1$, gönderilen m_1 çerçevesini tanımlıyorsa, transmisyon hatasız bir şekilde yapılmış demektir, ta ki beklenmeyen tek yöndeki hata, diğer yöndeki hatayı iptal edene kadar. Bu örnekte, A istasyonu sıradaki m_2 çerçevesini gönderecektir. Eğer m_2 çerçevesinde transmisyon hatası varsa, A tarafından alınan echo $\hat{m}_2$, A 'ya transmisyon hatası olduğunu gösteren m_2 'den farklı olacaktır. Bununla birlikte, B transmisyonunun doğru olduğu hakkında bir bilgisi olmayacaktır, böylece eğer A normal olarak m_2 'yi herhangi bir belirti olmadan, tekrar gönderirse, B bu tekrar gönderimi takip eden mesaj olarak alacaktır, yani gönderilen $m_1, m_2, m_2, m_3, \dots$ dizisini $m_1, m_2, m_3, \dots$ işlemi olarak alır. Dolayısıyla, B tarafından önce alınan m_2 çerçevesinde hata olduğunu gösteren ve tekrar gönderimi belirten r kontrol karakterini ekleyerek, m_2 tekrar gönderilmesi A için gereklidir. Eğer A rm_2 'nin echo $\hat{m}_2$ 'sini doğru alırsa, sıradaki m_3 çerçevesini gönderebilir. Görüldüğü gibi, B istasyonu tekrar gönderimi olmayan, takip eden çerçeveyi alana kadar çerçeveyi doğru aldığına karar veremez. Ağın transfer süresi, en fazla A'dan B'ye T transfer süresinin 3 katı olabileceğini gösterir. Aynı zamanda, gerçek trafik, normal trafiğin iki katından büyük olduğu zaman yetersiz kalır. Bu nedenle, echo prosedürü sadece düşük hızlı terminaller kullanan manuel data girişi için geçerlidir.



Şekil - 8.1 Noktadan noktaya transmisyon. Echo prosedürü

8.2. Gönder ve Bekle Prosedürü :

Pratikte, hat prosedürlerinin çok kullanılması, hata bulma kodlarının kullanılması üzerine kurulmuştur. Hata bulma kodları, alınan mesajın geçerliliğinin kesin olduğu alıcı istasyon için yeterince kuvvetlidir. Doğru veya yanlışlığı ile beraber gönderici istasyona yeterli olduğunu gösterdiğinden sonra, alıcı istasyon alınan tüm çerçevenin geri dönmesi için artık o kadar gerekli değildir. En basit prosedür önce tanımlanacaktır, yani Gönder ve Bekle [Send and Wait (Stop and Go)] tipidir, ve bu prensip üzerine oturturulmuştur.



Şekil - 8.2 Noktadan noktaya transmisyon. Gönder ve Bekle prosedürü

Bu prosedürle, A istasyonu m_1 çerçevesini, CRC hata kontrol kelimesini ekleyerek B istasyonuna gönderir (Şekil - 8.2). Eğer B istasyonu m_1 çerçevesinde (CRC) herhangi bir hata tesbit etmezse, doğru olduğunu varsayar ve m_1 'e bağlı olan işleme cihazına m_1 'e m_1 'i iletir. Ayrıca B, transmisyonun başarılı bir şekilde değerlendirilmiş olduğunu göstermek amacıyla pozitif bir onay çerçevesinden (ACK) A'ya döner. ACK 'nin alınmasından sonra A istasyonu sonraki m_2 çerçevesini gönderebilir.

Transmisyonda hata olması durumunda, B istasyonundan A 'ya bir negatif onay (NAK) gelir. Bu, m_2 'nin tekrar gönderimine sebep olur. Alıcı istasyon, yardımcı işleme birimine T_1 süre sonra çerçeveleri teslim edene kadar, prosedürün bu tipi Echo metodundan daha verimlidir. T_1 süresi, $3 T$ yerine T 'ye daha yakındır. Bundan başka, onay çerçevelerinin sadece " evet " veya " hayır " cevaplarını iletmelidir ve böylece metin çerçevelerinden daha kısa olabilir. Bu, B 'den A 'ya T_2 transmisyon süresinin öncekinden çok daha kısa olmasını sağlar. Bundan sonra, hat önceki durumdan daha iyi verimlilikte çalıştırılır. Sonuçta, A istasyonu Echo prosedüründe olduğundan daha yüksek bir oranda çerçevelerini gönderir.

Şimdiye kadar, sadece transmisyon hataları olduğu durumlarda çerçevenin içerikleri değiştirilmesi gözönünde tutuldu. Pratikte, hat geçici kesilmelere sahip olabilir veya çerçeveler için hata oranı aslında yeterince yüksek tanımlanamaz. Kayıp çerçevelerin hesabını tutmak için, genellikle kullanılan metod; her m_1 çerçevesinin transmisyonu

anında bir zamanlayıcının başlamasından ibarettir. T_3 süresi bekleyen zamanlayıcı, çerçevenin T_1 dış transmisyon süresi ve onayın T_2 dönüş transmisyon süresi toplamından daha büyüktür. Eğer A gönderme istasyonu, T_3 penceresi süresince m_i çerçevesinin onayını almıyorsa, çerçevenin kayıp olduğunu algılar ve onu tekrar gönderir. Bu metod, metin çerçevesinin gerçekten kayıp olduğu zamanlarda kullanılması doğrudur, fakat onay kaybolduğu zaman doğru sonuç vermez. Sonraki durumda, B istasyonu m_i çerçevesini düzgün bir şekilde almıştır. Dolayısıyla, bunu kendi bilgi işleme cihazına iletir m_{i+1} çerçevesi için bekler. A istasyonu T_3 penceresi süresince onay almadığı için, m_i çerçevesinin kaybolduğu ve onu tekrar gönderdiği sonucu çıkar; bu durum B istasyonunun m_i 'yi kendi bilgi işleme birimine art arda iki kez göndermesine neden olur. Mantığa aykırı olarak, çerçevelerin kaybı işleme biriminde çerçevelerin kopyalanması ile kendi kendine açığa vurulur. Bu tip bir bozukluk, Şekil - 8.2 'de gösterilmiştir. Bir onayın kaybı olduğu yerde m_1, m_2, m_3 dizisine karşı m_1, m_2, m_2, m_3 dizisinin işleme birimine transmisyonuna sebep olur.



9. SENKRON BİT OLARAK YÖNLENDİRİLMİŞ PROSEDÜRLER :

9. 1. Temel Bit Olarak Yönlendirilmiş Prosedürler :

Senkron bit olarak yönlendirilmiş prosedürler, gönderilen komutlar, adresler ve metin gibi farklı tipte bilgileri içeren alanlara bölünmüş çerçeveler formundaki bilgiyi düzenler. Gönderilmiş bilginin niteliği, artık önceki prosedürlerdeki gibi kısmi alfabeye bağlantılı değildir. Burada, çerçevedeki bilginin durumuna bağlıdır.

En fazla kullanılan bit olarak yönlendirilmiş hat prosedürleri; IBM SDLC prosedürü, ISO HDLC prosedürü ve X.25 Network protokolü ile herikisi beraber kullanılan LAP ve LAPB prosedürleridir. Bu farklı prosedürler birbirlerine çok benzerler. Ve hepsi SDLC'den türetilmiştir.

9.2. HDLC Prosedürüne Genel Bakış :

HDLC prosedürü, noktadan noktaya veya merkezlenmiş çok noktalı hatlar üzerindeki, eş zamanlı veya sıra ile iki yönlü değişen transmiseyona olanak tanımak amacıyla tasarlanmıştır. Prosedür, kayan pencere protokolü ile anahtarlanmış veya özel hatlar üzerinde uygulanabilir.

Tüm mesajlar çerçevelerde düzenlenir (Şekil - 9.1). Çerçeveler, " 0 " 'ı takip eden altı adet " 1 " ve bir adet " 0 " ile tanımlanan iki flag ile sınırlandırılır. Bu bit konfigürasyonu, prosedür diğer tüm yerlerde ardışıl beş adet " 1 " 'den fazlasını engelleyene kadar tektir. 8 bit adres alanı, gönderen ikincil istasyonun adresini tanımlar veya çerçevenin gideceği yerdir. Bilgi alanı, gönderilecek olan metnin uzunluğuna bağlı olarak değişen büyüklüktedir. Bu alan, çerçeve denetimci konumda iken sıfır olabilir. Transmiseyonun transparanlığından şu şekilde emin olunur: Transmiseyonda, HDLC kontrolörü kullanılan mesajın ardışıl beş adet " 1 " 'in her gelişinden sonra bir " 0 " ilave eder (Bit Yerleştirme). Kullanılan mesaj, çerçevenin iki flag arasındaki kısmıdır. Eklenen " 0 ", alım sırasında elemine edilir. Bu yüzden, mesaj flag ile karışabilecek benzer bir diziyi kesinlikle üretmez. Ve metin herhangi bir kod sınırlaması olmaksızın gönderilebilir. Modemlerdeki bit senkronizasyonundan emin olmak için, sıfır yerleştirme birimi, garantilenmiş hat işaretinin yeterli sayıda konum değiştirmesine dahi izin verir. Eğer kodlama NRZI (Non-Return to Zero Inverted) içinde değerlendiriliyorsa, mesaj içinde " 0 " 'ın olduğu her an sinyalin polaritesi değişir. Sıfır yerleştirme birimi her beş "1" 'de " 0 " yerleştirilmesi için, hat işareti her altı bitte en fazla bir konum değişimi içerir.

Flag	Adres	Kontrol	Bilgi	Kontrol dizisi FCS	Flag
01111110	8 bit	8 bit	Değişken boyut	01111110	01111110

Şekil - 9.1 HDLC çerçeve yapısı

Bilgi I	0	N(S)		P/F	N(R)			
Denetleyici S	1	0	S	P/F	N(R)			
Numaralanmamış N	1	1	M	M	P/F	M	M	M

Şekil - 9.2 HDLC kontrol alanının formatı

8 - bit kontrol alanı, çerçevenin formatını tanımlar ve aynı zamanda komut tipini ve mümkün olan dizi numaralarını tanımlar. Kontrol alanının, farklı kodlamasına uyan üç çerçeve formatı vardır (Şekil - 9.2). İlk format, kontrol alanının ilk durumundaki 0 ile karakterize edilir ve bilgi çerçevesine uyar. N(S), gönderilen çerçevenin numarasını (modulo 8) gösterir ve N(R) beklenen sonraki çerçevenin numarasını (modulo 8) gösterir. Mutlak işaret ile N(R)-1 'e kadar numaralanmış, çerçeveler doğrudan alınmıştır. P/F (Poll / Final) biti, 1 ise; ilk istasyon için cevabı talep ettiğini gösterir (Poll) ve ikinci istasyon için kendi cevabını kendisi sona erdirir (Final). Düzenleyici Format, kontrol alanının ilk iki bitlerindeki 1 0 kombinasyonu ile gösterilmiştir. Linkteki Temel Düzenleyici Fonksiyonlar, bu numaralanmış onayları sağlamak için çalışırdı. Komut alanının S bitleri ("No.3 ve 4), Tablo - 9.1 'de gösterilen 4 denetim fonksiyonunu tanımlar. Numaralanmamış format, komut alanının ilk iki durumunda 1 1 kombinasyonu ile gösterilir. Ardışıl numaralamanın eliminasyonu sayesinde, 32 komuta ve cevaba kadar izin veren komut alanı tanımlanmalıdır. Komutlar Tablo 9.2 'de ve cevaplar gösterilmiştir. Tablo 9.3 'te gösterilmiştir.

Tablo 9.1 HDLC prosedürü. Denetleyici komutlar.

Sembol	Kontrol alanı								İşlev
	1	2	3	4	5	6	7	8	
RR	1	0	0	0	P/F		N(R)		Alma hazır
REJ	1	0	0	1	P/F		N(R)		Reddetme
RNR	1	0	1	0	P/F		N(R)		Alma hazır değil
SREJ	1	0	1	1	P/F		N(R)		Seçimli

Çerçevenin son alanı, çerçeve hataları için diziyi kontrol eden 16 bittten oluşan Çerçeve Kontrol Dizisi (Frame Check Sequence-FCS)'dir. Bu dizi $z^{16} + z^{12} + z^5 + 1$ polinomu kullanılan CCITT Polinom Kodu V-41 'den elde edilmiştir. Hata bulma işlemi flag'ler hariç tutularak bütün çerçeve üzerinde yapılır.

Tablo 9.2 HDLC prosedürü. Numaralanmamış komutlar.

Sembol	Kontrol alanı								İşlev
	1	2	3	4	5	6	7	8	
SARM	1	1	1	1	P	0	0	0	Asenkron cevap moduna ayarlar
SNRM	1	1	0	0	P	0	0	1	Normal cevap moduna ayarlar
SABM	1	1	1	1	P	1	0	0	Asenkron dengeli moda ayarlar
SARME	1	1	1	1	P	0	1	0	Eklenmiş asenkron cevap moduna ayarlar
SNRME	1	1	1	1	P	0	1	1	Eklenmiş normal cevap moduna ayarlar
SABME	1	1	1	1	P	1	1	0	Eklenmiş asenkron dengeli moda ayarlar
DISC	1	1	0	0	P	0	1	0	Bağlanmamış
SIM	1	1	1	0	P	0	0	0	Kuruluş modunu ayarlar
UP	1	1	0	0	P	1	0	0	Numaralanmamış seçme
UI	1	1	0	0	P	0	0	0	Numaralanmamış bilgi
XID	1	1	1	1	P	1	0	1	Değiş-tokuş tanımlaması
RSET	1	1	1	1	P	0	0	1	Reset

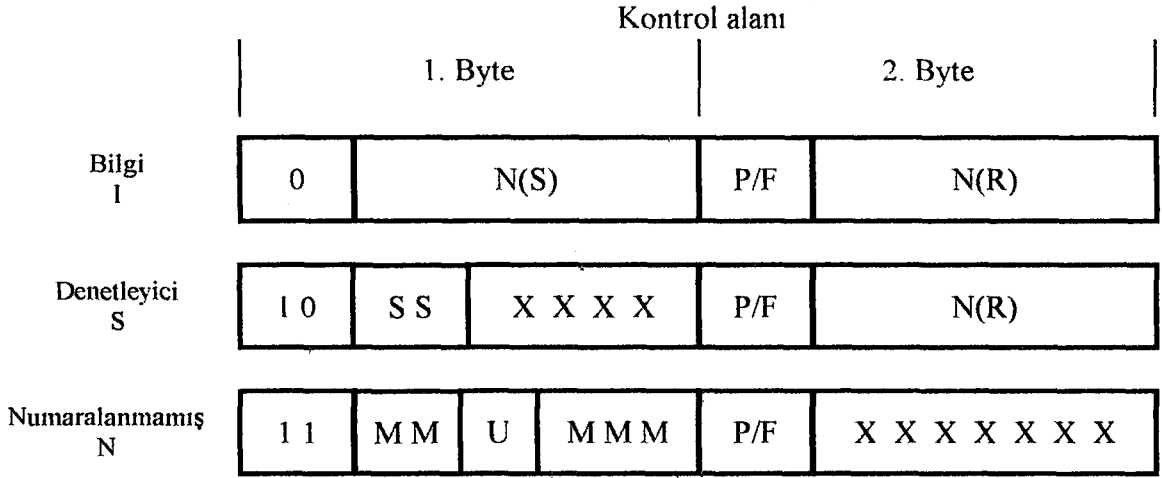
Tablo 9.3 HDLC prosedürü. Numaralanmamış cevaplar.

Sembol	Kontrol alanı								İşlev
	1	2	3	4	5	6	7	8	
UA	1	1	0	0	F	1	1	0	Numaralanmamış onay
CMDR	1	1	1	0	F	0	0	1	Komut reddetme
DM	1	1	1	1	F	0	0	0	Bağlantısızlık modu
RD	1	1	0	0	F	0	1	0	Bağlantısızlık istemi
RIM	1	1	1	0	F	0	0	0	Kuruluş modu istemi
UI	1	1	0	0	F	0	0	0	Numaralanmamış bilgi
XID	1	1	1	1	F	0	0	1	Değiş-tokuş tanımlaması

HDLC prosedürü, ana formatlara iki tip ilave ile sağlanır. İlk olağan ilave adres alanını ilgilendirir. Taraflar arasında anlaşma ile bir byte'tan daha fazla eklenebilir. Adres ilavesi kullanıldığında, adres byte'ının ilk bitindeki "1" 'in önündeki, onu takip eden byte'ın da adres byte'ı olduğunu gösterir. Adres byte'ları dizisinin son byte'ı, byte'ın ilk durumundaki "0" biti ile işaretlenmiştir.

Kontrol alanı, modulo 8 yerine modulo 128 çerçevelerinin numaralanması işlemi için eklenecektir. Bu, çerçeve numaralanmasının eklenmesi, çerçeve transmisyon süresinden önemli bir ölçüde büyük kabul edilen gecikmenin olduğu uydu haberleşmesinde kısmi olarak uygundur. Komut alanının eklenmesi SNRME, SARME ve SABME komutları ile

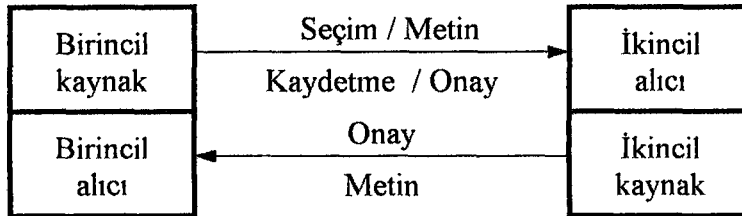
başlanmıştır. Kontrol modunun eklenişinde, iki byte'ı içeren kontrol alanı Şekil - 9.3 'de gösterilmiştir ve N(S) ile N(R) sıra numaraları 7 bit ile kodlanmıştır.



Şekil - 9.3 HDLC prosedürü. Eklenmiş kontrol alanının formatı.

9.3. HDLC prosedürünün işlem modları :

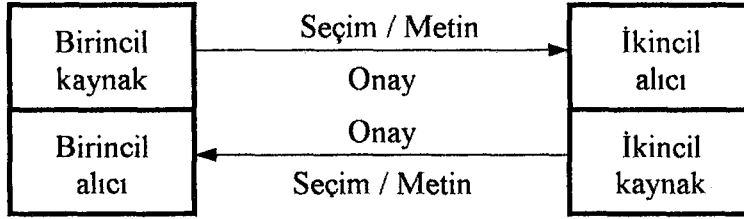
HDLC prosedürü, kullanıcı tarafından istenen işlem tipine bağlı olarak üç farklı moddan birinde işleme alınabilir. Normal Cevap Modu (Normal Response Mode, NRM), bir birincil ve birkaç ikincil istasyonları seçme ve kullanma ile kurulan noktadan noktaya veya çok noktali hiyerarşik linkler için kullanılır. Birincil istasyon, bozukluk durumunda telafisi ile beraber link'in kurulması ve denetlenmesinden sorumludur. Dengelenmemiş olan link'te ikincil istasyonlar sadece birincil istasyondan gelen komutların cevaplandırılmasında ve seçilerek gönderilmesinde rol oynar (Şekil - 9.4). Bu nedenle, birincil istasyondan çok daha basittir. Birincil istasyon, bağlı olduğu farklı ikincil istasyonlara SNRM komutu (veya eklenmiş numaralama modundaki SNRME) göndererek normal cevap modundaki işlemlere başlar. F bitinin " 1 " 'e ayarlanması ile UA cevabı formunda, ikincil istasyonu ilgilendiren bölümde bu komutun P biti onay için söylenen " 1 " 'e ayarlanır.



Şekil - 9.4 Dengelenmemiş noktadan noktaya link.

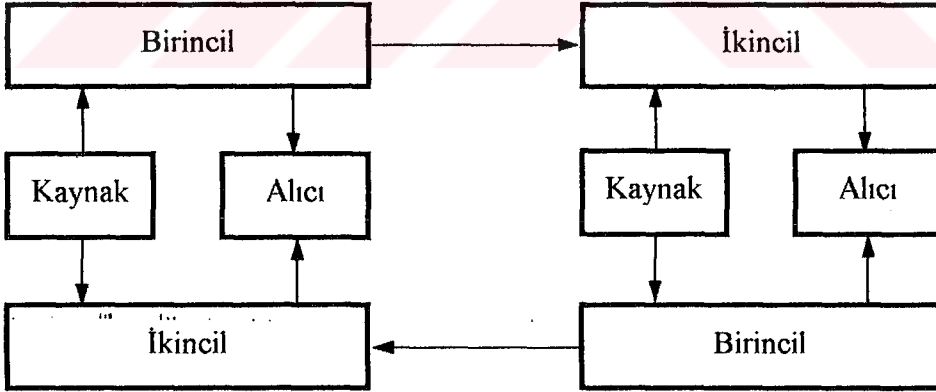
HDLC prosedürünün işleminin ikinci modu Asenkron Cevap Modu (Asynchronous Response Mode, ARM) dur. Bu mod, noktadan noktaya ve çok noktali hiyerarşik linkler

için kullanılır. Normal cevap modunda kullanılanlara benzeyen, birincil ve ikincil istasyonlar karıştırılır (Şekil - 9.5). Birincil istasyon, link'in düzeltilmesi ve kurulması için sorumluluğunu korur. Bunlarla birlikte, tartışmalı yönlendirilmiş hat için, ikincil istasyon çarpışmalara neden olabilecek seçme için, beklemeden serbestçe gönderilir. Bu nedenle, asenkron cevap modu, esas olarak noktadan noktaya linkler için kullanılır. Çok noktalı linkler konusunda, aynı zamanda sadece bir ikincil istasyon aktif olabilir. Asenkron cevap modu, UA 'ya uyan ikincile SARM (veya SARME) komutu ile başlanmıştır.



Şekil - 9.4 Dengelenmemiş simetrik noktadan noktaya link.

NRM modu, çok noktalı hiyerarşik hatların işlemine özellikle daha çok uyar. NRM modunda iken, ARM modu, full duplex link üzerinde büyük trafik akışına iyi uyar. Uyuşmayan iki akıllı birimi bağlayan noktadan noktaya hatları kurmak, HDLC prosedürü işlemin üçüncü modunu önerir, iki benzer istasyonu kullanan Asenkron Dengelenmiş Mod, istasyonları birleştirir (Şekil - 9.5). Her birleşmiş istasyon başlama, denetleme, düzeltme için kapasitesi vardır. Bu, tamamen iyi gönderilmiş ve alınmış komutlar ve cevaplara eşittir. ABM modu, UA 'ya uyan gideceği istasyona SABM (veya SABME) komutu ile başlar.



Şekil - 9.5 Dengeli noktadan noktaya link.

Modlar, linke mantıklı olarak bağlanan istasyonlar arasındaki data transferi ilişkisine bağlı olarak tanımlanır. İşin sonunda, birincil istasyon birbirleri arasında bağlanmadan önce UA 'ya uyan DISC komutlarının gönderilmesi ikincil istasyonların aralarında mantıklı olarak bağlanmasını gerektirebilir. HDLC prosedürü, hem DISC komutuna cevapta, hem de takip eden hariç tutulan ilişkiler, iki bağlantısız modun birinde olan istasyon için

hazırlık yapar, örneğin; istasyona güç verildiğinde iki bağlantısız modlar; Normal Bağlantısız Mod (Normal Disconnect Mode, NDM) ve Asenkron Bağlantısız Mod (Asynchronous Disconnect Mode, ADM). Bu iki modda, ikincil istasyonun kabiliyetleri, SNRM, SIM ve DISC, yerdeğiştirme komutunun tanımına karşılık XID gibi alıcı ve geri çevirici mod ayar komutları ile sınırlıdır ve DM, XID, RIM veya RD cevaplarını göndermesi mümkündür. XID komutu, birincil istasyon tarafından kendi karakteristiklerini ve ikincil istasyonun tanımını göndermek için kullanılır. İkincil istasyon, kendi tanımı ve karakteristiğini içeren XID çerçevesi ile bu komuta cevap vermelidir. DM çerçevesi, bağlantı yok modunu gösteren ikincil istasyon ile kullanılan DISC komutuna cevap verir. Asenkron Bağlantı Yok Modu, ikincil istasyonların yer aldığı bu modda kendi başlama kabiliyetlerinde birincile mantıklı bağlanma isteği DM veya başlama RIM çerçevelerini göndermenin olabilirliği belirtildiğinde Normal Bağlantı Yok Modu'ndan farklıdır.

HDLC prosedürü aynı zamanda, kuruluş değiş-tokuşu için önemli olan parametrelerde Kuruluş Modu'nu (Initialization Mode, IM) sağlar. İkincil istasyon, UA'ya uyan Kuruluş Ayar Modu Komutu'nu (Set Initialization Mode Command, SIM) aldığı başlangıç moduna girer. İkincil istasyon, Kuruluş İstek Modu'nun (Request Initialization Mode, RIM) gönderilmesi ile SIM komutuna neden olur. Kuruluş Modu'nun birinde birincil, data transfer moduna girebilmek için SNRM, SARM veya SABM komutu gönderene kadar, önceki anlaşmaya ve normale bağlı olarak istasyonlar bilgi değiş-tokuşu yapabilir.

9.4. Prosedür Elemanları :

Link işlem modları ile ilgili komutlar ve cevaplar'dır. HDLC prosedürünün diğer ana komutları ve cevapları aşağıdaki gibidir:

- Bilgi Çerçevesi (Information Frame, I):

Bilgi çerçeveleri metin göndermek ve alınan bilginin onaylanması için kullanılır. NRM modunda, " 1 " 'e ayarlanmış P biti ile bilgi ve denetleyici çerçevenin alınmasından sonra, ikincil istasyon sadece I çerçevelerini gönderir. ARM modunda, I çerçeveleri ikincil istasyon ile asenkron olarak gönderilir. Bu durumda, birincil ve ikincil arasındaki " 1 " 'e ayarlanan P ve F bitleri ile çerçevelerin karşılıklı yer değiştirmeleri, kontrol eden çerçeveler ile sıra hataları bulmasına yardım eder.

- Almaya Hazır (Ready to Receive) Çerçevesi:

RR çerçevesi, almaya hazır ve I çerçeveleri önceden alındı ve $N(R)-1$ 'e kadar numaralandığını onaylayan muhabirini gösteren birincil ve ikincil istasyonlar tarafından kullanılan denetleyici komut veya cevaptır.

- REJ Çerçevesi:

REJ çerçevesi, N(R)-1'e kadar numaralanmış I çerçevelerinin alma onayında ve N(R) çerçeve numarasından I çerçevelerinin tekrar transmisyonunu istemede kullanılan denetleyici komut veya cevaptır.

- RNR Çerçevesi:

RNR çerçeve, N(R)-1 'e kadar alınan I çerçeveleri onayında ve istasyonun belirli aralıklarda kullanımda olduğunu göstermesinde kullanılan denetleyici komut veya cevaptır.

- SREJ Çerçevesi:

Seçilebilen Geri Çevirme (Select Reject) komutu veya cevabı, N(R)-1 'e kadar alınan I çerçeveleri ve N(R) numaralanmış I çerçevesinin tekrar transmisyonu istemleri onaylarındaki denetleyici çerçevedir. N(R) 'den büyük numaralı ve daha önceden gönderilmiş I çerçeveleri tekrar gönderilmiş değildir.

Ana numaralanmamış komutlar ve cevaplar, CMDR, UI, UP, RSET, FRMR çerçevelerini içerir. Bunların fonksiyonları aşağıdaki gibidir:

- Komut Red Cevabı [Command Reject Response (CMDR)]:

CMDR cevabı, henüz yanlış çerçevesi aldığını ve düzeltme bu çerçevesi basitçe tekrar gönderimi sonucu olamayacağını gösteren ikincil istasyon tarafından kullanılır. Bu duruma ilişkin bir örnek; FCS hatalarını içermeyen fakat numarası N(R) olan çerçeve doğru değildir. CMDR çerçevesinin alanı, komutları geri çevirmenin nedenlerini içerir.

- Numaralanmamış Bilgi Komutu veya Cevabı [Unnumbered Information Command or Response (UI)]:

UI çerçevesi durum bilgisine, belli aralıklarla data veya parametreleri göndermek için kullanılır. UI çerçevesi onay gerektirmez ve sıralı numarayı değiştirmez.

- Numaralanmamış Seçme Komutu [Unnumbered Poll Command (UP)]:

UP komutu, birincilden bir veya daha fazla ikincil istasyonlara gönderilen bir seçimdir. Bu komut, birincil istasyon tarafından alınan herhangi I çerçevesini onaylamaz.

- Reset Komutu [Reset Command (RSET)]:

RSET komutu, V(R) ve V(S) değişkenleri seviyesini " 0 " 'a reset'lemek için ABM modunda kullanılır. Bu komutu alan birleşmiş istasyon, V(R) değişkeni seviyesini " 0 "a

resetler ve U(A) cevabına döner. Gönderme istasyonu, eğer U(A) onayını doğru olarak alırsa, V(S) değişkeni seviyesini “ 0 ” ‘a resetler.

- Çerçeve Red Cevabı [Frame Reject Response (FRMR)]:

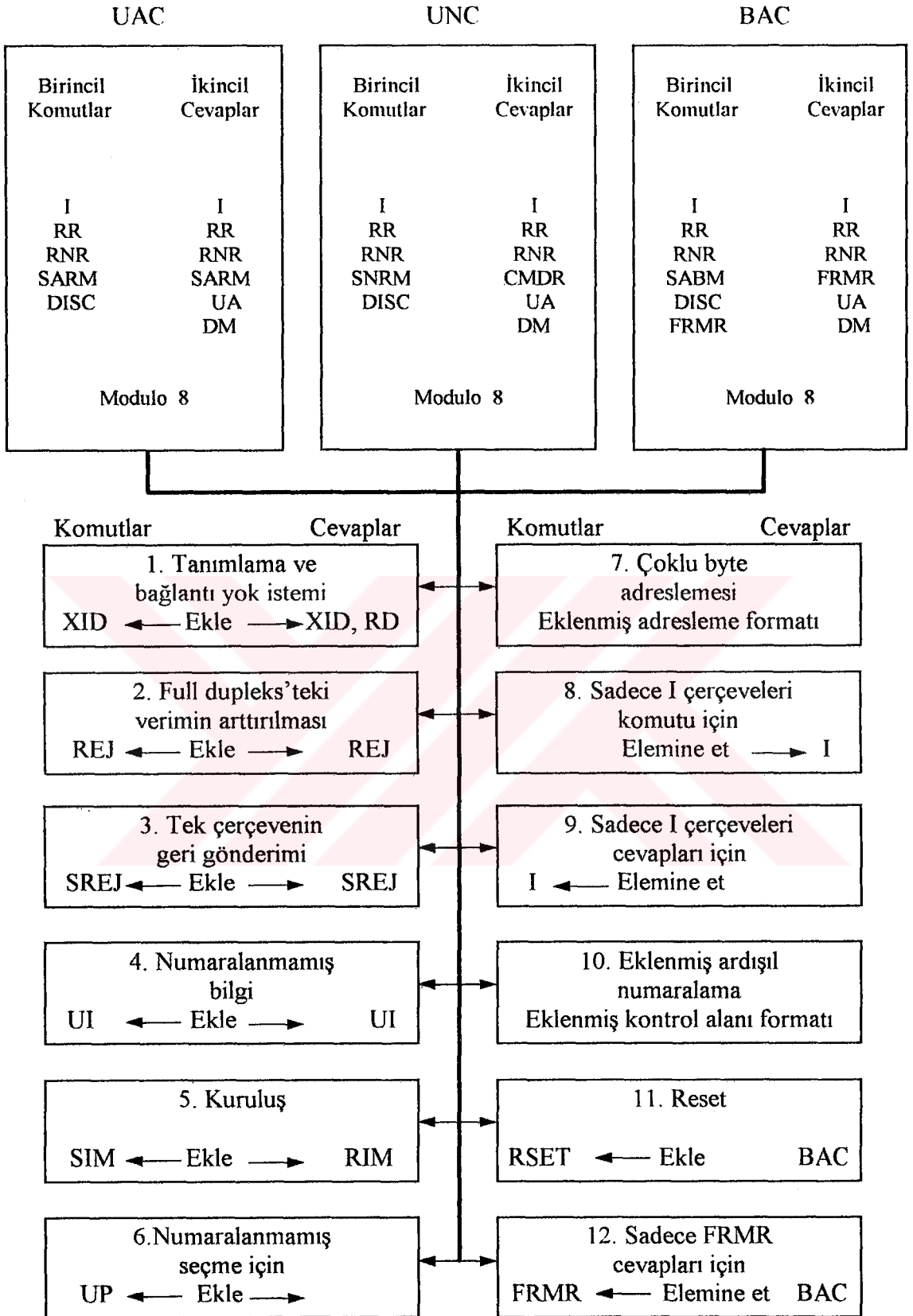
FRMR çerçeve, NRM veya ARM modlarında CMDR cevabına benzer ABM modunda rol oynar. Bu çerçeve, komutun kabul edilmemesini gösteren cevap için ve linki yeniden kurmak için uzak istasyonu talep etmede kullanılır.

9.5. Prosedürlerin Sınıfları :

HDLC prosedürü, komutlar ve cevapların büyük sayıları ile üç farklı moddaki istasyonun üç farklı tipi işlenebilir. Mümkün kombinasyonların sayısı, buna karşın çok büyüktür ve bu, her durumda kullanılan komutlar veya cevapların ayarlarının belirlenmesi prosedürünün üç sınıfta tanımlanmasına yol açar. Bu üç sınıf,

- Dengelenmemiş Asenkron Sınıf (Unbalanced Asynchronous Class, UAC)
- Dengelenmemiş Normal Sınıf (Unbalanced Normal Class, UNC)
- Dengelenmiş Asenkron Sınıf (Balanced Asynchronous Class, BAC)

Herbiri sırasıyla ARM, NRM ve ABM modlarına uyar. Prosedürlerin sınıfları aynı zamanda Şekil - 9.6 ‘da gösterildiği gibi 12 seçeneği içerir. Bu, üç temel repertuara eklenen seçeneklerin alt ayarlarının biri veya daha fazlası ile kısmi data linkinin özelliklerine izin verir. Bundan sonra, UNC sınıfı, 3, 4; SREJ ve UI seçeneklerini içeren dengelenmemiş normal data linkini belirtir. Buna karşın sadece çerçevelerin minimum numarasını içeren, UNC sınıfı, normal moddaki linke işlem yapmada önemlidir. Bu basit sınıf ile, negatif onaylar olmaz ve hata düzeltme, cevap zamanlayıcı kullanan pasif yönetimlerdir.

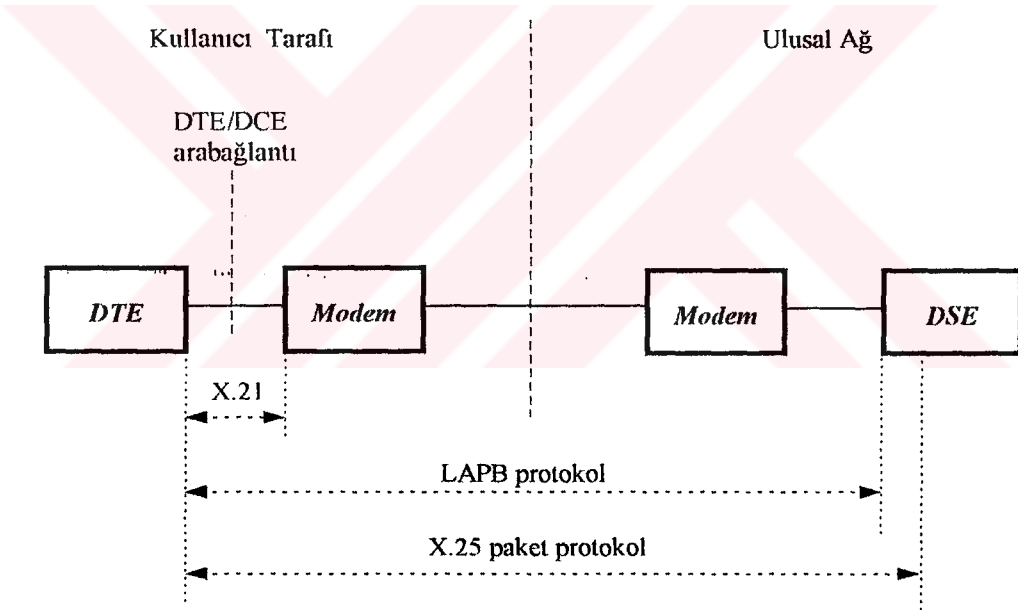


Şekil - 9. 6. HDLC prosedür sınıfları

10. X.25 Protokolü :

Data transmisyonu için hızla artan talepleri karşılayabilmek için, endüstrileşmiş ülkelerin çoğu, Ulusal Paket Anahtarlama tele-işlem ağlarını kurmuştur. Karşılıklı olarak birbirleri ile uyuşmayan sistemlerdeki gelişmelerin önüne geçilmesi için, ağın bu tipleri ile standart arabağlantıyı tanımlamaya CCITT 'yi itmiştir. Bu çalışmanın sonucu olarak, çoğunlukla ulusal paket anahtarlama ağlarında kullanılan X.25 protokolü ortaya çıkmıştır.

X.25 protokolü kullanıcılar arasındaki haberleşme için kuralları belirtir. Bu kullanıcılar; Data Terminal Birimi (Data Terminal Equipment, DTE) diye bilinir ve Ulusal Ağ Giriş İstasyonu (Data Circuit Terminating Equipment, DCE) diye bilinir (Şekil - 10.1). Pratikte, kullanıcı ile ağ arasındaki elektriksel arabağlantı, DTE ve kullanıcıda bulunan DCE arasında bulunur ve DCE genellikle tek modeme indirgenir. DCE, transmisyon hattı ile en yakın ağ düğümüne bağlanmıştır ve protokolün akıllı tarafı, DTE ve DCE'nin bağlandığı düğümün Data Anahtarlama Birimi (Data Switching Equipment, DSE) ile kullanılmasıdır. Bu bölümün bundan sonraki kısmında, X.25 protokolü, DTE ve bağlı olduğu ağ DCE arasındaki değiş - tokuş 'ları tanımladığı farzedilsin (Şekil - 10.2)



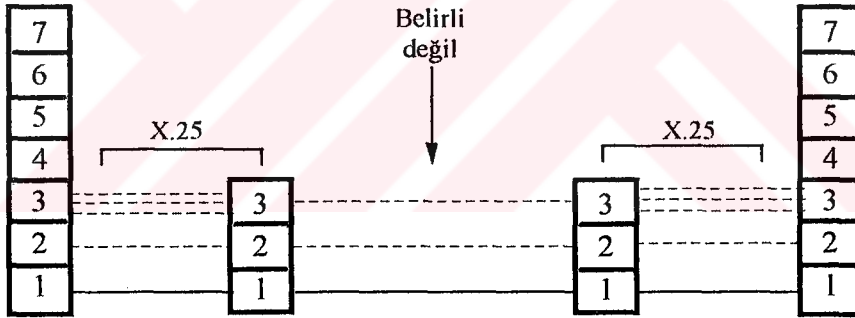
Şekil 10.1 X.25 protokolü. Ağ / Kullanıcı arabağlantısı

X.25, ağdaki iç işlemleri tanımlamaz. Bu, ağdaki düğümlere bağlı olan değişik DSE'ler arasındaki gönderilen paketlerin biçimidir. Uygulamalı yerine getirme ve randıman bir ağdan diğerine farkedilebilir değişiklikler gösterebilir. Buna karşın, protokollere uyan herhangi ulusal ağa bağlanmış bütün X.25 DTE'lere izin veren, benzer durumlarda, X.25, ağ ve kullanıcı arasındaki ara bağlantıyı çok kesin olarak belirtir. X.25 Tavsiyeleri, OSI modelinin ilk üç katmanına yaklaşık olarak uyan üç protokol seviyesini belirtir.

X.25 'in 1.Seviyesi, DTE ve DCE arasındaki arabağlantının fiziksel, elektriksel ve mantıksal karakteristiklerini belirtir. Bu seviye, fiziki kanal ile bitlerin transmisyonuna uyan, CCITT X.21 önerilerinde detaylı tanımlanmıştır. Bu tavsiyeler, dijital ağa erişim ile ilişkilidir. Bu tipteki ağlar için nadiren uygundur ve DTE arabağlantılara uyan aynı uygulamalar, X.25 ağlarına paket anahtarlama ile erişim, V.24/RS.232.C arabağlantı ile donatılmış modemler kullanılan telefon ağına genellikle bu yolla erişilir. Bu durumda, senkron transmisyon da arabağlantı ile CCITT X.21b tavsiyeleri ile belirtilmiştir.

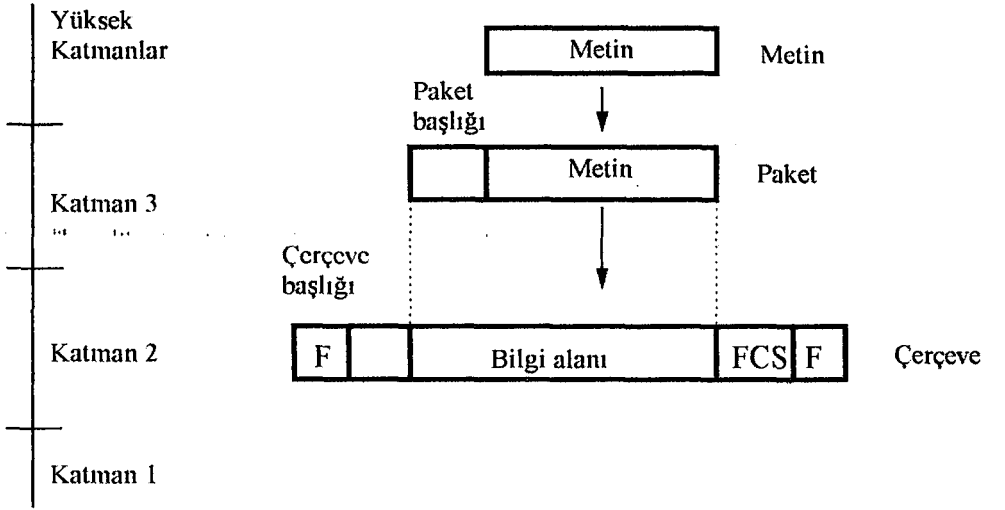
X.25 'in 2.Seviyesi, DTE ve DSE arasındaki çerçevelerin noktadan noktaya transferlerini tanımlar. Bu, Link Erişim Prosedürü (Link Access Prosedure, LAP) ve Dengeli Link Erişim Prosedürü (Balanced Link Access Prosedure, LAPB) olan iki değişkeni belirten X.25 tavsiyeleri için hat prosedürüdür. Bu hat prosedürlerinin ikisi de bit olarak yönlendirilmiştir ve HDLC prosedürüne çok benzerdir, kısmi olarak LAPB ve HDLC'nin ABM modu arasında uyumluluk vardır.

X.25 protokolünün 3.Seviyesi, metnin yapısı ve paketlerdeki kontrol bilgisi ile ilgilidir. Bu, Paket Seviyesi Protokolü (Packet Level Protokol, PLP), 2.Seviye'de değiş-tokuş yapan çerçevelerin data alanının formatını belirler. Buradan itibaren, kullanıcı tarafından gönderilen metin, paket başlığını belirten 3.Seviye'deki ilk artımdır, örneğin, lojik kanal numarası veya paketin tipi (Şekil - 10.3).



Şekil - 10.2 X.25 protokolünün katmanları

Paket, hat çerçevesinin bilgi alanına dahil edilen 2.Seviye'ye gönderilir. Bu çerçeve, 1.Seviye'deki fiziksel katmanı ile ağa transfer edilir. X.25 protokolünün 3.Seviyesi, OSI modelinin ağ katmanına (3.Seviye dahi) yaklaşık olarak benzer. Görüleceği gibi, bununla birlikte, bu benzerlik sadece yaklaşımdır ve pratikte X.25 kısmen veya toplam sondan sona kontrole izin verir, seçilen seçenekler ile uyum içinde olmayı ve kullanıcıya ağı tayin eden gizlilik seviyesini sağlar. X.25 protokolü, böylece, normalde OSI modelin (4.Seviyedeki) taşıma katmanı ile sağlanan fonksiyonların tümü veya bir kısmını desteklemesine karşı 3.Seviye'yi aşar.

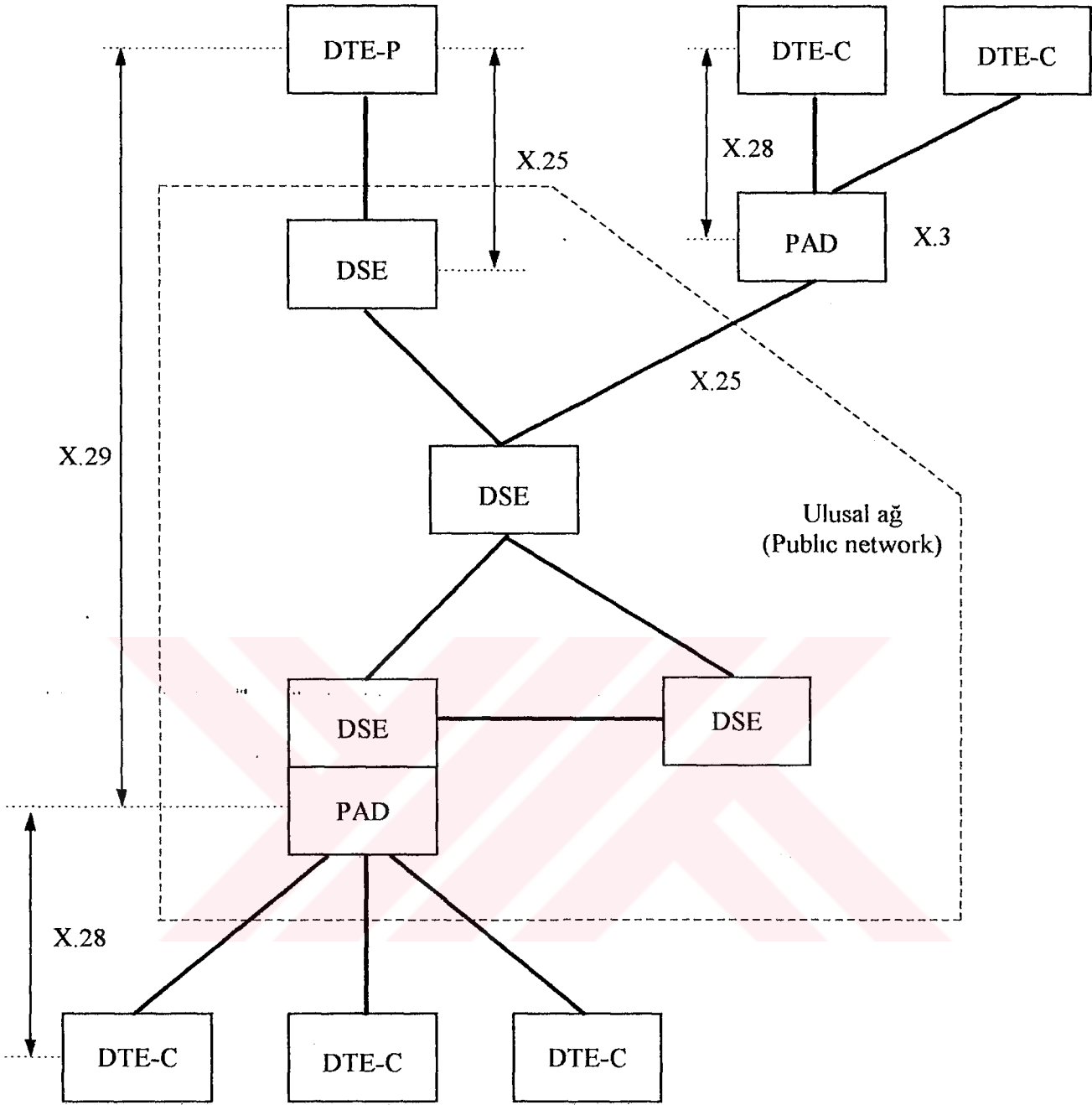


Şekil - 10.3 X.25 prosedürünün farklı seviyeler için formatı

X.25 protokolü, sürekli veya anahtarlama sanal devre servisi sağlaması için başlangıçta geliştirilmiştir. Kullanıcı ve ağ arasındaki fiziksel bağlantı sürekli veya anahtarlama olabilir. DCE ve DSE 'nin hat bağlantısında kullanıcı / ağ link'inin optimum kuruluşu sağlamasına karşılık, bütün paketlerin içine yerleştirilmesi gereken lojik kanal numaraları sayesinde, tanımlanan birkaç lojik kanalın sunulması ile protokol çoklama kolaylığına yarar. Bu, birkaç sanal devre, ağa tek gerçek erişim devresinde çoklanmış olmasına imkan verir.

X.25 protokolü, senkron modda çalışan birimi olan kullanıcılar içindir ve X.25 paket seviyesindeki protokolü tamamlar. Bu tipin birimi, DTE-P (Paketi) diye bilinir. Daha değerlidir ve ulusal paket anahtarlama ağına karakter modunda çalışan basit terminallerin bağlanmasının kolaylığı sunulması önemli idi. Bunlar, DET - C (Karakter) diye bilinir. Bu, ağ protokol fonksiyonlarını yöneten yardımcı Paket Montaj Demontaj (Packet Assembly Disassembly, PAD) biriminin yardımıyla gerçekleştirilebilir. Senkron ve asenkron hat prosedürleri arasında değişmeye yarar. PAD 'ler nazaran daha değerli olduğu için, genellikle birkaç terminal arasında paylaşılır. Bu terminallerin küme kontrolörleri gibi kullanılması ile sonuçlanır. Pratikte, PAD 'ler ulusal ağın bir parçası olabilir veya kullanıcı ile sınırlandırılabilir. Sonuç, DTE-P senkron transmisyon ile paket modda çalıştığı yerde Şekil - 10.4 'de görüldüğü gibi bir konfigürasyondur. DTE-P, PAD 'ler ile asenkron DTE-C terminallerine bağlanmıştır. Bunlar ağın bir parçası veya kullanıcı ile sınırlandırılmış olabilirler.

Paket montaj ve demontaj servisi, CCITT X.3 Tavsiyeleri ile belirtilmiştir. X.28 ve X.29 tavsiyeleri, PAD ve DTE-C veya DTE-P söylendiği sırayla aralarında değiş-tokuş'lar için protokolleri tanımlar.



Şekil - 10.4 Ulusal paket anahtarlama ağına erişim için paketleme/paket çözme kullanımı.

11. X.21 TAVSİYELERİ :

X.21 Tavsiyeleri, bir kaç Avrupa ülkesinde ve Japonya'da kullanılmıştır. Kuzey Amerika'da da sınırlı kullanımı görülmüştür. X.21, içdeğişim devrelerinin X.24 tasviri üzerine kuruludur. X.24, V serisi için V.24 'ü andırır. V serisi, diğer X serileri arabağlantıları tarafından kullanılan iç değişim devrelerini tarif eder. Bu devreler, Tablo - 11.1' de toplanmıştır.

X.25, Fiziksel katman X.21 farzedilir, X.21 arabağlantısı boyunca paket değış-tokuşu için T (Transmit) ve R (Receive) devrelerini aktif tutar. X.21, şu data transfer konumlarından birinde olduğı farzedilsin: 13S (Data gönder, Send data), 13R (Data al, Data receive), 13 (Data transfer). X.25 daha ileri varsayımları, X.21 kanalları C (Kontrol, Control) ve I (Gösterme, Indication) aktiftir.

C ve I aktif verilmiştir. X.25, DTE ve DCE arasındaki X.21 fiziksel arabağlantıyı kullanır. Paketi gönderirken transmit T pinlerinden geçer, paketi alırken Receive R pinlerinden geçer. Bunlarla " Paket pipeline " gibidir.

11.1 V.24 Tavsiyeleri :

V.24, çoğunlukla düşükten orta hızlıya kadar olan modemlerde, arabağlantıda içdeğişim devrelerinin (pin'lerin) görevlerini tarif etmede kullanılır. Çoğu, X.25 ürünü bu standartları kullanır. Bunlardan başlıcaları; modemler, hat sürücüler, çoklayıcılar ve dijital servis birimleri.

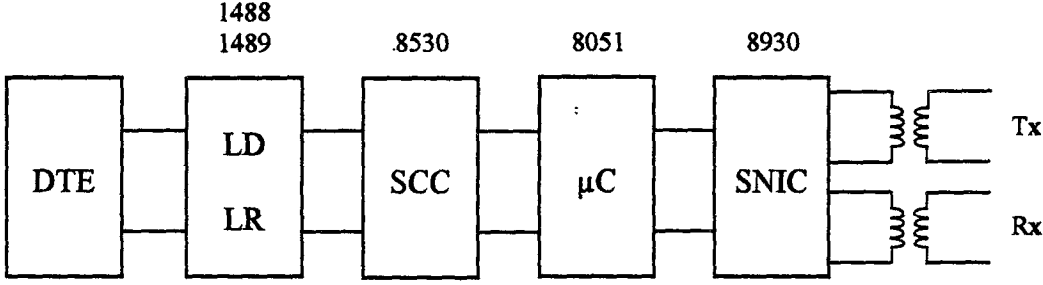
Tablo - 11.1 X.24 İçdeğişim Devreleri

İçdeğişim Devre Ünvanları	İçdeğişim Devre Adı	Data		Kontrol		Zamanlama	
		DCE 'den	DCE 'ye	DCE 'den	DCE 'ye	DCE 'den	DCE 'ye
G	Toprak işareti veya genel dönüş						
Ga	DTE genel dönüş				X		
Gb	DCE genel dönüş			X			
T	Gönder		X		X		
R	Al	X		X			
C	Kontrol				X		
I	Gösterge			X			
S	İşaret elemanı zamanlaması					X	
B	Byte zamanlaması					X	
F	Çerçeve başlama tanımlaması					X	
X	DTE işaret elemanı zamanlaması						X

12. Baseband Modem Tasarımı :

Baseband modem tasarımında, modem işlevsel özelliklerine göre dört bölümden oluşturuldu (Şekil - 12.1). Bunlar PC 'den itibaren sırasıyla:

- Hat Sürücü ve Alıcıları (LD ve LR)
- Seri Haberleşme Kontrolörü (SCC)
- Mikrokontrollör (μC)
- Abone Ağı Arabirim Devresi (SNIC)



Şekil - 12.1 Baseband Modem'i oluşturan bölümler.

PC (DTE) 'deki RS232C portu üzerinden çıkan seri data hat alıcıları (LR) ile TTL 'e çevrilir. TTL 'e çevrilmiş data SCC 'un RxD pin'ine gelir. Ve SCC, alınan seri datayı paralel data şekline dönüştürür. Adres / Data Bus üzerinden bu paralel datayı önce μC alır ve sonra SNIC'i aktif hale getirerek bu paralel datayı Adres / Data Bus üzerinden SNIC 'e iletir. SNIC 'te bu paralel datayı, seri hale dönüştürerek LTx pin 'i çıkışından ve transformatör üzerinden hatta verir.

Hattan gelen seri data aynı şekilde, transformatör üzerinden geçerek SNIC 'in LRx pin'ine gelir. SNIC 'e gelen bu seri bilgi paralel hale dönüştürülerek, Adres / Data Bus üzerinden önce μC 'a gelir. Ve μC 'ın SCC 'yi aktif hale getirmesi ve SNIC 'i devre dışı bırakması ile yine Adres / Data Bus üzerinden paralel olarak SCC 'ye iletir. SCC bu alınan paralel datayı seri data şekline dönüştürerek TxDA pin'i üzerinden hat sürücü (1488) ile 25 pin'lik port'a atar. PC (DTE) 'nin portuna gelen bu data RS232C üzerinden alınır.

SCC 'deki clock girişi olan PCLK pin'i, dahili işaretleri senkronize etmede kullanılır. PCLK, TTL seviyeli işarettir.

SCC 'deki Data Gönderme Çıkışı olan TxD pin'inden çıkan işaretler standart TTL seviyelerdeki seri datayı gönderir. Data Alma Girişi olan RxD pin'ine gelen standart TTL seviyelerdeki seri datayı alır.

SCC, gönderme ve alma clock işaretlerinin simetrik olması gerekmiyor. Bu özellik farklı clock kaynaklarının kullanılmasına izin veriyor. Bu gönderici ve alıcı, clock hızının 1, 1/16, 1/32, veya 1/64 'ü oranlarında datayı iletebilir. Alma ve gönderme clock işaretleri bu clock hızlarında beslenebilir.

SCC 'ye hat alıcılar üzerinden gelen, Clear To Send bilgisi $\overline{\text{CTSA}}$ pin'ine, Data Carrier Detect $\overline{\text{DCD}}$ pin'ine girer. SCC bu pinlerdeki işaretleri algılayarak, her iki lojik seviye durumunda CPU 'yu kesime götürebilir.

SCC 'nin Data Terminal Ready / Request bilgisi $\overline{\text{DTR/REQA}}$ pin'inden, Request To Send bilgisi $\overline{\text{RTSA}}$ pin'inden çıkarak hat sürücüler üzerinden port'a aktarılır. Ve PC'ye gider.

Bu arada, SCC 'un A ve B olmak üzere bağımsız 0 - 1 M bit/sn. Hızında iletişim yapabilen tam duplex iki kanalı vardır. Bu nedenle hangi kanalın kullanıldığını belirten A ve B Kanalı Seçme Girişi olan A / B pin'i şartlandırılmalıdır. Burada A kanalı kullanıldığından A / B pin'i V_{DD} 'ye bağlandı.

μC , SCC 'nin $\overline{\text{CE}}$ pin girişi ile SCC'yi okuma veya yazma işlemi için aktif hale getirebilir. Ayrıca, μC 'dan SCC 'nin D / $\overline{\text{C}}$ pin'ine gelen işaret SCC 'ye veya SCC 'den gönderilen bilginin data mı yoksa komut mu olduğunu bildirir.

SCC 'deki Kesme İsteği çıkışı olan $\overline{\text{INT}}$ pin'i μC 'un Harici Kesim pini olan $\overline{\text{INT1}}$ 'e bağlandı. μC 'dan gelen kesme onayı bilgisi SCC 'deki Kesme Onayı $\overline{\text{INTACK}}$ pin'ine bağlanmıştır.

SCC 'deki Data Bus D0 - D7 pinleri, iki yönlüdür. Bu hatlar data ve komutları SCC 'ye ve SCC 'den taşır. μC 'un 0 portu 8 - bit iki yönlü I / O portudur. Bu port, harici belleğe ulaşmada Adres / Data Bus olarak da çoklanmıştır. SNIC 'teki iki yönlü Adres / Data Bus olan AD0 - 7 pinleri elektriksel ve lojikselsel olarak hem Intel hem de Motorola mikro-bus yapısına uygundur. Görüldüğü gibi; SNIC (8930) AD0 - 7 pinleri, μC (8051) ve SCC (8530) AD0 - 7 pinlerine bus yapısı ile bağlanmıştır.

SNIC 'ten gelen $\overline{\text{IRQ}}$ çıkışı, μC 'un Harici Kesim pinlerinden biri olan $\overline{\text{INT0}}$ pin'ine bağlandı.

μC 'daki X1 ve X2 osilatör kuvvetlendirici giriş ve çıkış pinleridir. Bu iki pin'e kristal osilatör devresi bağlanmıştır. μC , clock işaretini buradan temin eder.

μC 'daki Reset Girişi (RS / V_{pd}); osilatör çalışırken, iki döngü için bu pin " 1 " konumunda ise cihazı resetler. Osilatör çalışsa da, çalışmasa da minimum V_{IH1} voltajında port pinleri reset konumunda iken sürülmüş olacaktır. Dahili aşağı çekme direnci, sadece kapasitenin V_{DD} 'ye bağlanması ile çalışırken reset 'e izin verir.

μC 'daki ALE çıkış işareti, SNIC 'teki ALE girişine bağlanarak bus modunda, mikroişlemci erişimi boyunca SNIC içerisine adresi yerleştirme de düşen kenar kullanılır.

μC 'daki Harici Erişimi Mümkün Kılma pin'i olan EA / V_{PP} pin'i dahili programın yürütülmesi için V_{DD} 'ye bağlanmıştır.

SNIC 'teki Kontrolör Modu Seçim Girişi olan Cmode pin'i V_{DD} 'ye bağlanarak mikroişlemci kontrolörü seçildiği belirtilir.

SNIC 'teki Chip Seçim girişi olan $\overline{CS}$ pin'i, mikroşlemcierişimi için aktive etmede kullanılır.

SNIC 'teki $\overline{WR}$ girişi, data bus aktarımını $\overline{WR} = 1$ ise oku olarak, $\overline{WR} = 0$ ise yaz olarak tanımlar. Ve $\overline{RD}$ girişi, " 1 " ise yazma işlemi boyunca bus'taki data geçerlidir. Bus modunda, okuma işlemi boyunca SNIC 'ten data çıkışı olur.

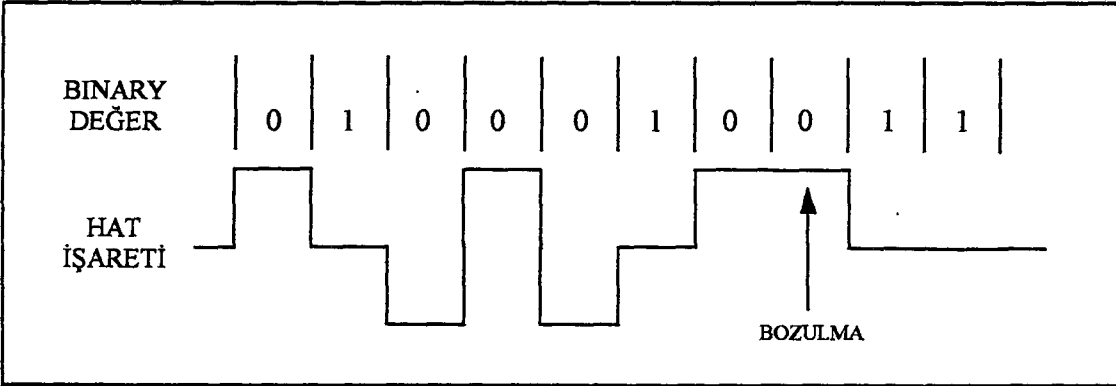
Baseband modemler, Master (NT) veya Slave (TE) modlarında işlem yapabilir. Mod seçimi jumper ayarları ile yapılır. SNIC 'teki, clock girişi $\overline{C4b}$ pin'i NT modda yani Master konumunda iken kristal osilatör devresinden 4.096 Mhz. 'lık clock işareti girilir. TE modunda, yani Slave konumunda iken 4.096 Mhz. 'lık clock hattaki data işaretine yüklenmiştir.

SNIC 'teki TE Clock / Ağ Sonu Mod Seçim girişi olan CK / NT pin'i TE modunda V_{ss} 'e , NT modunda iken V_{DD} 'ye bağlanmalıdır.

Devre şemasında SNIC (8930) 'un V_{Bias} pin'i 10 μF 'lık kapasite üzerinden V_{DD} 'ye bağlanır. V_{Bias} voltajı Tx ve Rx transformatörleri için analog ground görevi görür.

SNIC 'ten çıkan Tx ile SNIC 'e giren Rx pin'leri birer izolasyon transformatörü ile hatta bağlandı. Ayrıca, hattaki AC ve DC yüksek voltajlardan koruyan bir koryucu devre oluşturuldu.

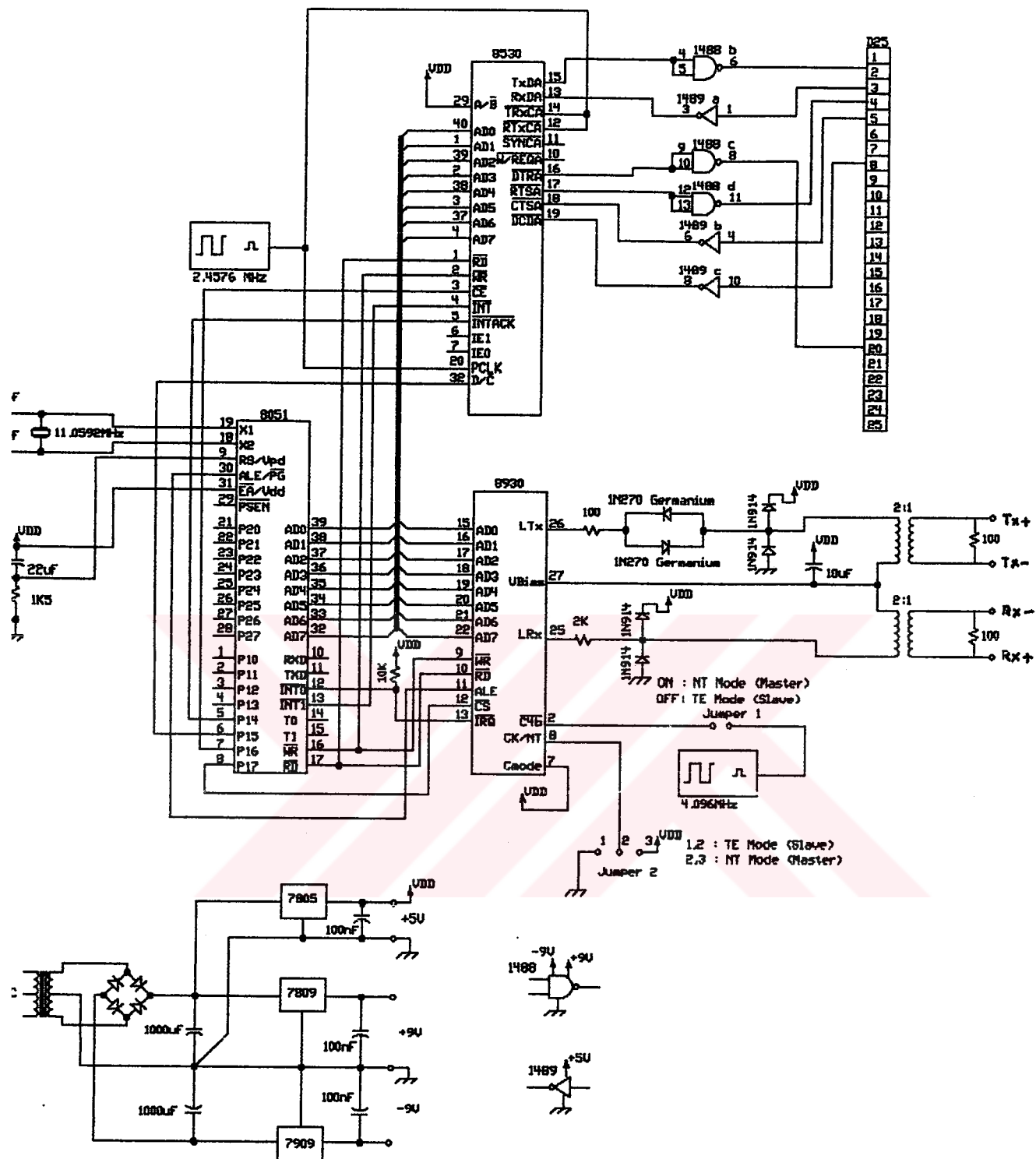
SNIC'ten hatta çıkan işaret hat kodlaması yapılarak çıkar. Buradaki S-arabağlantısında kullanılan hat kodlaması, Pseudo Üç Parçalı Kodlama'dır. Bu kodlama, işaretin % 100 pulse genişliğinde yapılır. Binary sıfırlar hatta mark'lar olarak tanımlanmıştır. Ard arda gelen mark'lar her seferinde polariteyi değiştirir. Böylece hattın işaret ortalaması sıfır seviyelerinde tutulmuş olur. Diğer bir anlamda DC gerilimi " 0 " seviyesine çekmeye yarar. Polarite değişimine bağlı kalmayan mark bipolar bozulma olarak bilinir. (Şekil - 12.2)



Şekil - 12.2 Sıfırda tersine değişen hat kodlaması.

KAYNAKLAR :

1. Hughes, Larry, 1992. Data Communications, McGraw - Hill, Inc., U.S.A.
2. intel, November 1986. 8273 Programable HDLC/SDLC Protocol Controller
3. intel, November 1986. 8251A Programable Communication Interface
4. RC9624DP, RC96V24DP, and RC14V24DP Modem Designer's Guide
5. National Semiconductor Corporation, 1987. Telecommunication Databook
6. Nussbaumer, Henri, 1990. Computer Communication Systems, Data circuits-Error Detection-Data links, Volume 1, John Wiley & Sons Ltd.
7. Nussbaumer, Henri, 1990. Computer Communication Systems, Principles-Design-Protokols, Volume 2, John Wiley & Sons Ltd.
8. IBM, General Information, March 1979. IBM Synchronous Data Link Control.
9. ECMA, HDLC, August 1979. Balanced Class of Prosedure, ECMA, Geneva.
10. CCITT, Data Communication Networks Services and Facilities. Terminal Equipments and Interfaces, Recomendations X.1-X.29, CCITT Yellow Book, Vol. VIII, Fascicle VIII.2, Geneva, 1981.
11. Tugal, Osman ve Doğan A, 1982. Data Transmission, Analysis-Design-Applications, Mc-Graw Hill.
12. Black, Uyless, 1989. Data Network Concepts, Theory and Practice, Printice-Hall, Inc., U.S.A
13. Black, Uyless, 1988. Physical Level Interfaces and Protocols, The Institute of Electrical and Electronics Engineers, Inc., U.S.A.



Features

- Two independent, 0 to 1M bit/second, full-duplex channels, each with a separate crystal oscillator, baud rate generator, and Digital Phase-Locked Loop for clock recovery.
- Multi-protocol operation under program control; programmable for NRZ, NRZI, or FM data encoding.
- Asynchronous mode with five to eight bits and one, one and one-half, or two stop bits per character; programmable clock factor; break detection and generation; parity, overrun, and framing error detection.
- Synchronous mode with internal or external character synchronization on one or two synchronous characters and CRC generation and checking with CRC-16 or CRC-CCITT preset to either 1s or 0s.
- SDLC/HDLCL mode with comprehensive frame-level control, automatic zero insertion and deletion, 1-field residue handling, abort generation and detection, CRC generation and checking, and SDLC Loop mode operation.
- Local Loopback and Auto Echo modes.

General Description

The Z8530 SCC Serial Communications Controller is a dual-channel, multi-protocol data communications peripheral designed for use with conventional non-multiplexed buses. The SCC functions as a serial-to-parallel, parallel-to-serial converter/controller. The SCC can be software-configured to satisfy a

wide variety of serial communications applications. The device contains a variety of new, sophisticated internal functions including on-chip baud rate generators, Digital Phase-Locked Loops, and crystal oscillators that dramatically reduce the need for external logic.

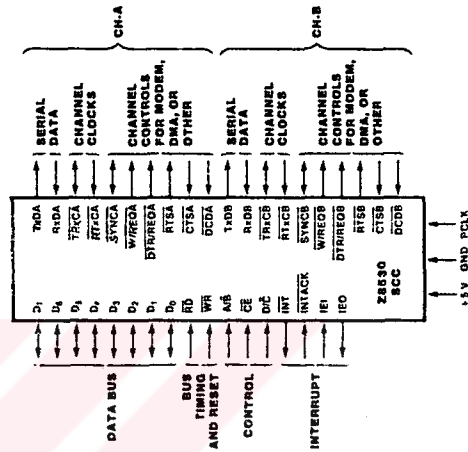


Figure 1. Logic Functions

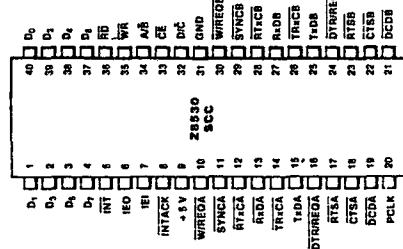


Figure 2. Pin Configuration

General Description (Continued)

The SCC handles asynchronous formats, Synchronous byte-oriented protocols such as IBM Bisync, and Synchronous bit-oriented protocols such as HDLC and IBM SDLC. This versatile device supports virtually any serial data transfer application (cassette, diskette, tape drives, etc.).

The device can generate and check CRC codes in any Synchronous mode and can be programmed to check data integrity in various modes. The SCC also has facilities for

modem controls in both channels. In applications where these controls are not needed, the modem controls can be used for general-purpose I/O.

The Z-BUS daisy-chain interrupt hierarchy is also supported — as is standard for SGS peripheral components.

The 28530 SCC is packaged in a 40-pin ceramic DIP and uses a single +5 V power supply.

The following section describes the pin functions of the SCC. Figures 1 and 2 detail the respective pin functions and pin assignments.

Pin Description

A/B. Channel A/Channel B Select (input). This signal selects the channel in which the read or write operation occurs.

CE. Chip Enable (input, active Low). This signal selects the SCC for a read or write operation.

CTSA, CTSS. Clear To Send (inputs, active Low). If these pins are programmed as Auto Enables, a Low on the inputs enables the respective transmitters. If not programmed as Auto Enables, they may be used as general-purpose inputs. Both inputs are Schmitt-trigger buffered to accommodate slow rise-time inputs. The SCC detects pulses on these inputs and can interrupt the CPU on both logic level transitions.

D/C. Data/Control Select (input). This signal defines the type of information transferred to or from the SCC. A High means data is transferred; a Low indicates a command.

DCDA, DCDB. Data Carrier Detect (inputs, active Low). These pins function as receiver enables if they are programmed for Auto Enables; otherwise they may be used as general-purpose input pins. Both pins are Schmitt-trigger buffered to accommodate slow rise-time signals. The SCC detects pulses on

these pins and can interrupt the CPU on both logic level transitions.

D₀-D₇. Data Bus (bidirectional, 3-state). These lines carry data and commands to and from the SCC.

DTR/REQA, DTR/REQB. Data Terminal Ready/Request (outputs, active Low). These outputs follow the state programmed into the DTR bit. They can also be used as general-purpose outputs or as Request lines for a DMA controller.

IEI. Interrupt Enable In (input, active High). IEI is used with IEO to form an interrupt daisy chain when there is more than one interrupt-driven device. A High IEI indicates that no other higher priority device has an interrupt under service or is requesting an interrupt.

IEO. Interrupt Enable Out (output, active High). IEO is High only if IEI is High and the CPU is not servicing an SCC interrupt or the SCC is not requesting an interrupt (Interrupt Acknowledge cycle only). IEO is connected to the next lower priority device's IEI input and thus inhibits interrupts from lower priority devices.

INT. Interrupt Request (output, open-drain, active Low). This signal is activated when the SCC requests an interrupt.

INTACK. Interrupt Acknowledge (input, active Low). This signal indicates an active Interrupt Acknowledge cycle. During this cycle, the

Pin Description (Continued)

SCC interrupt daisy chain settles. When **RD** becomes active, the SCC places an interrupt vector on the data bus (if IEI is High).

INTACK is latched by the rising edge of **PCLK**. **PCLK. Clock (input).** This is the master SCC clock used to synchronize internal signals. **PCLK** is a TTL level signal.

RD. Read (input, active Low). This signal indicates a read operation and when the SCC is selected, enables the SCC's bus drivers. During the Interrupt Acknowledge cycle, this signal gates the interrupt vector onto the bus if the SCC is the highest priority device requesting an interrupt.

RxDA, RxD_B. Receive Data (inputs, active High). These input signals receive serial data at standard TTL levels.

RTxCA, RTxCB. Receive/Transmit Clocks (inputs, active Low). These pins can be programmed in several different modes of operation. In each channel, **RTxC** may supply the receive clock, the transmit clock, the clock for the baud rate generator, or the clock for the Digital Phase-Locked Loop. These pins can also be programmed for use with the respective **SYNC** pins as a crystal oscillator. The receive clock may be 1, 16, 32, or 64 times the data rate in Asynchronous modes.

RTSA, RTSB. Request To Send (outputs, active Low). When the Request To Send (RTS) bit in Write Register 5 (Figure 11) is set, the **RTS** signal goes Low. When the **RTS** bit is reset in the Asynchronous mode and Auto Enable is on, the signal goes High after the transmitter is empty. In Synchronous mode or in Asynchronous mode with Auto Enable off, the **RTS** pin strictly follows the state of the **RTS** bit. Both pins can be used as general-purpose outputs.

SYNCA, SYNCB. Synchronization (inputs or outputs, active Low). These pins can act either as inputs, outputs, or part of the crystal oscillator circuit. In the Asynchronous Receive mode (crystal oscillator option not selected), these pins are inputs similar to **CTS** and **DCD**. In this mode, transitions on these lines affect

the state of the Synchronous/Hunt status bits in Read Register 0 (Figure 10) but have no other function.

In External Synchronization mode with the crystal oscillator not selected, these lines also act as inputs. In this mode, **SYNC** must be driven Low two receive clock cycles after the last bit in the synchronous character is received. Character assembly begins on the rising edge of the receive clock immediately preceding the activation of **SYNC**.

In the Internal Synchronization mode (Monosync and Bisync) with the crystal oscillator not selected, these pins act as outputs and are active only during the part of the receive clock cycle in which synchronous characters are recognized. The synchronous condition is not latched, so these outputs are active each time a synchronization pattern is recognized (regardless of character boundaries). In SDLC mode, these pins act as outputs and are valid on receipt of a flag.

TxDA, TxD_B. Transmit Data (outputs, active High). These output signals transmit serial data at standard TTL levels.

TRxCA, TRxCB. Transmit/Receive Clocks (inputs or outputs, active Low). These pins can be programmed in several different modes of operation. **TRxC** may supply the receive clock or the transmit clock in the input mode or supply the output of the Digital Phase-Locked Loop, the crystal oscillator, the baud rate generator, or the transmit clock in the output mode.

WR. Write (input, active Low). When the SCC is selected, this signal indicates a write operation. The coincidence of **RD** and **WR** is interpreted as a reset.

W/REQA, W/REQB. Wait/Request (outputs, open-drain when programmed for a Wait function, driven High or Low when programmed for a Request function). These dual-purpose outputs may be programmed as Request lines for a DMA controller or as Wait lines to synchronize the CPU to the SCC data rate. The reset state is Wait.

CHMOS SINGLE-CHIP 8-BIT MICROCONTROLLER

Commercial/Express

87C51/80C51BH/80C51BHP/80C31BH

*See Table 1 for Proliferation Options

- High Performance CHMOS EPROM
- 24 MHz Operation
- Improved Quick-Pulse Programming Algorithm
- 3-Level Program Memory Lock
- Boolean Processor
- 128-Byte Data RAM
- 32 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Extended Temperature Range¹ (-40°C to +85°C)
- 5 Interrupt Sources
- Programmable Serial Port
- TTL- and CMOS-Compatible Logic Levels
- 64K External Program Memory Space
- 64K External Data Memory Space
- ONCE Mode Facilitates System Testing
- Power Control Modes
 - Idle
 - Power Down

MEMORY ORGANIZATION

PROGRAM MEMORY: Up to 4 Kbytes of the program memory can reside on-chip (except 80C31BH). In addition the device can address up to 64K of program memory external to the chip.

DATA MEMORY: This microcontroller has a 128 x 8 on-chip RAM. In addition it can address up to 64 Kbytes of external data memory.

The Intel 87C51/80C51BH/80C31BH is a single-chip control-oriented microcontroller which is fabricated on Intel's reliable CHMOS III-E technology. Being a member of the MCS[®] 51 controller family, the 87C51/80C51BH/80C31BH uses the same powerful instruction set, has the same architecture, and is pin-for-pin compatible with the existing MCS 51 controller family of products.

The 80C51BHP is identical to the 80C51BH. When ordering the 80C51BHP, customers must submit the 64 byte encryption table together with the ROM code. Lock bit 1 will be set to enable the internal ROM code protection and at the same time allows code verification.

The extremely low operating power, along with the two reduced power modes, Idle and Power Down, make this part very suitable for low power applications. The Idle mode freezes the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down mode saves the RAM contents but freezes the oscillator, causing all other chip functions to be inoperative.

For the remainder of this document, the 87C51, 80C51BH, and 80C31BH will be referred to as the 87C51/BH, unless information applies to a specific device.

V_{CC}: Supply voltage during normal, idle and Power Down operations.

V_{SS}: Circuit ground.

Port 0: Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink several LS TTL inputs. Port 0 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as high-impedance inputs.

Port 0 is also the multiplexed low-order address and data bus during accesses to external memory. In this application it uses strong internal pullups when emitting 1's.

Port 0 also receives the code bytes during EPROM programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1: Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can drive LS TTL inputs. Port 1 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 1 pins that are externally pulled low will source current (I_{IL} on the data sheet) because of the internal pullups.

Port 1 also receives the low-order address bytes during EPROM programming and program verification.

Port 2: Port 2 is an 8-bit bidirectional I/O port with internal pullups. Port 2 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 2 pins that are externally pulled low will source current (I_{IL} on the data sheet) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external Program memory and during accesses to external Data Memory that use 16-bit addresses (MOVX @DPTR). In this application it uses strong internal pullups when emitting 1's.

During accesses to external Data Memory that use 8-bit addresses (MOVX @Ri), Port 2 emits the contents of the P2 Special Function Register.

Port 3: Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can drive LS TTL inputs. Port 3 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 3 pins that are externally pulled low will source current (I_{IL} on the data sheet) because of the pullups.

Port 3 also serves the functions of various special features of the MCS-51 Family, as listed below:

Pin	Name	Alternate Function
P3.0	RXD	Serial input line
P3.1	TXD	Serial output line
P3.2	INT0	External Interrupt 0
P3.3	INT1	External Interrupt 1
P3.4	T0	Timer 0 external input
P3.5	T1	Timer 1 external input
P3.6	WR	External Data Memory Write strobe
P3.7	RD	External Data Memory Read strobe

Port 3 also receives some control signals for EPROM programming and program verification.

RST: Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device. The port pins will be driven to their reset condition when a minimum V_{IH1} voltage is applied whether the oscillator is running or not. An internal pull-down resistor permits a power-on reset with only a capacitor connected to V_{CC}.

ALE/PROG: Address Latch Enable output signal for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input (PROG) during EPROM programming for the 87C51.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With this bit set, the pin is weakly pulled high. However, the ALE disable feature will be suspended during a MOVX or MOVC instruction, idle mode, power down mode and ICE mode. The ALE disable feature will be terminated by reset. When the ALE disable feature is suspended or terminated, the ALE pin will no longer be pulled up weakly. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

PSEN: Program Store Enable is the Read strobe to External Program Memory. When the 87C51/BH is executing from Internal Program Memory, PSEN is inactive (high). When the device is executing code from External Program Memory, PSEN is activated twice each machine cycle, except that two PSEN activations are skipped during each access to External Data Memory.

EA/Vpp: External Access enable. EA must be strapped to V_{SS} in order to enable the 87C51/BH to fetch code from External Program Memory locations starting at 0000H up to FFFFH. Note, however, that if either of the Lock Bits is programmed, the logic level at EA is internally latched during reset.

EA must be strapped to V_{CC} for internal program execution.

This pin also receives the programming supply voltage (V_{PP}) during EPROM programming.

XTAL1: Input to the inverting oscillator amplifier.

XTAL2: Output from the inverting oscillator amplifier.

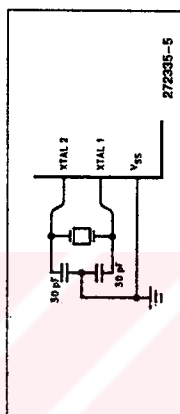


Figure 3. Using the On-Chip Oscillator

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 3.

To drive the device from an external clock source, XTAL1 should be driven, while XTAL2 is left unconnected, as shown in Figure 4. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum high and low times specified on the data sheet must be observed.

An external oscillator may encounter as much as a 100 pF load at XTAL1 when it starts up. This is due to interaction between the amplifier and its feedback capacitance. Once the external signal meets the V_{IL} and V_{IH} specifications the capacitance will not exceed 20 pF.

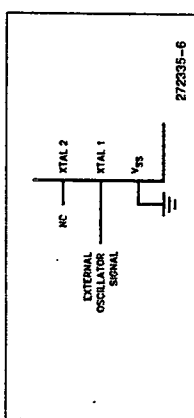


Figure 4. External Clock Drive

IDIP	PLCC	Cmode	Description
7	13		Controller Mode Select Input: when high, microprocessor control is selected. When low the controllerless mode is enabled and the microport pins are redefined as control inputs and status outputs.
8	14	CK/NT	TE Clock/Network Termination Mode Select Input. For TE mode, this pin must be tied to VSS or to a 4.096 MHz clock (a clock is required for standard ISDN TE applications). For NT mode, this pin must be tied to VDD. Refer to "ST-BUS Interface" section for further explanation. A pull-up resistor is needed when driven by a TTL device.
9	16	R/W/W/R	Read/Write or Write Input (Cmode = 1): defines the data bus transfer as a read (R/W = 1) or a write (R/W = 0) in Motorola bus mode. Redefined to WR in Intel bus mode.
		AFT/PRI	Adaptive-Fixed Timing/Priority Select Input (Cmode = 0): in NT mode, causes the PLL and Rx filters and peak detectors to be disabled in favour of fixed timing and fixed thresholds for short passive bus operation (0 = fixed, 1 = adaptive). In TE mode, this is the Priority input. High priority (PRI = 1) is normally reserved for signalling.
10	17	DS/RD	Data Strobe/Read Input (Cmode = 1): active high input indicates to the SNIC that valid data is on the bus during a write operation or that the SNIC must output data during a read operation in Motorola bus mode. Redefined to RD in Intel bus mode.
		DinB	D-Channel in B1 Timeslot Input (Cmode = 0): active high input that causes all eight ST-BUS D-channel bits, instead of the usual two bits, to be routed to and from the S-interface B1 timeslot. When active, marks are transmitted in the S-interface D-channel.
11	19	AS/ALE	Address Strobe/Address Latch Enable Input (Cmode = 1): in Motorola bus mode the falling edge is used to strobe the address into the SNIC during microprocessor access. Redefined to ALE in Intel bus mode.
		P/SC	Parallel/Serial Control Input (Cmode = 0): determines if the serial C-channel (P/SC = 0) or microport pins (P/SC = 1) are the source of chip control when controllerless mode is selected. If the ST-BUS is chosen as the source, the dedicated Control input pins are ignored but the status output pins remain valid.
12	20	CS	Chip Select Input (Cmode = 1): active low input used to select the SNIC for microprocessor access.
		DReq	D-Channel Request Input (Cmode = 0): an active high input that in TE mode only causes the SNIC to transmit a "0111110" flag immediately if the D-channel is free, or wait until it becomes available and then transmit the flag. The DReq signals the successful acquisition of the D-channel. If DReq is tied low, continuous ones are transmitted in the S-Bus D-channel.
		IC	Internal Connection (Cmode = 0): tie to VSS for normal operation in NT mode only.
13	21	IRQ	Interrupt Request (Open Drain Output) (Cmode = 1): an output indicating an unmasked HDLC interrupt. The interrupt remains active until the microprocessor clears it by reading the HDLC Interrupt Status Register. This interrupt source is enabled with B2 = 0 of Master Control Register.
		NDA	New Data Available (Open Drain Output) (Cmode = 1): an active low output signal indicating availability of new data from the S-Bus. This signal is selected with B2 = 1 of Master Control Register.
		DCack	D-Channel Acknowledge (Open Drain Output) (Cmode = 0): in TE mode only indicates that the SNIC has gained access to the D-channel in response to a DReq and has transmitted an opening flag. The user should immediately begin transmitting the rest of the packet over the ST-BUS D-channel. If this signal goes high in the middle of transmission, the TE has lost the bus and must regain access of the D-channel before retransmitting the packet.
		IC	Internal Connection (Open Drain Output) (Cmode = 0). This pin is not used in NT mode and should be left disconnected.
14	22	Vss	This pin must be tied to VDD with a 10kΩ resistor.
15-22	24-26 30-32 34-35	ADD-7	Bidirectional Address/Data Bus (Cmode = 1): electrically and logically compatible to either Intel or Motorola micro-bus specifications. If DS/RD is low on the rising edge of AS/ALE then the chip operates to Motorola specs. If DS/RD is high on the rising edge of AS/ALE Intel mode is selected. Taking RSti low sets Motorola mode.

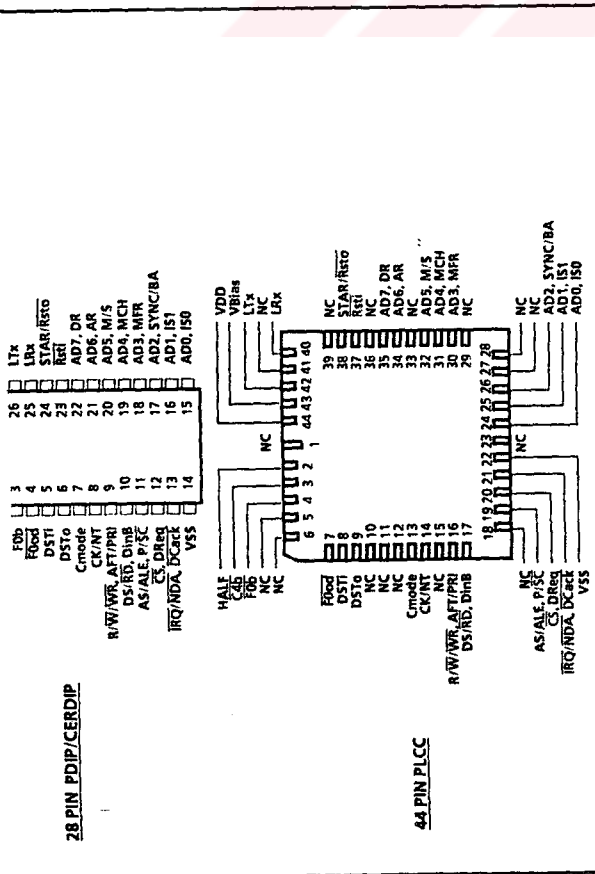


Figure 2 - Pin Connections

Pin Description		Description	
DIP	PLCC	Pin #	Name
1	2	HALF	HALF Input/Output: this is an input in NT mode and an output in TE mode identifying which half of the S-interface frame is currently being written/read over the ST-BUS (HALF = 0 sampled on the falling edge of C4b within the frame pulse low window, identifies the information to be transmitted/received in the first half of the S-Bus frame while HALF = 1 identifies the information to be transmitted/received into the second half of the S-Bus frame). Tying this pin to Vss or VDD in NT mode will allow the device to free run. This signal can also be accessed from the ST-BUS C-channel.
2	3	C4b	4.096 MHz Clock: a 4.096 MHz ST-BUS Data Clock input in NT mode. In TE mode, a 4.096 MHz output clock phase-locked to the line data signal.
3	4	F0b	Frame Pulse: an active low frame pulse input indicating the beginning of active ST-BUS channel times in NT mode. Frame pulse output in TE mode.
4	7	F0d	Delayed Frame Pulse Output: an active low delayed frame pulse output indicating the end of active ST-BUS channels for this device. Can be used to daisy chain to other ST-BUS devices to share an ST-BUS stream.
5	8	DSTI	Data ST-BUS Input: a 2048 kbit/s serial PCM/data ST-BUS input with D, C, B1, and B2 channels assigned to the first four timeslots. These channels contain data to be transmitted on the line and chip control information.
6	9	DSTo	Data ST-BUS Output: a 2048 kbit/s serial PCM/data ST-BUS output with D, C, B1 and B2 channels assigned to the first four timeslots respectively. The remaining timeslots are placed into high impedance. These channels contain data received from the line and chip status information.

Pin	Pin #	Signal	Internal State Outputs (Cmode = 0): Binary encoded state number outputs.			
			IS1	NT Mode	TE Mode	
16	25		0	deactivated	deactivated	
			0	pending deactivation	synchronized	
			1	0	activation request	
			1	activated	activated	
17	26	SYNC/BA	Synchronization/Bus Activity Output (Cmode = 0): output indicating synchronization to incoming RX frames when activation request is asserted and the deactivation request is '0' (AR = 1 and DR = 0). Synchronization is declared once three successive frames conforming to the 14-bit bipolar violation criteria have been detected. If part is deactivated or activation request is '0' (AR = 0 or DR = 1), this pin indicates the presence of bus activity.			
18	30	MFR	Multiframe Input/Output (Cmode = 0): multiframe input in NT mode or output in TE mode. Setting this pin to one in NT mode when HALF = 1, forces the FA, N pair to 1, 0 respectively. This pin going high in TE mode indicates that FA = 1 & N = 0 has been received. This signal is updated on the rising edge of the HALF signal.			
19	31	MCH	Maintenance Channel (Q-channel) Input/Output (Cmode = 0): an output in NT mode which is valid only in the frame following the transmission of MFR. In TE mode, this is the maintenance channel (Q-channel) input which is transmitted in the FA and L bits following the reception of the multiframe signal. This input is sampled on the falling edge of the HALF signal.			
20	32	M/S	M/S Input/Output (Cmode = 0): M/S bit input in NT mode or M/S bit output in TE mode. M is read or written when HALF = 1 while S is read or written when HALF = 0.			
21	34	AR	Activate Request Input (Cmode = 0): asserting AR with DR = 0 will initiate the appropriate S-interface activation sequence coded in the NT or TE activation/deactivation controller.			
22	35	DR	Deactivate Request Input (Cmode = 0): asserting DR high will initiate the appropriate S-interface deactivation sequence coded in the NT or TE activation/deactivation controller.			
23	37	Rstü	Reset Input: Schmitt trigger reset input. If '0', sets all control registers to the default conditions, resets activation state machines to the deactivated state, resets HDLC, clears the HDLC FIFO's. Sets the microport to Motorola bus mode.			
24	38	STAR/Rstto	Star/Reset (Open Drain Output): 192kbit/s Rx data output fixed relative to the ST-BUS timebase. A group of Nts, in fixed timing mode, can be wire or'ed together to create a Star configuration. Active low-reset output in TE mode indicating 128 consecutive marks have been received. Can be connected directly to Rstü to allow NT to reset all TEs on the bus.			
			This pin must be tied to VDD with a 10 kΩ resistor.			
25	40	Lrx	Receive Line Signal Input: this is a high impedance input for the pseudoternary line signal to be connected to the line through a 2:1 ratio transformer. In TE mode, a 2.0 kΩ resistor should be added in series with this pin and the transformer. A DC bias level on this input equal to Vbias must be maintained.			
26	42	Ltx	Transmit Line Signal Output: this is a high impedance current source output designed to drive a nominal 50 ohm line through a 2:1 ratio transformer. An additional resistor is to be connected in series between this pin and the transformer. The value of this resistor can be calculated from the following equation: $R_T = 500 - R_{DC} \cdot \frac{PRIMARY}{SECONDARY} - 4 \cdot R_{DC} \cdot \frac{SECONDARY}{PRIMARY}$ where: $R_{DC} \cdot \frac{PRIMARY}{SECONDARY} = DC$ resistance of primary winding, $R_{DC} \cdot \frac{SECONDARY}{PRIMARY} = DC$ resistance of secondary winding (line side).			
27	43	Vbias	Bias Voltage: analog ground for Tx and Rx transformers. This pin must be decoupled to VDD through a 10µF capacitor with good high frequency characteristics.			
28	44	VDD	Power Supply Input.			
			No Connection.			
	1,5-6,10-12,15,18,23,27,29,33,36,39,41	NC				

(SNIC) is a multifunction transceiver providing a complete interface to the S/T Reference Point as specified in CCITT Recommendation I.430 and ANSI T1.605. Implementing both point-to-point and point-to-multipoint voice/data transmission, the SNIC may be used at either end of the digital subscriber loop. A programmable digital interface allows the MT89308 to be configured as a Network Termination (NT) or as a Terminal Equipment (TE) device.

The SNIC supports 132 kbit/s (2B + D + overhead) full duplex data transmission on a 4-wire balanced transmission line. Transmission capability for both B and D channels, as well as related timing and synchronization functions, are provided on chip. The signalling capability and procedures necessary to enable customer terminals (TEs) to be activated and deactivated, form part of the MT89308's functionality. The SNIC handles D-channel resource allocation and prioritization for access contention resolution and signalling requirements in passive bus line configurations. Control and status information allows implementation of maintenance

An HDLC transceiver is included on the SNIC for link access protocol handling via the D-channel. Depacketized data is passed to and from the transceiver via the microprocessor port. Two 19 byte deep FIFOs, one for transmit and one for receive, are provided to buffer the data. The HDLC block can be set up to transmit or receive to/from either the S-interface port or the ST-BUS port. Further, the transmit destination and receive source can be independently selected, e.g., transmit to S-interface while receiving from ST-BUS. The transmit and receive paths can be separately enabled or disabled. Both, one and two byte address recognition is supported by the SNIC. A transparent mode allows data to be passed directly to the D channel without being packetized.

A block diagram of the MT89308 is shown in Figure 1. The SNIC has three interface ports: a 4-wire CCITT compatible S/T interface (subscriber loop interface), a 2048 kbit/s ST-BUS serial port, and a general purpose parallel microprocessor port. This 8-bit parallel port is compatible with both Motorola or Intel microprocessor bus signals and timing. The

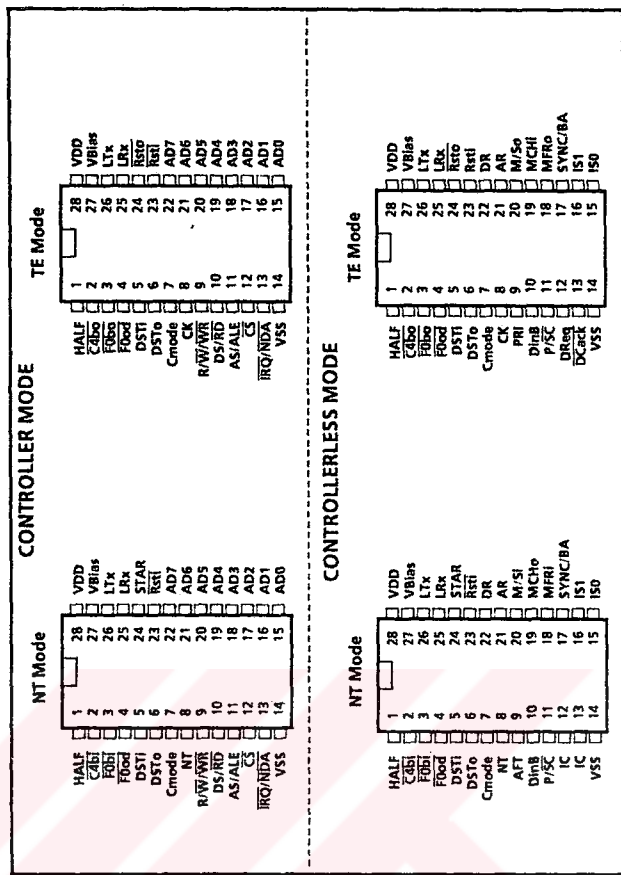


Figure 3. SNIC Pin Connections in Various Modes

DESCRIPTION

The MC1488 is a quad line driver which converts standard DTL/TTL input logic levels through one stage of inversion to output levels which meet EIA Standard No. RS-232C and CCITT Recommendation V.24.

FEATURES

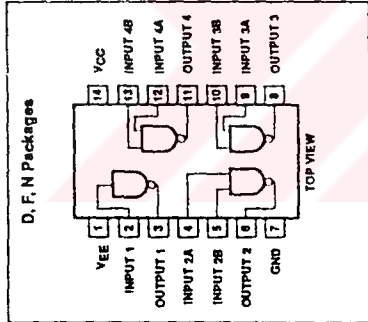
- Current limited output: $\pm 10\text{mA}$ Typ
- Power-off source impedance: 300Ω min
- Simple slow rate control with external capacitor

- Flexible operating supply range
- Inputs are DTL/TTL compatible

APPLICATIONS

- Computer port driver
- Digital transmission over long lines
- Slow rate control
- TTL/DTL-to-MOS translation

PIN CONFIGURATION



DESCRIPTION

The MC1489/MC1489A are quad line receivers designed to interface data terminal equipments with data communications equipment. They are constructed on a single monolithic silicon chip. These devices satisfy the specifications of EIA standard No. RS-232C.

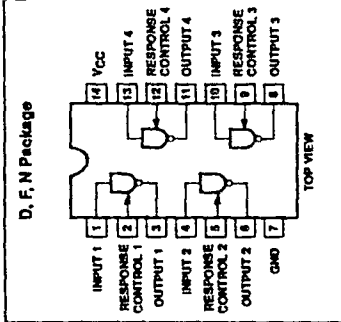
FEATURES

- Four totally separate receivers per package
- Programmable threshold
- Built-in input threshold hysteresis
- "Fail safe" operating mode
- Inputs withstand $\pm 30\text{V}$

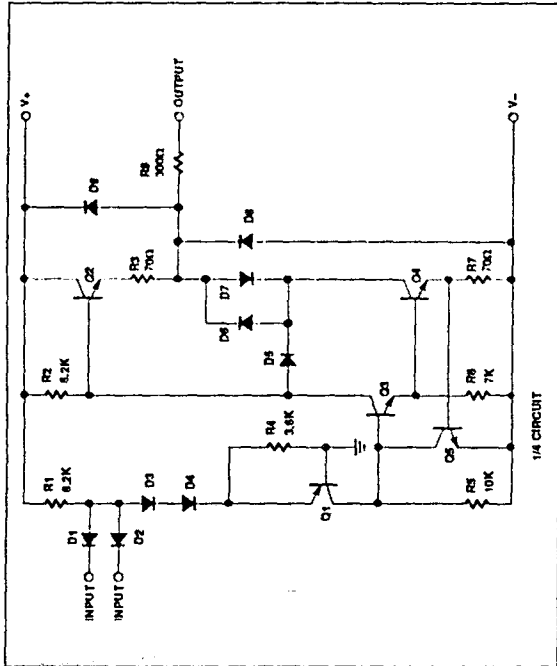
APPLICATIONS

- Computer port inputs
- Modems
- Eliminating noise in digital circuitry
- MOS-to-TTL/DTL translation

PIN CONFIGURATION



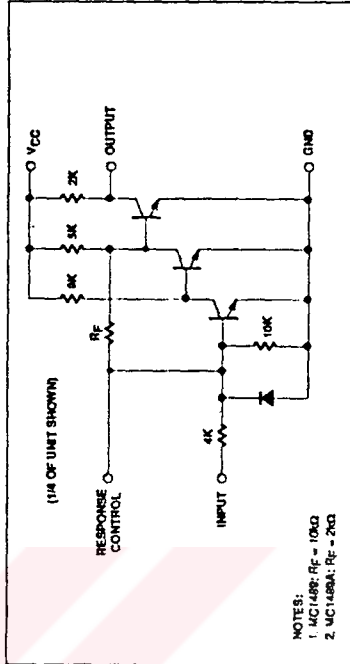
CIRCUIT SCHEMATIC



ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE
14-Pin Plastic DIP	0°C to $+70^{\circ}\text{C}$	MC1489N
14-Pin Plastic DIP	0°C to $+70^{\circ}\text{C}$	MC1489AN
14-Pin Cerdip	0°C to $+70^{\circ}\text{C}$	MC1489F
14-Pin Cerdip	0°C to $+70^{\circ}\text{C}$	MC1489AF
14-Pin Plastic SO	0°C to $+70^{\circ}\text{C}$	MC1489D
14-Pin Plastic SO	0°C to $+70^{\circ}\text{C}$	MC1489AD

EQUIVALENT SCHEMATIC



NOTES:
1. MC1489: $R_F = 10\text{K}\Omega$
2. MC1489A: $R_F = 2\text{K}\Omega$