

128646

Müh. Cenk DİNÇBAKIR

**TC YÜKSEK ÖĞRETİM KURULU
DOKÜMANTASYON MERKEZİ**

YÜKSEK LİSANS TEZİ

128646

: Prof. Dr. Atilla ATAMAN

Prof. Dr. Günhan DÜNDAR

Prof. Dr. Oruç Bilgiç

İSTANBUL, 2002

Hamm
are ym
ilgie ~~Bilgi's~~

İÇİNDEKİLER

	sayfa
KISALTMA LİSTESİ	iv
ŞEKİL LİSTESİ.....	v
ÇİZELGE LİSTESİ	vii
ÖNSÖZ.....	viii
ÖZET	ix
ABSTRACT	x
1. GİRİŞ	1
2. USB SİSTEM ÖZELLİKLERİ.....	2
2.1 Tarihsel Gelişim.....	2
2.2 USB Protokülünün Avantajları.....	3
2.3 Elektriksel Özellikleri	4
2.4 Mekanik Özellikleri	7
3. SİSTEMİN GENEL MİMARİSİ.....	10
4. FİZİKSEL KATMAN	11
4.1 Sistem Üst Seviye Blokları.....	13
4.1.1 Analog Ön-Uç Bloğu (AFE).....	13
4.1.2 Alıcı Blok (Receive Block)	15
4.1.3 Gönderici Blok (Transmit Block).....	16
4.2 Sistem Alt Bloklarının Detaylı İncelenmesi	17
4.2.1 Dijital Faz Kilitlemeli Çevrim Bloğu (DPLL).....	17
4.2.2 Uç Bloğu (Extreme Block)	20
4.2.2.1 Resume (Uyku) ve Suspend (Uyan) Algılayıcı Blok	22
4.2.2.2 Reset Algılayıcı Blok (Reset Detection Block)	24
4.2.3 Saat Üretici Blok (CLK Generator Block)	25
4.2.4 Üst Kontrol Bloğu (Top Control Block).....	27
4.2.4.1 Kontrol Bloğu (Control Block).....	27
4.2.4.2 NRZI Kodçözücü Bloğu (NRZI Decoder Block).....	29
4.2.4.3 Bit Ayıklayıcı Blok (Bit Destuff Block).....	31
4.2.4.4 Bit Ekleme Hatası Algılayıcı Blok (Bit Stuff Error Detection Block)	34
4.2.5 Alıcı Durum Makinası Bloğu (Receive State Machine “RSM” Block)	35
4.2.5.1 SYNC Algılayıcı Blok (SYNC Detection Block)	36
4.2.5.2 EOP Algılayıcı Blok (EOP Detection Block).....	38

4.2.5.3	Alıcı Durum Makinası (“RSM” Receive State Machine).....	39
4.2.6	Alıcı Arayüz Bloğu (Receive Interface Block)	43
4.2.6.1	RX Tutma Saati Üretici Durum Makinası (RX Hold Clk State Machine)	45
4.2.7	Gönderici Arayüz Bloğu (Transmit Interface Block).....	46
4.2.7.1	TX Tutma Saati Üretici Durum Makinası (TX Hold Clk State Machine).....	48
4.2.8	Gönderici Bloğu (Transmit Block).....	49
4.2.8.1	SYNC Üretici Bloğu (SYNC Generating Block)	50
4.2.8.2	Gönderici Durum Makinası (Transmit State Machine)	51
4.2.8.3	Bit Ekleyici Blok (Bit Stuff Block)	52
4.2.8.4	NRZI Kodlayıcı Durum Makinası (NRZI Encoder State Machine).....	53
4.2.8.5	EOP Üretici Durum Makinası (EOP Generating State Machine)	54
4.2.8.6	Fonksiyon Seçici Blok (Function Selection Block).....	55
4.3	Alıcı ve Gönderici Blokları İçin Kullanılan Bayraklar.....	57
4.4	Fiziksel Katman Test Senaryoları.....	58
4.4.1	Verinin USB Hattından Doğru Alınıp Yazmaçlara Yazılma Senaryosu.....	58
4.4.2	Veri Alınması Sırasındaki Hata Durumu Senaryoları	58
4.4.2.1	EOP’lu Alma Hatası Durumu.....	58
4.4.2.2	EOP’suz Alma Hatası Durumu.....	59
4.4.2.3	SYNC Algılama Hatası Durumu	59
4.4.2.4	İlk “K” Alınamaması Durumu.....	59
4.4.2.5	NRZI Kodçözücü ve Bit Ayırıştırıcı Bloğun Çalışmaması Durumu.....	59
4.4.2.6	Saat İşaretlerinin Üretilmemesi Durumu	60
4.4.2.7	Verinin Yazmaçlara Yüklenememesi Durumu.....	60
4.4.3	Verinin Protokol Katmanından Alınıp USB Hattına Gönderilmesi Senaryosu.....	60
4.4.4	Verinin Gönderilmesi Sırasındaki Hata Durumu Senaryoları	60
4.4.4.1	Verinin Yazmaçlardan Okunamaması Durumu.....	60
4.4.4.2	SYNC Üretilmeme Durumu	61
4.4.4.3	Bit Ekleyici ve NRZI Kodlayıcı Bloklarının Çalışmaması Durumu	61
4.4.4.4	EOP Üretilmeme Durumu.....	61
4.4.4.5	Veri Gönderme Yapılamama Durumu.....	61
5.	SONUÇLAR.....	62
	KAYNAKLAR	63
	ÖZGEÇMİŞ	64

KISALTIMA LİSTESİ

AFE	Analog Front-End
CLK	Clock
CTRL	Control
DBD	Destuffed Bit Detected
DFE	Digital Front-End
DFF	D Flip Flop
DPLL	Digital Phase Locked Loop
DSL	Digital Subscriber Line
EOP	End Of Packet
FIFO	First In First Out
FS	Full Speed
GND	Ground
HS	High Speed
ISDN	Integrated Services Digital Network
LS	Low Speed
MUX	Multiplexer
NRZI	Non Return to Zero Invert
OE	Output Enable
PC	Personal Computer
RSM	Receive State Machine
SBD	Stuffed Bit Detected
SE0	Single Ended 0
SOF	Start Of Frame
SOP	Start Of Packet
SYNC	Synchronization
USB	Universal Serial Bus

ŞEKİL LİSTESİ

	sayfa
Şekil 2.1 USB kablosu	4
Şekil 2.2 Düşük hızlı aygıt bağlantısı	4
Şekil 2.3 Tam hızlı aygıt bağlantısı	4
Şekil 2.4 Düşük hızlı aygıtın algılanması	5
Şekil 2.5 Tam hızlı aygıtın algılanması	5
Şekil 2.6 Gerilim seviyeleri	6
Şekil 2.7 Seri A tipi fiş	8
Şekil 2.8 Seri A tipi yuva.....	8
Şekil 2.9 Seri B tipi fiş.....	8
Şekil 2.10 Seri B tipi yuva.....	8
Şekil 2.11 Tipik bir USB fişin kontak yerleşim planı	9
Şekil 2.12 Tipik tam hızlı USB kablo iç yapısı	9
Şekil 3.1 USB arayüzü ve diğer birimlerle bağlaşımı	10
Şekil 4.1 En genel anlamda fiziksel katman.....	11
Şekil 4.2 En üst seviye hiyerarşi.....	12
Şekil 4.3 Üst seviye sistem yapısı.....	13
Şekil 4.4 Alıcı blok.....	15
Şekil 4.5 Gönderici blok.....	16
Şekil 4.6 Sistem alt blokları.....	17
Şekil 4.7 DPLL bloğu	18
Şekil 4.8 DPLL bloğunun iç yapısı.....	18
Şekil 4.9 DPLL durum makinası	19
Şekil 4.10 Uç Bloğu.....	20
Şekil 4.11 Uç bloğunun iç yapısı.....	22
Şekil 4.12 Reset algılayıcı durum makinası	24
Şekil 4.13 Saat üretici blok.....	25
Şekil 4.14 Saat üretici bloğunun iç yapısı	26
Şekil 4.15 Üst kontrol bloğu.....	27
Şekil 4.16 Üst kontrol bloğunun iç yapısı	27
Şekil 4.17 Kontrol bloğunun iç yapısı	28
Şekil 4.18 NRZI kodçözücü durum makinası.....	30
Şekil 4.19 İki aşamalı veri kodlama işleminin gerçekleşmesi	32
Şekil 4.20 Bit ayıklayıcı durum makinası.....	33
Şekil 4.21 Bit ekleme hatası algılayıcı durum makinası.....	34
Şekil 4.22 RSM Bloğu.....	35
Şekil 4.23 RSM bloğunun iç yapısı	36
Şekil 4.24 SYNC algılayıcı durum makinası.....	37
Şekil 4.25 EOP algılayıcı durum makinası.....	38
Şekil 4.26 USB hattından gelen bir veri paketini alma işlemi.....	39

Şekil 4.27 USB hattından gelen bir kurucu paketini alma işlemi	40
Şekil 4.28 USB hattından gelen bir el sıkışma paketini alma işlemi	40
Şekil 4.29 Alıcı durum makinası	41
Şekil 4.30 Alıcı arayüz bloğu	43
Şekil 4.31 RX kaydırmalı ve tutmalı yazmaç	43
Şekil 4.32 Alıcı arayüz iç yapısı	44
Şekil 4.33 RX tutma saati üretici durum makinası	45
Şekil 4.34 Gönderici arayüz bloğu	46
Şekil 4.35 TX tutmalı ve kaydırmalı yazmaç	46
Şekil 4.36 Gönderici arayüz iç yapısı	47
Şekil 4.37 TX tutma saati üretici durum makinası	48
Şekil 4.38 Gönderici bloğu	49
Şekil 4.39 Gönderici bloğu iç yapısı	49
Şekil 4.40 SYNC üretici durum makinası	50
Şekil 4.41 Gönderici durum makinası	51
Şekil 4.42 Bit ekleyici durum makinası	52
Şekil 4.43 NRZI kodlayıcı durum makinası	53
Şekil 4.44 EOP üretici durum makinası	54
Şekil 4.45 Fonksiyon seçici blok iç yapısı	55

ÇİZELGE LİSTESİ

	sayfa
Çizelge 2.1 İşaret gerilim seviyeleri	6
Çizelge 2.2 USB hattının durumu ve işaret seviyeleri.....	7
Çizelge 2.3 USB bağlantı sonlandırma renk kodları	9
Çizelge 4.1 AFE'nin göndeme modundaki çalışma çizelgesi (OE#=0)	14
Çizelge 4.2 AFE'nin alma modundaki çalışma çizelgesi (OE#=1).....	14
Çizelge 4.3 Reset, suspend ve resume işaret çizelgesi	23
Çizelge 4.4 LS-FS modu saat frekansları	25
Çizelge 4.5 Hattın durumuna karşılık Vp ve Vm'nin alacağı değerler	28
Çizelge 4.6 Çalışma hızına karşılık bayrakların durumları	39
Çizelge 4.7 RSM durumlarının açıklaması.....	42
Çizelge 4.8 Alıcı ve gönderici bloklar için kullanılan bayraklar.....	57



ÖNSÖZ

Bu tezde, İTÜ ETA ASIC Tasarım Merkezinde tasarlanan USB Arayüz Projesinin iki ana alt bloğundan biri olan ve benim tasarımında yer aldığım Fiziksel Katman Tasarımını sunmuş bulunmaktayım.

Bu projenin, benimde içinde bulunduğum, YTÜ Mikroelektronik tasarım grubuna verilmesini sağlayan, bize her konuda destek olan ve her zaman güvenen YTÜ Elektrik-Elektronik Fakültesi Dekanı Prof. Dr. Atilla Ataman'a, bizlerin eğitime ve bölümümüzün gelişimine sağladığı değerli katkılardan dolayı teşekkürlerimi sunarım.

Projenin başlangıcından bitişine kadar, engin bilgi birikiminden yararlandığımız ve bizden her konuda yardımlarını esirgemeyen proje yürütücümüz İTÜ Elektronik ve Haberleşme Müh. Bölümü Arş. Gör. Yük. Müh. Sertaç Artan'a, Fiziksel Katman tasarımında beraber çalıştığım, bu tezin ortaya çıkmasında büyük yardımları olan ve şu an Amerika'da, University of Nebraska Lincoln'de doktora yapmakta olan değerli arkadaşım Yük. Müh. Gülin Tulunay'a ve projenin bazı bölümlerinde beraber çalıştığım, yardımlarını aldığım değerli arkadaşım YTÜ Elektronik ve Haberleşme Müh. Bölümü Arş. Gör. Yük. Müh. Burcu Kapanoğlu'na çok teşekkür ederim.



ÖZET

USB (Universal Serial Bus) son birkaç yılda oldukça hızlı gelişen ve yayılan yeni bir haberleşme protokolüdür. Böyle bir sistemin geliştirilmesindeki amaç, tek bir bağlantı yapısı kullanılarak pek çok çevresel birimin bir sunucuya bağlanabilmesini sağlamak ve farklı bağlantı yapılarının getirdiği sorunları ortadan kaldırmaktır.

Kolay kullanıma sahip oluşu; kurulum ve ayar işlemleri ile uğraşılması, hızlı oluşu; özellikle ses ve görsel uygulamalarda kullanılabilmesi, esnek oluşu; çok çeşitli çevresel birimlerin aynı arayüzü kullanabilmeleri, ucuz oluşu; bağlantı elemanlarının ve arayüz chiplerinin fiyatının pahalı olmaması, otomatik kurulumu sahip olması ve işletim sistemi tarafından desteklenişi ve bunlar gibi daha pek çok özellik, USB'yi diğer haberleşme protokolleri karşısında avantajlı hale getirmiştir ve bu protokolün hızlı gelişmesini sağlamıştır.

Bu tezde, ITU ETA ASIC Tasarım Merkezinde yürütülmüş olan USB Arayüz Projesinin iki ana alt bloğundan biri olan Fiziksel Katman Tasarımı sunulmuştur. Fiziksel Katman, bir USB sunucu ile USB Arayüzün diğer ana alt bloğu olan Protokol Katmanı arasında yer alır. Görevi, sunucudan veriyi alıp lojik gerilim seviyelerine çevirdikten sonra Protokol Katmanına iletmek, Protokol Katmanından aldığı veriyi USB standartlarına çevirip sunucuya göndermektir. Fiziksel Katman verinin içerdiği bilgi ile ilgilenmez sadece Protokol Katmanı için ham veriyi elde eder ya da tam tersini yani ham veriyi standardına çevirir.

Tasarım, USB 1.1 spesifikasyonları doğrultusunda Verilog HDL tanımlama dili kullanılarak yapılmıştır. Tasarım programı olarak Cadence DFII (Design Framework II) ve onun simülatörü Verilog XL kullanılmıştır. Yapılan simülasyonlar ile test modüllerinin doğruluğu ve güvenilirliği sınanmıştır.

ABSTRACT

USB (Universal Serial Bus) is a new communication protocol that has fastly developed and has become widespread over the recent years. The objective of developing such a system is to obtain to be able to connect several peripherals to a host through a single connection configuration, thus to eliminate the problems originating from different connection configurations.

USB has the advantageous properties compared to other communication protocols and these advantages has led to its fast developement such as its ease of use, having easy setup and adjustment processes, its speed, being compatible to voice and image applications, a variety of peripherals using the same interface, its price, the interconnect components and interface chips being also not very expensive, having automatic setup process and being supported by operating systems.

In this study, the physical layer, which is one of the two main blocks of the USB interface project that has been conducted in ITU ETA ASIC Design Center is presented. The physical layer is placed between a USB host and the other main block of the project, protocol layer. The function of the physical layer is to get the data from the host, to convert the data to logic levels and then to forward it to the protocol layer, and similarly, to convert the data coming from the protocol layer to the USB standards then to forward it to the host. The physical layer is not concerned with the content of the data. It only supplies the raw data for the protocol layer or does the exact opposite, converts the raw data to the USB standard.

The design is achieved using the verilog HDL language by following the USB 1.1 specifications. The design environment is Cadence DFII (Design Framework II) program and its simulator Verilog XL. The precision and the reliability of the test modules has been examined through simulations result.

1. GİRİŞ

USB (Universal Serial Bus) protokolü, kişisel bilgisayarlar/işstasyonları ile çeşitli çevre birimleri arasında haberleşmeyi sağlayan bir seri haberleşme protokolüdür. USB arayüzü, bir sunucu/dağıtıcı sistemin (Kişisel bilgisayarlar/işstasyonları) bir çevrebirimi (USB Device) ile (fare,yazıcı, modem v.s.) USB protokolü üzerinden haberleşmesini sağlayan sistemdir.

Bu tezde, İTÜ ETA Vakfı tarafından yürütülmüş olan USB Arayüzü tasarımına ilişkin Fiziksel Katman spesifikasyonları verilecektir. Tasarım için, USB 2.0 Spesifikasyonunun bir alt kümesi olan, LS (Düşük Hız -Low-Speed) ve FS (Tam Hız - Full-Speed) kısımlarını tanımlayan USB 1.1 Spesifikasyonu temel alınmıştır.

Fiziksel Katman tasarımı, USB üzerinden bir tarafta sunucu, diğer tarafta Protokol Katmanı ile haberleşecek sayısal donanımı kapsamaktadır. Bu haberleşmedeki yazılım öğeleri ile USB bağlaşımdaki analog işaretleşmeyi sağlayacak blokların tasarımı bu spesifikasyonun kapsamı dışındadır. USB hatla analog bağlaşım için MICREL'in MIC 2550 tümdevresi kullanılacaktır. Arabirimin sunucu tarafı bu tümdevre ile uyumlu olacak şekilde tasarlanmıştır.

Arayüz öncelikle LS'i destekleyecek şekilde tasarlanmış, ancak FS modu da tasarımda desteklenmiştir.

Tezin 2. bölümünde USB sistem özellikleri verilmiş ve USB protokolü, elektriksel ve mekanik özellikleri ile tanıtılmıştır. 3. bölümde sistemin genel mimarisi verilmiştir. 4. bölümde tasarımı yapılan fiziksel katman en üst seviyeden en alt seviyeye kadar detaylı olarak tanıtılmış, tasarım kriterleri sunulmuş ve hata durumları incelenmiştir, 5. bölüm ise sonuç bölümüdür.

Sonuç olarak, Fiziksel Katman, arayüze bağlanan herhangi bir düşük hızlı standart USB aygıt ile uyumlu tasarlanmıştır, ayrıca tasarımda tam hızlı aygıtların da desteklenebilirliği sağlanmıştır.

Tasarım için Verilog HDL tanımlama dili kullanılmış ve oluşturulan kodlar Synopsys Design Analyzer programı ile sentezlenmiştir. Sistemin doğruluğu Cadence DFII tasarım ortamının temel lojik simülatörü Verilog XL kullanılarak test modülleri ile sınanmıştır. Elde edilen simülasyon sonuçları ile USB 1.1 protokolünün gerektirdiği kriterlerin uyumlu olduğu gözlenmiştir. Sentezlenen kodlar LV500 FPGA ortamına aktarılmış ve sisteme dışarıdan gerçek sinyaller uygulanarak sistemin uyumluluğu gözlenmiştir.

2. USB SİSTEM ÖZELLİKLERİ

2.1 Tarihsel Gelişim

1980'lerde çevresel birimler (modem, fare, vb.) yeni geliştirilme aşamasındaydı. Bu dönemlerde çevresel birim sayısı az ve hızlar çok düşüktü. Bilgisayarların hızlı gelişimi, hızların yükselmesi ve çevresel birimlerin artması, yeni haberleşme protokollerinin geliştirilip aygıtlara yeni arayüzler eklenmesine neden oldu. Seri ve paralel portlar o dönemin ihtiyaçlarını karşılasa da şu an, kontrollerinin zor olması, kolay paylaşılabilir olmamaları ve hızlarının düşük olması sebebiyle ihtiyaçlara cevap verememektedirler. Böylece günümüzün ihtiyaçlarını karşılayabilecek yeni bir haberleşme protokolü geliştirildi. Bu haberleşme protokolü (USB, Universal Serial Bus), genel amaçlı ve evrensel seri haberleşme protokolüdür.

USB (Universal Serial Bus) son birkaç yılda oldukça hızlı gelişen ve yayılan yeni bir haberleşme protokolüdür. Böyle bir sistemin geliştirilmesindeki amaç, tek bir bağlantı yapısı kullanılarak pek çok çevresel birimin bir sunucuya bağlanabilmesini sağlamak ve farklı bağlantı yapılarının getirdiği sorunları ortadan kaldırmaktır.

1999 yılının başlarında piyasada bulunan USB ürünleri 100 civarındayken, şu an bilgisayar sektöründe önde gelen 450'nin üzerinde şirket ürünlerini USB uyumlu üretmektedir. İleriye dönük projeler ise diğer bağlantı birimleri yerine pek çok açıdan kolaylık sağlayan USB kullanılması ve standart hale gelmesinin sağlanmasıdır.

USB en hızlı büyüyen üç alanda önemli rol oynamaktadır: bunlar dijital görüntüleme, bilgisayarların uzak iletişimi (PC telephony) ve çokluortam oyunlarıdır. USB'nin varlığı bu alanlarda bilgisayarların ve yan donanımların güvenilir olarak bir arada çalışmaları anlamına gelmektedir. Yazıcılardan tarayıcılara, yüksek hızda iletişime (Ethernet, DSL, ISDN veya uydu iletişimi) gibi bütün yan donanımlar için de yepyeni imkanlar sunmaktadır.

USB 1.1 spesifikasyonunda belirtildiği üzere, USB'nin veri iletme hızları 1.5 ve 12 megabit/saniye'dir. Daha sonra geliştirilen 2.0 spesifikasyonlarında ise maksimum veri iletme hızı 480 megabit/saniye olarak tanımlanmıştır. 1.5 ve 12 megabit/saniyelik hızlar yavaş ve orta hızlı yan donanımlar için yeterli hızlardır. 2.0 spesifikasyonları ile hızın 480 megabit/saniye'ye çıkarılması yeni nesil çevresel birimlerin (video tabanlı ürünler, veri eldivenleri, bilgisayar uzak iletişimi) gelişimini kolaylaştırmıştır.

2.2 USB Protokölünün Avantajları

Kullanıcı kolaylığı

- Tek tip bağlantı kablosuna sahiptir.
- Kullanıcı elektriksel ayrıntılardan arındırılmıştır.
- Çevresel birimlere ait konfigürasyon ve sürücü sistem tarafından otomatik algılanır.
- Aygıtlar istenildiği zaman takılıp çıkartılabilir, yeniden konfigüre edilebilir.

Uygulama alanları

- Birkaç kb/s'den Mb/s'ye değişen bandgenişliğine sahip aygıtlar için uygundur.
- Bir sunucuya 127 taneye kadar aygıt bağlanabilmektedir. (En fazla 5 metre uzaklıkta)
- Sunucu ile aygıt arasında oluşan çeşitli veri ve mesaj akışını desteklemektedir.
- Değişik özellikli aygıtları bağlanabilir.
- Az protokol işlemine karşılık yüksek verim sağlamaktadır.

Esneklik

- Çeşitli paket boyutlarındaki veri transferini desteklemektedir.
- Çeşitli hızlardaki veri transferlerini desteklemektedir.
- Protokol tarafından akış kontrolü yapılabilmektedir.

Güvenilirlik

- Protokol tarafından hata algılama ve düzeltme mekanizmasına sahiptir.
- Dinamik olarak istenildiğinde takılıp çıkartılabilir.

Bilgisayar endüstrisi gelişimi ile uyum

- Protokol uygulama ve yerleşim olarak oldukça kolaydır.
- Bilgisayar tak-kullan özelliği ile uyumludur.
- İşletim sistemleri ile uyumlu çalışabilmektedir.

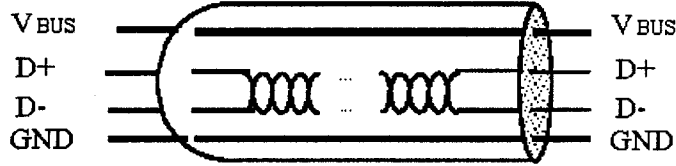
Düşük fiyat

- Çevresel birimler ile sunuculara kolay uygulanabilmektedir.
- Daha düşük fiyatlı aygıtlar üretilebilmesine olanak tanımaktadır.
- Düşük fiyatlı kablo ve bağlantı elemanlarına sahiptir.

2.3 Elektriksel Özellikleri

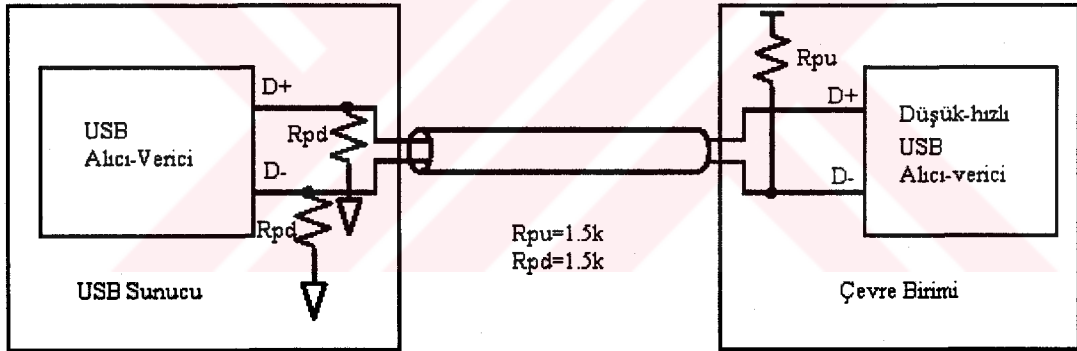
USB, veri ve güç iletimini şekil 2.1’de görülen dört telli kablo üzerinden sağlar. Bu kablo üzerinden USB 1.1 spesifikasyonlarında iki çeşit veri hızı desteklenmektedir.

- Tam-hız (full-speed) veri iletimi 12 Mb/s.
- Düşük-hız (low-speed) veri iletimi 1.5 Mb/s.

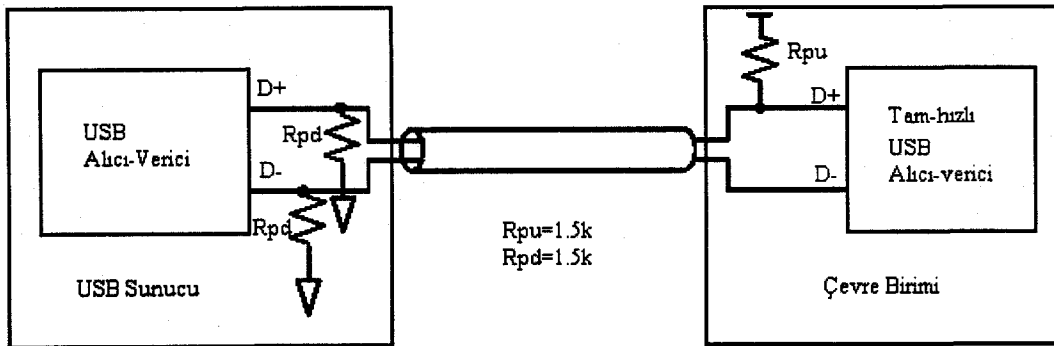


Şekil 2.1 USB kablosu

USB kablosu üzerinden D+ ve D- hatları ile seri veri transferi yapılmakta, VBUS ve GND hatları ile aygıt besleme gerilimi sağlanmaktadır. Besleme hattı 5V’luk gerilim taşımaktadır.



Şekil 2.2 Düşük hızlı aygıt bağlantısı

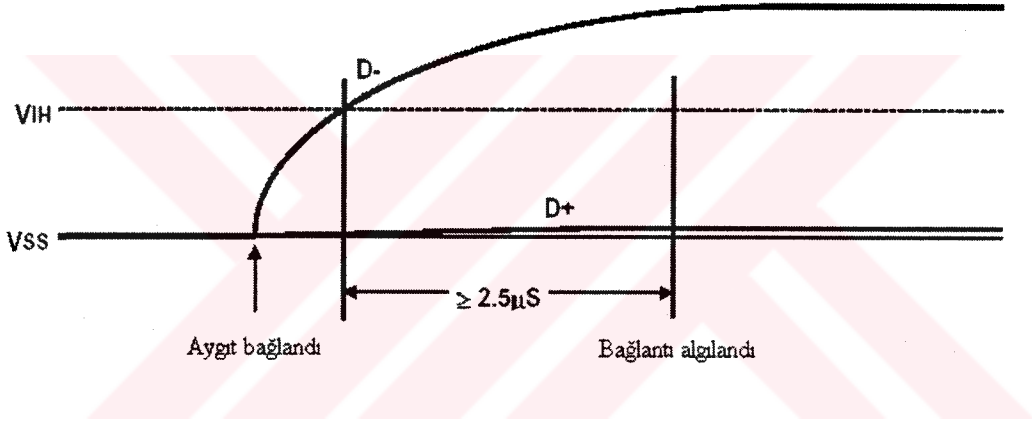


Şekil 2.3 Tam hızlı aygıt bağlantısı

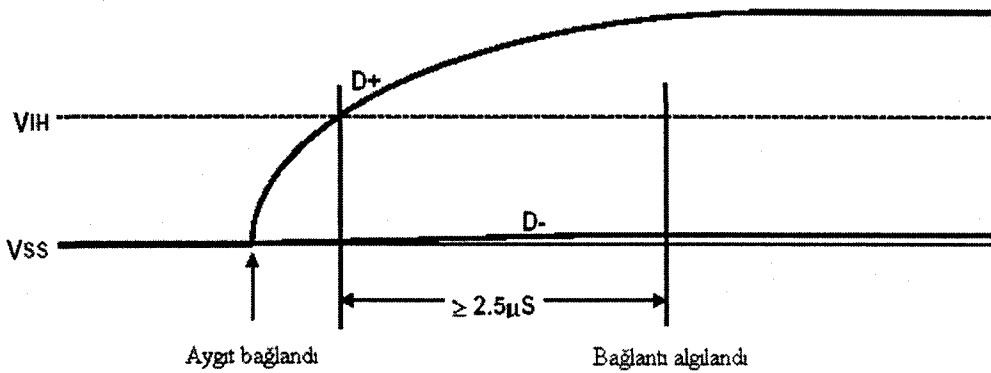
USB, veriyi hatta diferansiyel çıkışlı bir sürücü üzerinden gönderir. Yani hat üzerinde diferansiyel veri akışı vardır.

- Düşük hızlı (Low-speed) aygıtlarda pull-up direnci D- hattında
- Tam hızlı (Full-speed) aygıtlarda pull-up direnci D+ hattında, bulunmaktadır.

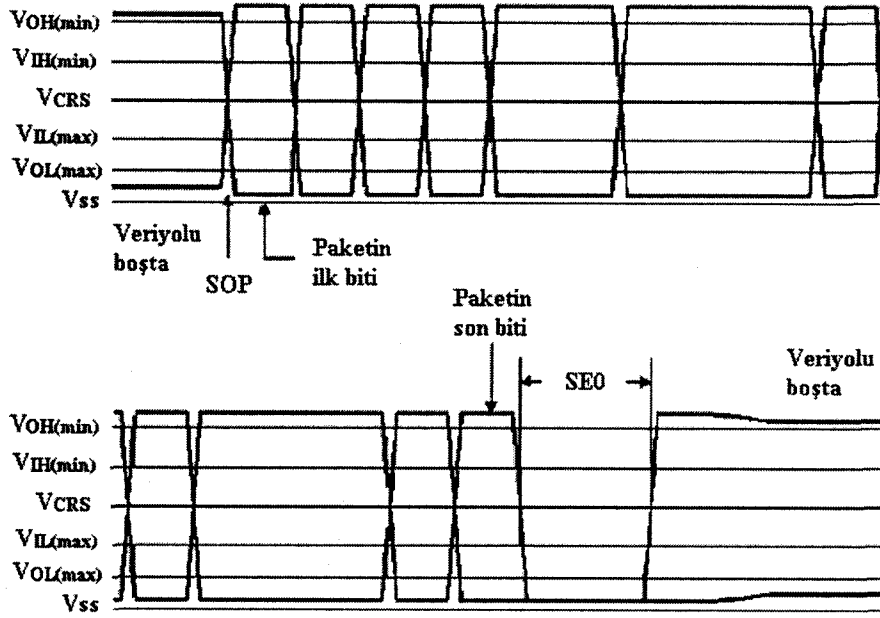
Sunucu, hatta düşük hızlı ya da tam hızlı aygıt bağlandığını şekil 2.2 ve 2.3’de görülen R_{pu} , pull-up dirençleri ile algılar. Düşük hızlı bir aygıt, pull-up direnci ile D- hattını lojik 1 seviyesine çeker, tam hızlı aygıt ise D+ hattını lojik 1 seviyesine çeker. Böylece sunucu, aygıt hatta bağlandığı anda hangi hızda çalıştığını tespit etmiş olur ve kendisini o hıza konfigüre eder. Aygıt bağlanmadan önceki ve bağlandıktan sonraki hattın durumu şekil 2.4 ve 2.5’te düşük hızlı ve tam hızlı aygıt için gösterilmiştir. Burada $V_{IH(min)} = 2.0V$ ve $V_{SS} = 0V$ ’tur.



Şekil 2.4 Düşük hızlı aygıtın algılanması



Şekil 2.5 Tam hızlı aygıtın algılanması



Ŗekil 2.6 Gerilim seviyeleri

Ŗekil 2.6'da USB hattında veri akıŖı sırasındaki gerilim seviyeleri g r lmektedir. Ŗekilden de g r leceęi gibi en baŖta hat bekleme (idle, J) konumundadır yani boŖtadır. Daha sonra SOP (Start Of Packet) ile bir paket gelmeye baŖlamıŖtır. Paketin ilk biti hattın, bekleme (J) konumundan (K) konumuna ge mesine neden olmuŖtur. Hatta bir s re veri akıŖı devam etmiŖ ve iki bit s resince SE0 (Single Ended 0) iŖareti gelmesiyle paketin sonlandığı anlaŖılmıŖtır. Ve hat yeniden bekleme konuma ge miŖtir.

 izelge 2.1 İŖaret gerilim seviyeleri

$V_{OH(min)}$	$V_{OL(max)}$	$V_{IH(min)}$	$V_{IL(max)}$	V_{CRS}
2.8V	0.3V	2.0V	0.8V	1.3 – 2.0V

Çizelge 2.2 USB hattının durumu ve işaret seviyeleri

Hattın Durumu	İşaret Seviyesi
Diferansiyel “1”	$D+ > V_{OH(min)}$ ve $D- < V_{OL(max)}$
Diferansiyel “0”	$D- > V_{OH(min)}$ ve $D+ < V_{OL(max)}$
SE0 “Single-Ended 0”	$D+ \text{ ve } D- < V_{OL(max)}$
“J” durumu Düşük hız (Low-speed) Tam hız (Full-speed)	Diferansiyel “0” Diferansiyel “1”
“K” durumu Düşük hız (Low-speed) Tam hız (Full-speed)	Diferansiyel “1” Diferansiyel “0”
Paket başlangıcı (SOP) (Start Of Packet)	Hat, bekleme durumundan “K” durumuna geçer
Paket sonu (EOP) (End Of Packet)	2-bit süresi SE0 ve ardından 1-bit “J”

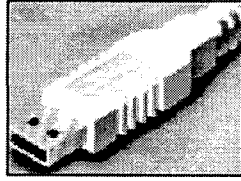
USB hattındaki veri akışını düzenlemek, olası hataları yakalamak ve hata olmadığı halde olmuş gibi algılanmasını önlemek için veri hatta çıkmadan önce bir takım özel kodlama işlemlerinden geçirilir. Bunlar NRZI kodlama ve bit ekleme (bit stuff) işlemleridir. Alıcı tarafta ham veriyi elde edebilmek için bu kodlama işlemlerinin tersi yani NRZI kodçözme ve bit ayıklama (bit destuff) işlemleri yapılmalıdır. Bu özel kodlama işlemlerine ait detaylı bilgi tezin içinde sunulmuştur.

2.4 Mekanik Özellikleri

USB sunucu, dağıtıcı ve aygıtları birbirlerine bağlamak için özel kablolar kullanılmaktadır. Bunlardan tam hızlı USB aygıtlar için kullanılan kablo ekranlanmış yani dışına koruyucu bir zırh geçirilmiş olmalıdır. Aksi takdirde veri iletim hızı yüksek olduğundan kayıplar meydana gelecektir. Düşük hızlı USB aygıtların kullandıkları kabloların ekranlanmış olmasına gerek yoktur.

USB spesifikasyonlarında sunucu, dağıtıcı ve aygıt ile olan arabağlantılar için maksimum 5m kablo uzunluğuna izin verilmiştir. Bundan daha uzun olan kablolardaki zayıflama miktarı fazla olacağından veri iletiminde hatalar meydana gelecektir. USB bağlantılarda çok uzun kablolar kullanmak yerine aralara dağıtıcılar yerleştirilmelidir.

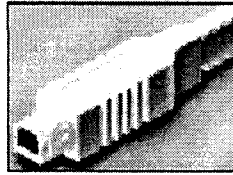
Şekil 2.7, 2.8, 2.9 ve 2.10'da USB bağlantılar için kullanılan fiş ve yuva tipleri görülmektedir. Bunlardan Seri A tipi fiş üst akış yönünde sunucuya yapılan girişler için, Seri A tipi yuva sunucu ya da dağıtıcıdan alt akış yönünde çıkış için, Seri B tipi fiş alt akış yönünde bir aygıtla bağlantı için ve Seri B tipi yuva üst akış yönünde bir sunucu ya da dağıtıcıya giriş için kullanılmaktadır. [Universal Serial Specification Revision 1.1, 1998]



Şekil 2.7 Seri A tipi fiş



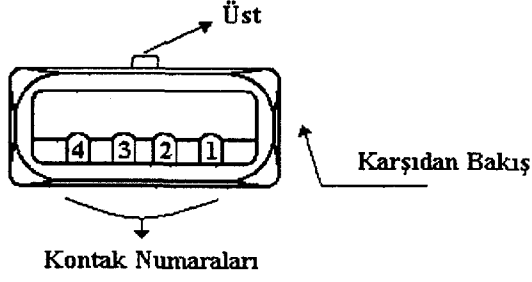
Şekil 2.8 Seri A tipi yuva



Şekil 2.9 Seri B tipi fiş



Şekil 2.10 Seri B tipi yuva

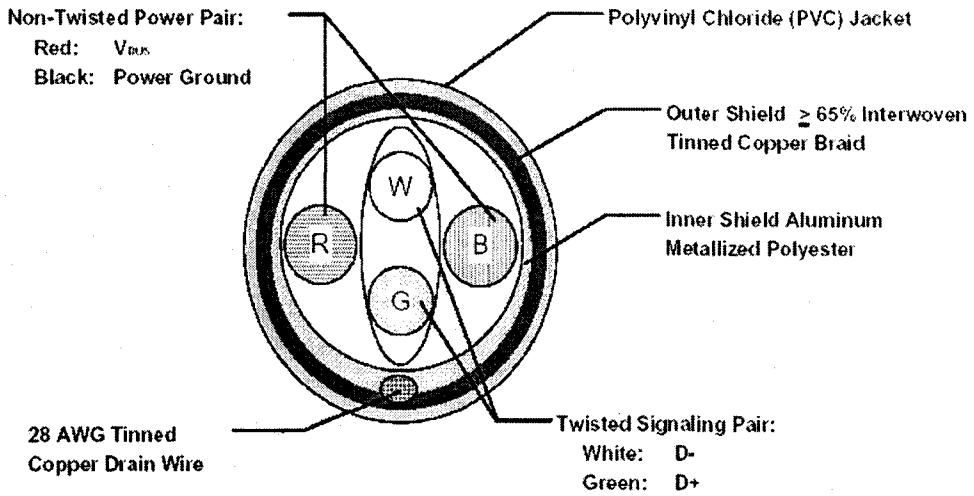


Şekil 2.11 Tipik bir USB fişin kontak yerleşim planı

Şekil 2.11 ve 2.12’de bir USB fişin kontaklarının yerleşim planı ve kablo iç yapısı görülmektedir. Çizelge 2.3’te ise bu kontakların neler olduğu ve renk kodları verilmiştir.

Çizelge 2.3 USB bağlantı sonlandırma renk kodları

Kontak Numarası	Sinyalin Adı	Tipik Renk Kodu
1	V_{BUS}	Kırmızı
2	D-	Beyaz
3	D+	Yeşil
4	GND	Siyah
Kabuk	Koruyucu ekran	Örgü Kablo



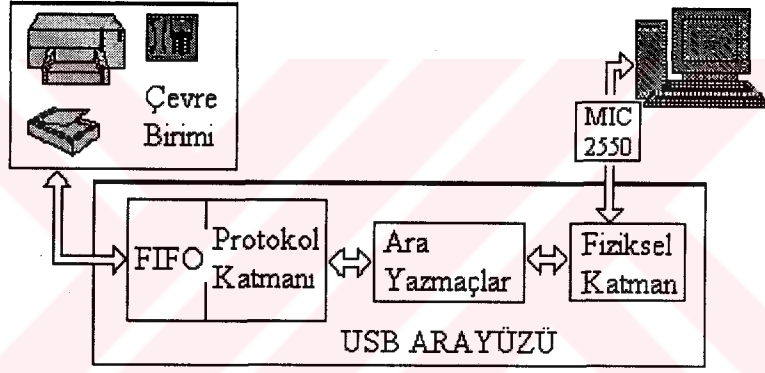
Şekil 2.12 Tipik tam hızlı USB kablo iç yapısı

3. SİSTEMİN GENEL MİMARİSİ

USB Arayüzünün diğer birimlerle bağlaşım planına ilişkin blok diyagram Şekil 3.1’de gösterilmiştir. Sistem iki ana bölümden oluşmaktadır:

USB sunucu/dağıtıcı ile bağlaşımı sağlayan Fiziksel Katman tasarımı bu tezde ayrıntılı olarak anlatılmıştır.

Çevrebirimi ile bağlaşımı sağlayan ve üst seviye USB haberleşme protokolünü sağlayan Protokol Katmanı tasarımı Yük. Müh. Burcu Kapanoğlu tarafından USB Cihaz Arayüzüne Ait Protokol Katmanı Tasarımı konulu Yüksek Lisans tezinde sunulmuştur [Kapanoğlu, 2001].



Şekil 3.1 USB arayüzü ve diğer birimlerle bağlaşımı

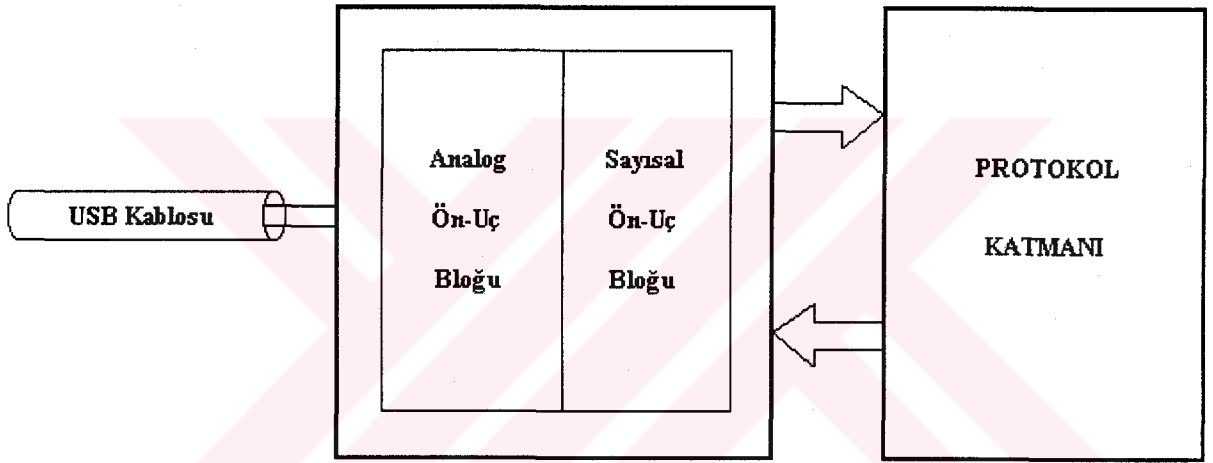
Bu iki ana birimin birbirleriyle haberleşmesini sağlayan ve şekil 3.1’de Ara Yazmaçlar adıyla gösterilen bölüm fiziksel katman içinde tasarlanmıştır. Bu bölüm alma/gönderme (receive/transmit) işlemleri için ikişer adet 8-bitlik yazmaç ve alma/gönderme işlemlerinin durumunu gösteren çeşitli bayraklar içerir. Ara yazmaçlar Alıcı Arayüz ve Gönderici Arayüz blokları içinde ayrıntılı olarak anlatılacaktır.

Bunlara ek olarak, USB hattı ile elektriksel olarak haberleşmeyi sağlayan, hattan gelen USB standartlarındaki verinin lojik gerilim seviyelerine çekilmesini, hatta gönderilecek veriyi de USB standartlarına çeviren Analog Ön-Uç (“AFE” Analog Front End) bloğu tasarlanmayıp piyasadan hazır olarak temin edilmiştir. Bu blok işlevini MICREL 2550 tümdevresi yerine getirecektir. Bu tümdevre ile ilgili bilgi tez içinde detaylı olarak verilmiştir.

4. FİZİKSEL KATMAN

Fiziksel katman, USB kablo üzerinden gelen verinin, protokol katmanının anlayacağı şekle dönüştürülüp, bu katmana verinin iletilmesinden sorumludur. Devre opsiyonel olarak iki farklı hızda çalışabilir. Düşük-hız (LS) 1.5Mbit/s'lik, Tam-hız (FS) ise 12Mbit/s'lik veri iletim hızlarını destekler.

Şekil 4.1'de fiziksel katmanın USB aygıt içindeki yeri görülmektedir. Fiziksel Katman, USB hattı ile Protokol Katmanı arasında yer almaktadır. Görevi, USB hattından veri almak ya da USB hattına veri göndermektir. Bu işlemleri gerçekleştirebilmek için veri üzerinde gerekli dönüşümleri standartlara uygun şekilde yapar.



Şekil 4.1 En genel anlamda fiziksel katman

USB fiziksel katmanı temel olarak iki kısma ayrılır:

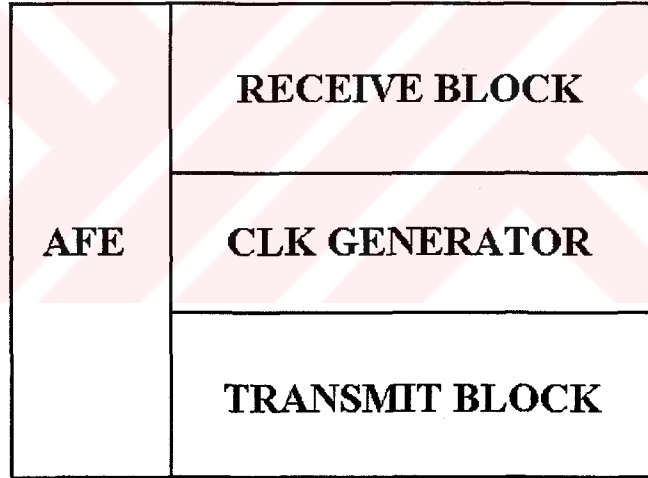
- Analog Ön-Uç (Analog Front End “AFE”)
- Sayısal Ön-Uç (Digital Front End “DFE”)

Analog Ön-Uç bloğu, USB hattından gelen diferansiyel işareti lojik seviyeye çevirip Sayısal Ön-Uç Bloğuna aktarır. Bu kısım için, MICREL firmasına ait MIC 2550 tümdevresi kullanılmıştır.

Sayısal Ön-Uç bloğu, USB hattından gelen, lojik seviyeye çevrilmiş seri verinin işlenmesi ve ham USB verisinin oluşturulmasından sorumludur. Bu bloğun görevleri şöyle sıralanabilir:

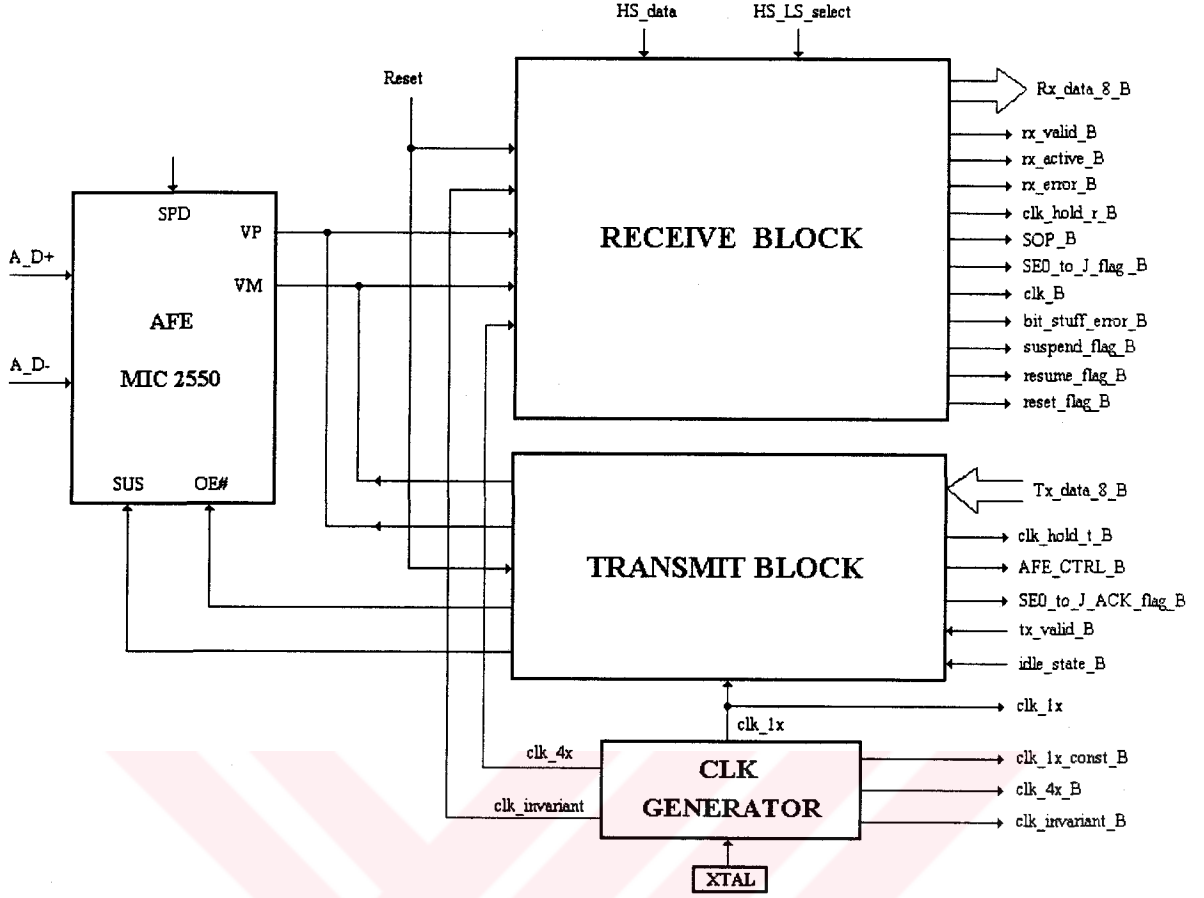
- Saat işaretinin elde edilmesi ve senkronizasyonun sağlanması
- SYNC ve EOP'un algılanması ve üretilmesi
- Bit ekleme (stuff) ve bit ayıklama (de_stuff) işlemlerinin gerçekleştirilmesi
- NRZI kodlama (encode) ve NRZI kodçözme (decode) işlemlerinin gerçekleştirilmesi
- Suspend (uyku), resume (uyan) ve reset sinyallerinin algılanması ve protokol katmanının uyarılması
- Veri iletimi ve veri alma işlemlerinin protokol katmanı ile uyumlu bir şekilde gerçekleşmesini sağlayan bayrakların kontrolü

Bu işlemlerden geçen veri, alma işlemi ile protokol katmanına, gönderme işlemi ile ise USB hattına gönderilir.



Şekil 4.2 En üst seviye hiyerarşi

Fiziksel katmana kod düzeyinde hiyerarşik sırada bakılacak olursa, şekil 4.2’de görüldüğü gibi en üst seviyede Alıcı Blok (Receive Block) ve Gönderici Blok (Transmit Block) ile bu blokların kullandıkları saat işaretlerini üreten Saat Üretici (Clk_Generator) bloğu tanımlanmıştır. AFE bloğu için MIC 2550 alıcı-verici tümdevresi kullanılmıştır.



Şekil 4.3 Üst seviye sistem yapısı

4.1 Sistem Üst Seviye Blokları

4.1.1 Analog Ön-Uç Bloğu (AFE)

MIC 2550, USB alıcı-verici tümdevresidir. MIC 2550 tümdevresi,

- Fiziksel katmana arayüz oluşturabilecek bir yapıdır.
- Tam-hız (12 Mbit/s) ve Düşük-hız (1.5 Mbit/s) hızlarını destekler.
- USB Fiziksel Katmanındaki, Analog Ön-Uç (AFE) bloğu yerine kullanılacaktır.

Bu tümdevrenin kullanılan pinleri ve görevleri şu şekilde özetlenebilir:

- D+ ve D-, I/O pinleridir. Bu uçlar, doğrudan USB kablosunun D+ ve D- hatlarına bağlanır.
- VP ve VM, çıkış pinleridir. D+ ve D- hatlarından gelen USB standartlarındaki veri, tümdevre içinde lojik seviyeye çevrilip VP ve VM pinleri üzerinden çıkışa aktarılır. Aynı zamanda aygıttan sunucuya gönderilecek lojik seviyedeki veri, yine Vp ve VM pinlerine

uygulanır. Bu veri tümdevre içinde USB standartlarındaki gerilim seviyelerine çevrilerek hatta gönderilir.

- OE# ve SUS, giriş pinleridir. AFE'nin hangi modda çalışacağı bu pinlere uygulanan girişler ile seçilir ve girişler Fonksiyon Seçici Blok (Function Selection Block) tarafından kontrol edilir. Uygulanan girişlere göre tümdevre farklı modlarda çalışır. Bu modlar şöyle özetlenebilir:
 - suspend girişinin 1'e çekilmesi, iç devrelerin kapatılmasına ve tümdevrenin düşük güç sarfiyatı "low power state" modunda çalışmasına yol açar.
 - OE# girişi 0'a çekilirse AFE gönderme modunda, 1'e çekilirse alma modunda çalışır.
- SPD giriş pinidir. AFE bloğunun çalışma hızı (LS veya FS), speed ucuna uygulanacak "1" veya "0" işaretine göre dışarıdan belirlenir.
 - SPEED : "0" $\Rightarrow$ düşük-hız (1.5 Mbit/s) modunda çalışılır.
 - SPEED : "1" $\Rightarrow$ tam-hız (12 Mbit/s) modunda çalışılır [MIC2550.pdf].

AFE Fonksiyon Çizelgeleri :

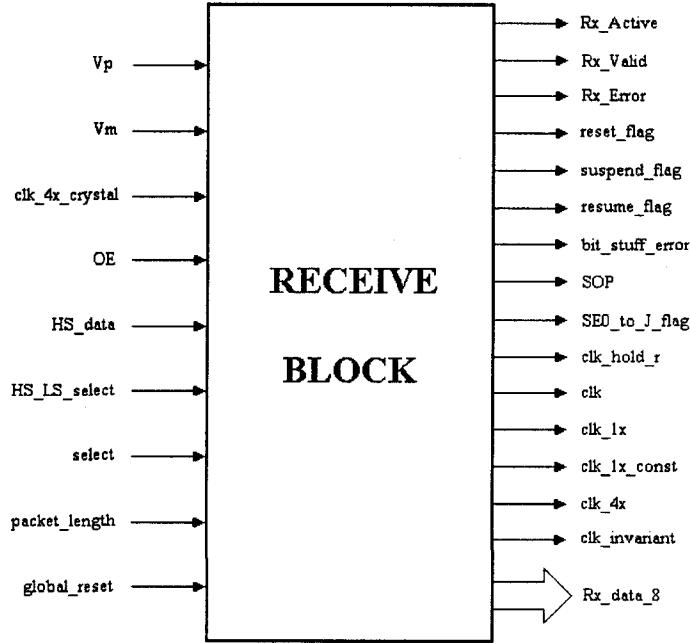
Çizelge 4.1 AFE'nin göndeme modundaki çalışma çizelgesi (OE#=0)

Vp	Vm	Veri Tanımı
0	0	SE0
0	1	0
1	0	1
1	1	SE1

Çizelge 4.2 AFE'nin alma modundaki çalışma çizelgesi (OE#=1)

D+	D-	Veri Tanımı
0	0	SE0
0	1	0
1	0	1
1	1	SE1

4.1.2 Alıcı Blok (Receive Block)



Şekil 4.4 Alıcı blok

En üst seviye katmanlarından Alıcı Bloğun giriş ve çıkışları şekil 4.4'te görülmektedir. Bu bloğun girişlerinden, Vp ve Vm AFE katının çıkışlarıdır. Diğerleri ise sisteme dışarıdan uygulanan sinyallerdir. Alıcı Bloğun çıkışları Protokol Katmanına iletilir. Bunlar en genel anlamda saat işaretleri, alma işleminin başlayıp bittiğini gösteren bayraklar ve suspend, resume ve reset gibi özel durumları bildiren bayraklardır.

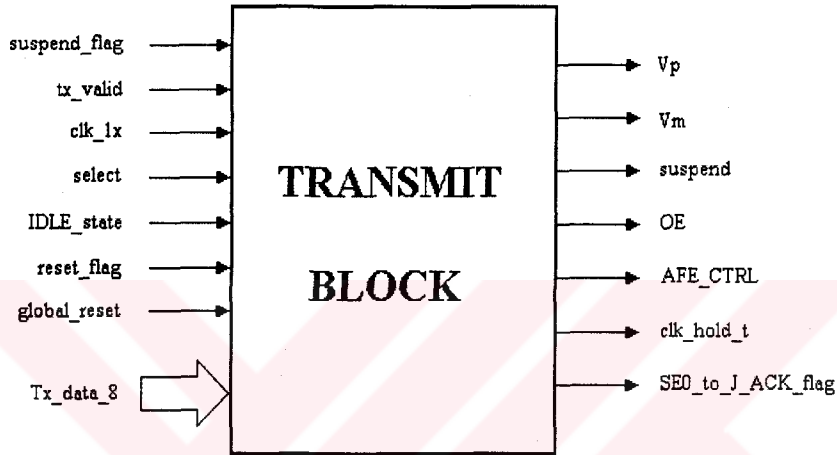
Alıcı bloğu, MIC 2550 tümdevresinin VP ve VM çıkışlarını kullanarak USB hattından gelen seri veriyi işler. Alıcı bloğu, gelen verinin içeriği ile yani ne olduğu ile ilgilenmez, sadece verinin başındaki ve sonundaki kısımları ayıklayıp kalan kısmını 8 bitlik paralel veri şeklinde protokol katmanına gönderir.

- İçerdiği DPLL bloğu ile, USB hattından gelen veriyi kullanarak sunucu ile senkron saat bilgisini elde eder. Bu saat işareti, daha sonra, alıcı bloğu içindeki birçok yapının saat girişi olarak kullanılır ve protokol katmanına gönderilir.
- Veri alma işleminin başlayıp bitmesine, yazmaçların durumlarına ve alma işlemi sırasında doğabilecek bir hatanın algılanmasına ilişkin, Rx_Active, Rx_Valid ve Rx_Error bayraklarını kontrol eder.
- Sunucunun gönderdiği reset, resume ve suspend sinyallerini algılayıp, protokol katmanının gerekli konuma geçmesi için ilgili bayrakları aktif hale getirir.

- Clk_hold_r, alıcı blok tarafından kontrol edilen ve bu bloktaki yazmaçların durumunu kontrol eden bayraktır.

Bu bloğa global reset , Yüksek-Hızlı (HS) veri girişi ve buna ilişkin HS_LS_select (çalışılacak hızın seçimi için) girişleri uygulanır. HS veri girişinin uygulanmasının sebebi, ileride, bu devrenin HS modunda çalışabilecek hale uyarlanması halinde, kolaylık sağlamak içindir.

4.1.3 Gönderici Blok (Transmit Block)



Şekil 4.5 Gönderici blok

Gönderici blok Protokol Katmanından gelen veriyi USB standartlarına çevirerek USB hattına gönderilmek üzere AFE bloğuna verir. Bu bloğun girişleri Protokol Katmanından gelir. Çıkışlarından, Vp, Vm, suspend ve OE, AFE katına uygulanır. Clk_hold_t ve SEO_to_J-ACK_flag çıkışları ise kontrol için Protokol Katmanına geri uygulanır.

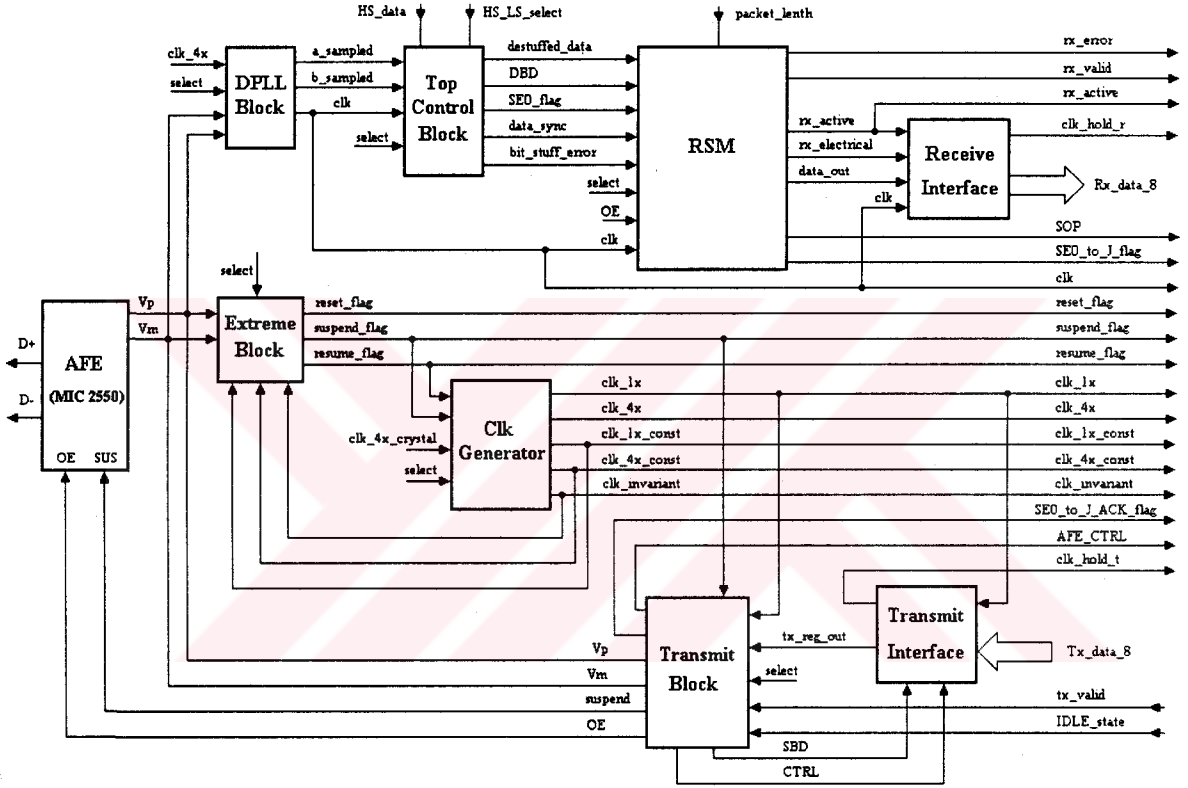
Gönderici, Protokol katmanından gelen 8 bitlik paralel veriyi işleyip AFE üzerinden USB hattına gönderir. Bunu MIC 2550 tümdevresinin Vp ve Vm girişlerini kullanarak gerçekleştirir. Bu blok da, alıcı bloğunda olduğu gibi, protokol katmanından gelen verinin içeriği ile ilgilenmez. Sadece, protokol katmanından gelen veriyi USB kablo üzerinden gönderilecek hale getirip, yollar.

- Clk_hold_t ve AFE_CTRL, verici bloğundaki yazmaçların durumu ve veri iletiminin başlama ve bitiş zamanına ilişkin, fiziksel katman tarafından kontrol edilen bayraklardır.
- Tx_Valid ise protokol katmanı tarafından kontrol edilen ve fiziksel katmana, veri iletiminin başlayacağını / biteceğini haber veren bayraktır.

Alıcı bloğuna uygulanan harici global_reset girişi, gönderici bloğuna da uygulanır. Alıcı ve verici bloklarına ait saat girişleri saat üretici bloğunda ayrıntılarıyla açıklanacaktır.

Saat üretici bloğu (Clk Generator), Fiziksel Katmanın ve Protokol Katmanın alt bloklarının çalışmaları için gerekli olan saat işaretlerini üretir. Bu bloğun çalışma şekli alt bloklar incelenirken ele alınacaktır.

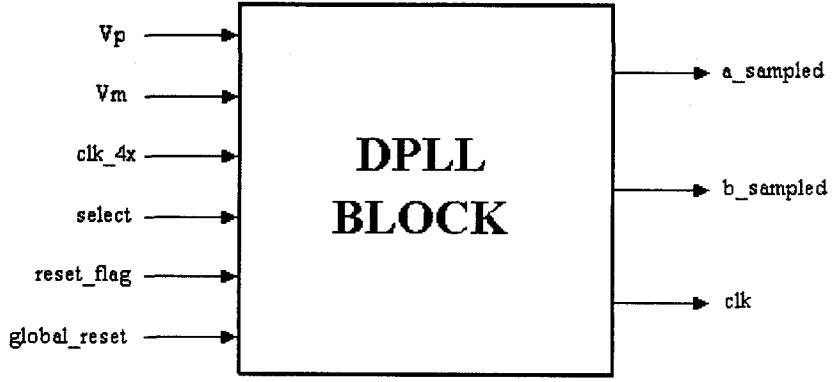
4.2 Sistem Alt Bloklarının Detaylı İncelenmesi



Şekil 4.6 Sistem alt blokları

4.2.1 Dijital Faz Kilitlemeli Çevrim Bloğu (DPLL)

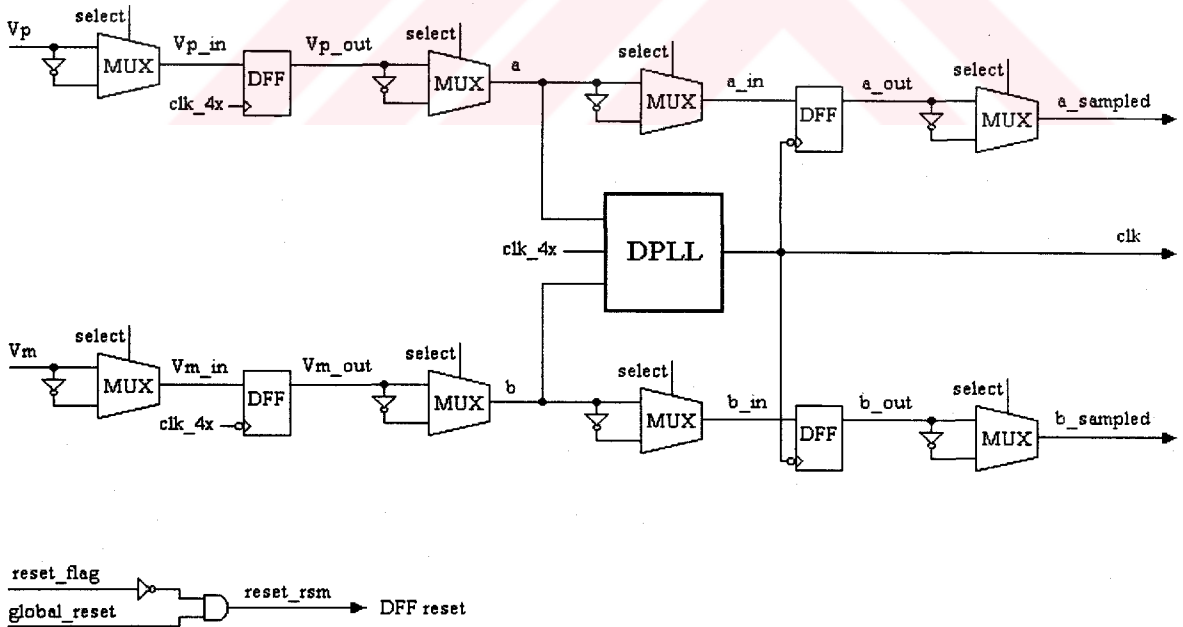
USB sunucu / dağıtıcısının kullandığı 12MHz'lik saat işareti ile aygıtın kullandığı 12MHz'lik saat işareti, $\pm 0.25\%$ toleransa sahip kristaller tarafından üretildiği için, birbirlerine senkron değillerdir. Bu nedenle, bit bit senkronizasyona ihtiyaç vardır. Bu senkronizasyon 4x örnekleme yapan bir dijital PLL (DPLL) kullanılarak sağlanır. Yani, USB hattından gelen veriden, saat işaretini elde edebilmek için, DPLL, harici 4x'lık bir saat işareti (sunucunun kullandığı saat işaretinden 4 kat daha hızlı bir saat işareti) kullanır.



Şekil 4.7 DPLL bloğu

USB hattından gelen ve AFE bloğu tarafından lojik seviyeye çekilmiş olan işaret, AFE'nin VP ve VM çıkışlarından DPLL'e uygulanır. Ayrıca, DPLL bloğuna dışarıdan, LS modu için 6MHz, FS modu için de 48MHz'lik saat işareti (clk_4x) uygulanır. Çalışılan moda göre clk_4x seçimi Saat Üretici Blok tarafından yapılacaktır.

Sonuçta, DPLL devresi, $\pm 0.25\%$ hata oranı ile, USB sunucu tarafındaki saat işaretine senkronlanmış bir saat işareti (clk) elde eder ve elde edilen bu saat işareti alıcı bloğundaki diğer yapılar ve protokol katmanı tarafından kullanılır.



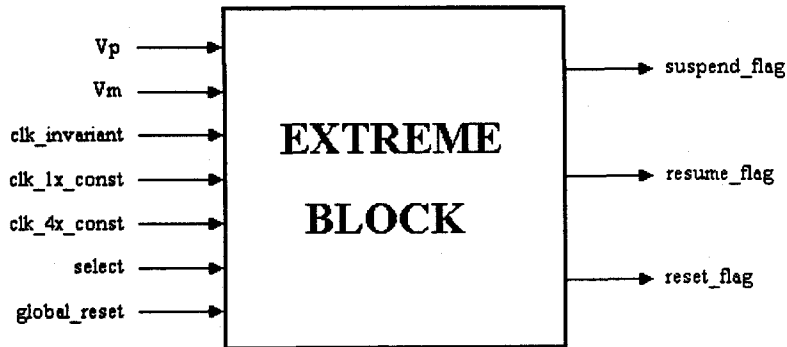
Şekil 4.8 DPLL bloğunun iç yapısı

işaretinin düşük peryodu, 48MHz'lik saat işaretinin (clk_4x) bir peryodu kadar kısaltılmış olacaktır. Bit genişliğinin uzun olması durumunda ise 6. ve 2. durumlarına gitmeden önce, $3 \rightarrow F \rightarrow 6$ ve $7 \rightarrow B \rightarrow 2$ durumlarından geçilir. Bu da, elde edilen saat sinyaline ekstra bir peryot (48MHz'lik saat işaretinin bir peryodu kadar) eklenmesi anlamına gelir. Durumlar, 2. bitleri çıkışı - yani, DPLL devresinin çıkışında elde edilecek saat işaretinin değerini (1 ya da 0 olacağını) - ifade edecek şekilde kodlanmışlardır. Örneğin, "7" durumunda (0111) 2. bit '1' olduğuna göre, çıkışta elde edilecek saat işaretinin değeri de, clk_4x'in bir peryodu süresince '1' olarak kalacaktır. Son olarak, ani gürültü (glitch) olmadığı bir saat işareti elde edebilmek için, DPLL çıkışında elde edilen saat işareti, clk_4x ile tetiklenen bir flip-flop'tan geçecektir. Artık, elde edilen saat işareti (clk), alıcı bloğu içindeki farklı yapıların (örneğin SYNC algılayıcı bloğunun) saat girişlerine uygulanabilir.

DPLL devresindeki en büyük sorun ise, başlangıçta (reset geldikten sonra) yeterli geçişin olmaması durumunda kilitlenmenin gerçekleşememesi (ki bu durumda DPLL, D. durumunu geçemez) ve sonuçta saat işaretinin elde edilememesidir. Örneğin, resume sinyalinin gelmesi durumunda bu sorun meydana gelebilir. Çünkü, resume sinyalinin gelmesi demek, USB hattın gelen verinin, uzun bir süre boyunca sabit bir değerde kalması anlamına gelir. Bu olay; resume, reset ve suspend işaretlerinin algılanmasında DPLL çıkışında elde edilen saat işaretinin değil, clk_invariant saat işaretinin kullanılmasının bir başka sebebidir.

Sonuç olarak, elde edilen saat işareti (clk) ile örneklenen veri (a ve b) a_sampled ve b_sampled olarak DPLL bloğunun çıkışına aktarılır ve oradan da verinin işlenmesi için, diğer blokların girişlerine uygulanır. [SIE.pdf]

4.2.2 Uç Bloğu (Extreme Block)



Şekil 4.10 Uç Bloğu

Uç bloğu, reset, suspend ve resume sinyallerinin algılandığı bloktur. Bu nedenle, öncelikle reset, suspend ve resume sinyallerinin ne olduklarını açıklayalım:

Suspend (Uyku) Sinyali

Tüm aygıtlar suspend durumunu desteklemelidir. Aygıt, herhangi bir konumda iken, suspend sinyalinin gelmesiyle suspend moduna geçmelidir. Suspend moda geçebilmek için, USB hattının en az 3ms boyunca boş (idle) (J state) durumda kalması gerekir. Üst akış (upstream) portundaki bir veriyolu aktivitesi, aygıtın suspend moddan çıkmasına neden olur. Üst akış portunda herhangi bir veriyolu aktivitesi olmaması durumunda, FS modunda çalışan aygıtın suspend durumuna geçmesini engellemek için sunucudan her çerçevede (frame) bir SOF andaç (token) gelmelidir. LS modunda çalışan bir aygıtın suspend durumuna geçmesini engellemek için ise, sunucudan her çerçevede bir uyanık tut işareti (keep-alive) gönderilir. Uyanık tut işareti, LS (düşük hızlı) EOP anlamına gelir. Çerçeve ise, 1ms'lik süreyi ifade eder. Sunucu aygıtın suspend durumuna geçmesini istemese bile, USB hattında 3ms boyunca J gören aygıt, suspend moda geçecektir. Bunu engelleyebilmek için, sunucu 1ms'lik aralıklarla gönderdiği sinyallerle (SOF token ve keep-alive) aygıtı uyanık tutar. Böylelikle, aygıtın sadece ve sadece sunucunun istediği zamanlarda suspend moda geçmesi sağlanmış olur.

Resume (Uyan) Sinyali

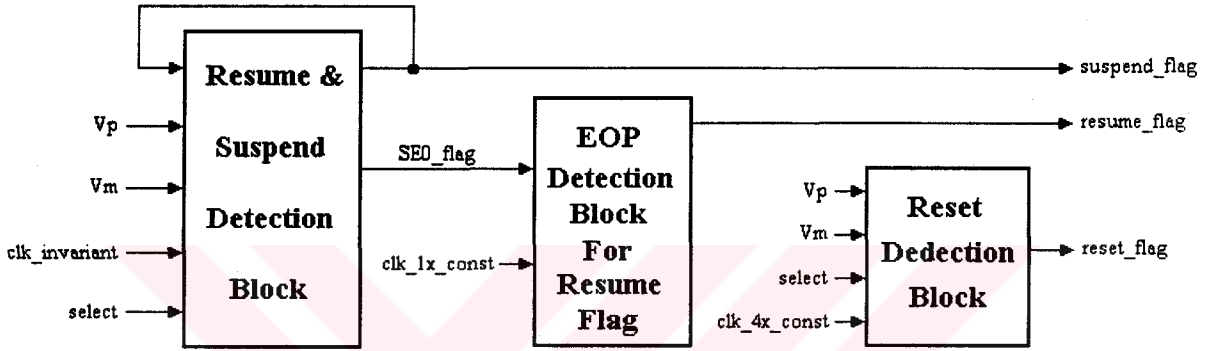
Bir device suspend moddayken, üst akış portunda idle'dan farklı bir işaret görürse, bu moddan çıkar. Buna ek olarak, eğer aygıtın uzaktan uyandır (remote wakeup) özelliği varsa, aygıtta sisteme resume işlemi için sinyal gönderebilir. Resume sinyali, suspend durumundan aktif konuma geçmek için kullanılır. Sunucu, herhangi bir zamanda resume sinyali gönderebilir. Sunucu, en az 20ms boyunca sinyali göndermeli ve bunu bir LS EOP ile (İki LS bit süresi kadar SE0 ve arkasından 1 bit süresi kadar J) sonlandırmalıdır. Aygıtın, suspend moddan çıktıktan sonra yeniden o moda girmemesi için sunucu, 3ms içinde veri (ya da en azından SOF token) göndermelidir.

Sonuç olarak, suspend moddan çıkmak için (resume işlemi) USB hatta herhangi bir aktivite olması (J → K) yeterlidir. Ancak alma ya da gönderme işleminin tekrar başlaması için -yani normal çalışma moduna geri dönülebilmesi için- en az 20ms'lik sürenin (resume sinyali) geçmesi ve ardından düşük hızlı LS EOP gelmesi gerekir. Bu süre içerisinde hiçbir işlem yapılamayacağından, device bu şart sağlanana kadar suspend modda kalacak şekilde tasarlanacaktır. Böylelikle, gereksiz yere güç sarfiyatından kaçınılmış olunacaktır.

PC YÜKSEK HIZLI VERİ AKIŞI
BİLGİ TEKNOLOJİLERİ
BİLGİ TEKNOLOJİLERİ
BİLGİ TEKNOLOJİLERİ

Reset Sinyali

USB Sistem Yazılımından gelen bir istek üzerine, dağıtıcı veya sunucunun herhangi bir portunda bir reset sinyali üretilebilir. Dağıtıcı ya da sunucu alt akış portuna uzun bir süre SE0 sürerek reset sinyali üretir. Üst akış portunda 2.5µs'den daha uzun bir süre SE0 gören bir aygıt, bu sinyali reset olarak algılar. Reset sinyalinden sonra, aygıt varsayılan durumuna geçer. Ayrıca reset sinyali, suspend durumundaki bir aygıtı da uyandırabilir. Sonuç olarak; reset sinyalini algılayabilmek için USB hattında en az 2.5µs boyunca SE0 durumu görülmelidir.



Şekil 4.11 Uç bloğunun iç yapısı

4.2.2.1 Resume (Uyku) ve Suspend (Uyan) Algılayıcı Blok

- Suspend sinyalini algılayabilmek için, hatta en az 3ms boyunca 'J' durumu (idle durum) görülmelidir. 3ms'lik sürenin belirlenebilmesi için $3ms \cdot 800KHz = 2400$ 'e kadar sayacak bir sayıcıya ihtiyaç vardır. Suspend sinyalinin algılanmasında, frekansı 800KHz olan clk_invariant saat işareti kullanılacaktır. Bunun sebebi aşağıda ayrıntılı bir şekilde açıklanmıştır.
- Resume sinyalinin algılanabilmesi için gerekli olan 20ms'lik sürenin sayılabilmesi için $20ms \cdot 800KHz = 16000$ 'e kadar sayacak bir sayıcı gerekir.

Her üç durum için de ayrı ayrı sayıcılar kullanmak, Uç bloğunun oldukça büyük bir yer tutmasına neden olur. Yerden kazanmak için suspend ve resume sinyallerinin algılanmasında, 10 bitlik (1ms'ye kadar saymak için) ve 5 bitlik (20ms'ye kadar saymak için) iki sayıcı kullanılmıştır. İlk sayıcı 800'e kadar saydığında 1ms'lik bir zaman geçmiş olur ($1ms \cdot 800KHz = 800$). 800'ün ikilik düzendeki karşılığı 1100100000 olduğundan, 1ms'lik sayıcının 6, 9 ve 10. bitleri bir VE kapısından geçirilip, 5 bitlik sayıcının saat girişine uygulanır. Böylece her 1ms'de bir, diğer sayıcı tetiklenir ve çıkışı bir artar.

Yukarıda da belirtildiği gibi, clk_invariant saat işareti ile tetiklenen 1ms'lik ve 20ms'lik sayıcılar suspend ve resume sinyallerinin algılanmasında ortak olarak kullanılırlar. Ancak reset sinyali için durum farklıdır. Reset sinyalinin algılanması için gerekli olan süre çok kısa olduğundan (2,5µs), clk_invariant işaretinin kullanılması riskli olacaktır. Şöyle ki ; 800KHz'lik saat işareti ile tetiklenen 1ms'lik sayıcının 2'ye kadar sayması reset sinyalinin algılanması için yeterli olacaktır. Oysa, sayıcı devresinin , SE0 gelmeye başladıktan hemen sonra tetiklenip saymaya başlayacağı kesin değildir. Örneğin hattın SE0 gelmeye başlar ama sayıcı bu andan 2µs sonra tetiklenebilir. Bu durumda 2,5µs'lik süre tam olarak sayılamayacağından reset sinyalinin doğru bir şekilde algılanması garanti edilmemiş olacaktır. Bu yüzden reset sinyalinin algılanmasında ayrı bir sayıcı kullanılacak ve bu sayıcı, daha yüksek frekansa sahip bir saat işareti (clk_4x_const) ile tetiklenerek reset sinyalinin algılanmasındaki hata önlemiş olacaktır.

Hem suspend hem de resume sinyalinin aynı sayıcılar kullanılarak algılanması, bazı problemlere yol açabilir. Örneğin; her 3ms'lik süre, suspend sinyali olarak algılanmamalı, hattın durumuna da bakılmalıdır. Çünkü, resume sinyali için 20ms sayarken, 3ms'lik süre de bir kez algılanmış olacaktır. Resume sinyali için 20ms sayılırken, 3ms'ye gelindiğinde, suspend sinyali '1'e çekilirse, yanlış bir anda suspend bayrağı '1' olacak ve yanlış anda suspend moda geçilecektir. Bu soruna çözüm olarak, 3ms'lik ve 20ms'lik süreleri ifade eden sayıcı çıkışları, suspend ve resume sinyallerine ilişkin hatta olması gereken durumlarla ilişkilendirilecektir. Böylece, sadece 3ms'lik sürenin belirlenmesi, o işaretin suspend olarak algılanmasına yetmeyecek, aynı zamanda hattın J durumunda ($V_p = 0$ ve $V_m = 1$) olup olmadığına da bakılmış olacaktır.

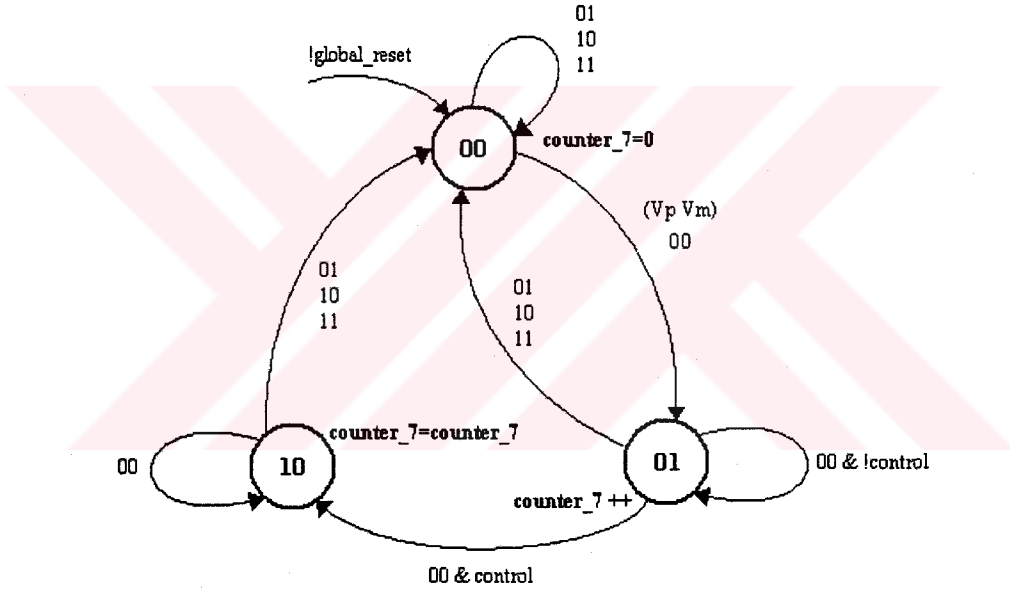
Çizelge 4.3'de reset, suspend ve resume sinyallerine ilişkin V_p ve V_m değerleri gösterilmiştir:

Çizelge 4.3 Reset, suspend ve resume işaret çizelgesi

	Hattın Durumu	V_p	V_m
Reset	SE0	0	0
Suspend	J	0	1
Resume	K	1	0

4.2.2.2 Reset Algılayıcı Blok (Reset Detection Block)

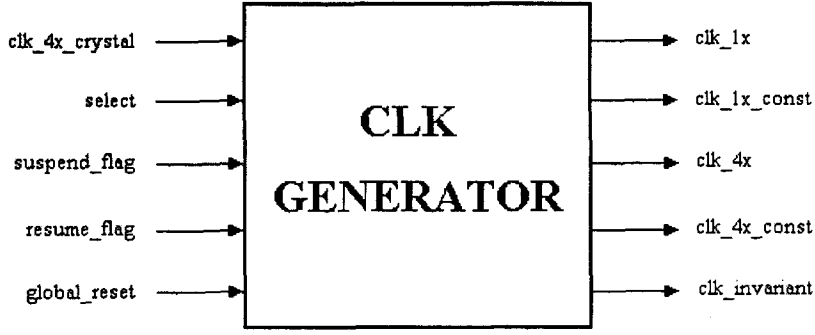
Reset sinyalini algılayabilmek için, hatta en az $2.5\mu s$ süreyle 'SE0' durumu görülmelidir. Bu nedenle SE0 görüldüğü andan itibaren, $2.5\mu s$ 'lik sürenin sayılabilmesi ve reset sinyalinin algılanabilmesi için bir sayıcı kullanılmalıdır. Bu amaçla Reset Sayıcı (Reset Counter) kullanılacaktır. Bu sayıcı saat üretici bloğunun bir çıkışı olan, clk_4x saat işareti ile tetiklenir. Daha önce de açıklandığı gibi, clk_4x saat işaretinin frekansı FS modda 48MHz, LS modda ise 6 MHz 'dir. Bu yüzden, FS modda reset sinyalini algılayabilmek için, $2,5\mu s \cdot 48MHz = 120$ 'ye kadar, LS modda reset sinyalini algılayabilmek için ise $2,5\mu s \cdot 6MHz = 15$ 'e kadar sayacak 7 bitlik bir sayıcı (Reset Counter) kullanılacaktır.



Şekil 4.12 Reset algılayıcı durum makinası

Şekil 4.12'de Reset algılayıcı durum makinası görülmektedir. Bu durum makinası hattın Vp ve Vm sinyallerini izleyerek SE0 işareti bekler. Her SE0 yakaladığında counter_7'yi bir artırır. Eğer arada SE0'dan farklı bir sinyal algılsa sayıcıyı sıfırlar ve 0. duruma döner, yeniden SE0 beklemeye başlar. Reset Algılayıcı Blok içinde bu sayıcı sürekli kontrol edilir ve 15 değerine geldiğinde reset_flag kaldırılır.

4.2.3 Saat Üretici Blok (CLK Generator Block)



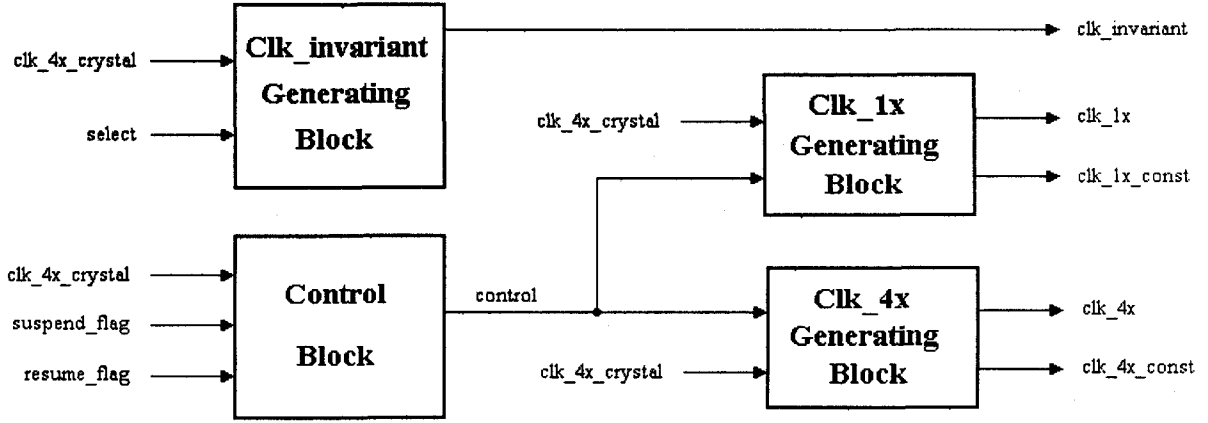
Şekil 4.13 Saat üretici blok

6MHz / 48MHz'lik kristali kullanarak alıcı bloğundaki çoğu yapının saat girişini sürer ve clk_B çıkışını üretir. Ancak, tüm blokların girişlerini aynı saat işareti ile sürmez. Saat Üretici bloğunun, üç temel saat çıkışı vardır. Bunlardan clk_invariant çıkışı sabit olup 800KHz'lik bir frekansa sahiptir. Bu saat çıkışı, fiziksel katmandaki, sayıcı gibi lojik yapıların - çalışma hızına bağlı kalmaksızın - sabit bir frekansta (800KHz) çalışmasını sağlamak için kullanılır. Örneğin, belli bir sürenin belirlenmesi için kullanılan bir devrede, sayıcı girişine gelen saat işaretinin frekansının değişmesi, devrenin de değişmesi anlamına gelir. Bu yüzden, iki farklı çalışma hızı (LS/FS) olduğunda ve her iki çalışma hızında da aynı sürenin algılanmasını gerektiren durumlarda, iki farklı lojik devre ihtiyacı doğacaktır. Bu problemi çözmek için, bu tip devrelerin girişlerine her iki çalışma hızında da değişmeyen - sabit frekanslı - bir saat sinyali uygulanmalıdır.

clk_1x ve clk_4x çıkışları ise, çalışma hızına bağlı olarak değişir. Çizelge 4.4'te çalışma hızına göre clk_1x ve clk_4x saat işaretlerinin frekans değerleri gösterilmiştir :

Çizelge 4.4 LS-FS modu saat frekansları

	clk_1x	clk_4x
LS modu	1.5MHz	6MHz
FS modu	12MHz	48MHz



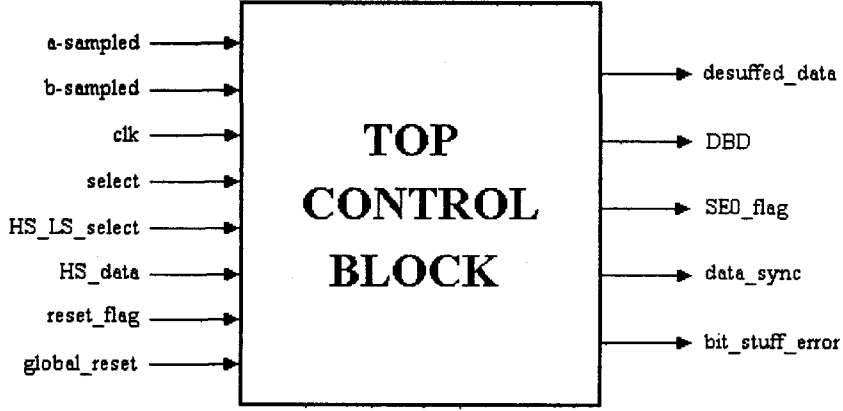
Şekil 4.14 Saat üretici bloğunun iç yapısı

Bunların dışında Saat Üretici bloğunun, clk_1x-const ve clk_4x-const çıkışları bulunmaktadır. Bu saat işaretleri Fiziksel Katman içinde Uç bloğunda kullanılırlar. Ayrıca bu iki işaret Protokol Katmanına da iletilir. Bunlar reset almayan saat işaretleridir. Reset ve suspend koşullarında kullandıkları bloğun işlevinin durmamasını sağlarlar. Böylece, diğer saat işaretlerini kullanan bloklar reset koşulunda reset, suspend koşulunda ise suspend konumuna geçtikleri halde bu saat işaretlerini kullanan bloklar çalışmalarına devam edebilirler. Resume, suspend ve reset durumlarının dedekte edildiği Extreme blokta bu saat işaretlerinin kullanılmasının sebebi budur.

Alıcı bloğuna, Saat Üretici bloğunun clk_4x ve clk_invariant çıkışları gelir. Aslında, alıcı bloğundaki yapıların çoğu, yine bu blokta bulunan DPLL ile elde edilen saat işaretini kullanır. Ancak DPLL'in bu saat işaretini elde edebilmesi için clk_4x saat girişine ihtiyacı vardır. clk_invariant saat işareti ise, belli sürelerin saptanmasında kullanılan bloklardaki sayıcıların saat girişlerini sürer. Bu yapıların neden sabit frekanstaki bir saat işareti ile sürüldüğü, yukarıda detaylı olarak açıklanmıştır.

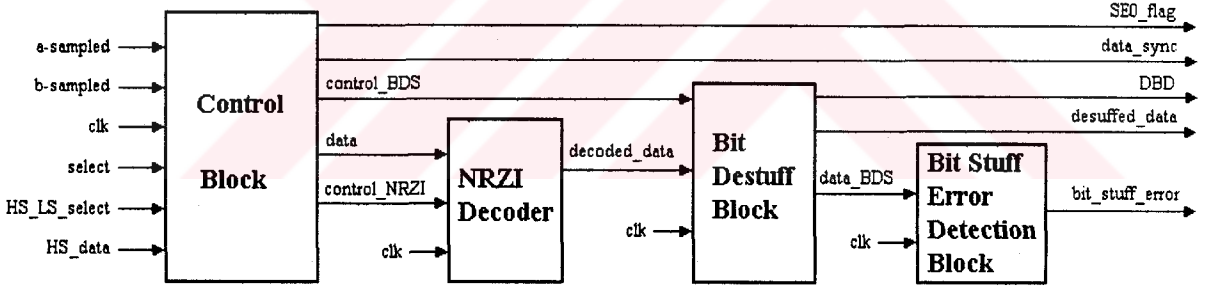
Verici bloğunda, alıcı bloğundakine benzer problemler söz konusu değildir. Bu yüzden, tüm bloktaki yapılar, saat girişleri olarak, clk_1x işaretini kullanırlar.

4.2.4 Üst Kontrol Bloğu (Top Control Block)



Şekil 4.15 Üst kontrol bloğu

Şekil 4.15'te Üst Kontrol Bloğunun iç yapısı görülmektedir. Bu blok, Kontrol Bloğu, NRZI Kodçözücü, Bit Ayıklayıcı Blok ve Bit Ayıklama Hatası Algılayıcı Blok adında dört alt bloktan oluşmaktadır. Aşağıda bu bloklar ayrıntılı olarak incelenecektir.



Şekil 4.16 Üst kontrol bloğunun iç yapısı

4.2.4.1 Kontrol Bloğu (Control Block)

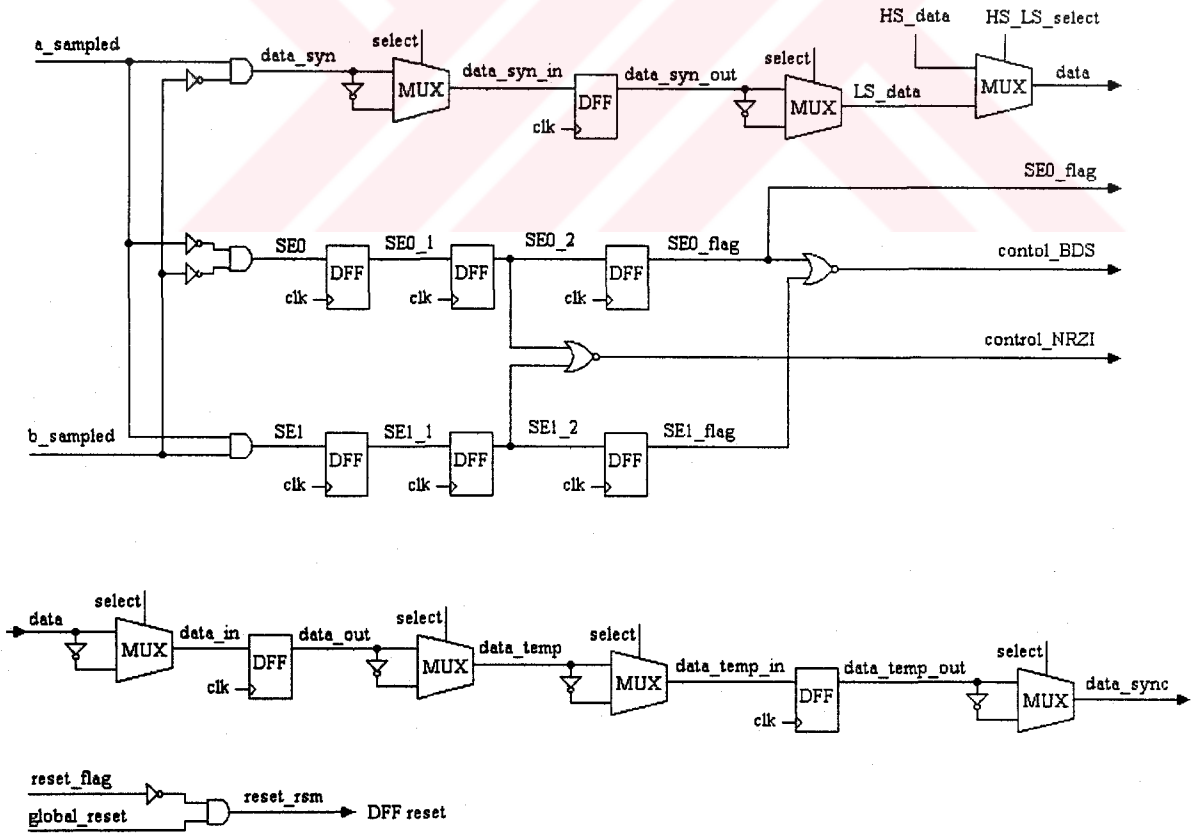
Kontrol bloğu iç yapısı şekil 4.16'da görülmektedir.

DPLL bloğunun çıkışları olan $a_sampled$ ve $b_sampled$ işaretleri, USB hattından gelen verinin örneklenmiş halidir. Bu çıkışlardan $a_sampled$ V_p hattını, $b_sampled$ ise V_m hattını ifade eder. Daha önce de bahsedildiği gibi, hatta dört durum görülmesi söz konusudur. USB hattında görülebilecek bu durumlara ilişkin, V_p ve V_m çıkış işaretlerinin alacağı değerler çizelge 4.5'te gösterilmiştir.

Çizelge 4.5 Hattın durumuna karşılık Vp ve Vm'nin alacağı değerler

USB Hattının Durumu	Vp	Vm
Diferansiyel Lojik "0"	0	1
Diferansiyel Lojik "1"	1	0
SE0	0	0
SE1	1	1

Bu bloğun içerisinde, a_sampled ve b_sampled'in tümleyeni bir VE kapısı, DFF (D Flip-Flop) ve MUX (Multiplexer)'dan oluşturulan yapı içinden geçirilip "data hattı", NRZI kod çözme işlemi için NRZI Kodçözücü bloğunun girişine uygulanır. Böylece Vp ve Vm hatları arasındaki senkronizasyon bozukluklarının da önüne geçilmiş olur. Çünkü, Vp ve Vm her ne kadar birbirlerinin tümleyeni olsalar da, geçişler aynı anda olmaz.



Şekil 4.17 Kontrol bloğunun iç yapısı

SE0 ve SE1 durumları özel durumlardır. SE1 gelmesi hatalı bir durum olduğunu gösterir. Bu durumda NRZI Kodçözücü ve Bit Ayıklayıcı bloklarının çalışmasına gerek yoktur, çünkü gelen anlamlı bir veri yoktur. SE0 durumu ise, ya reset sinyalinin geldiğini ya da EOP geldiğini ifade eder. Dolayısıyla hattın SE0 gelmesi durumunda da gelen verinin işlenmesine dolayısıyla yine bloklarının çalışmasına gerek olmayacaktır. Bu açıklamalar doğrultusunda, kontrol bloğunun işlevi, USB hattından gelen verinin gerçek veri (J ya da K) mi, SEO (EOP ya da reset sinyali) mı, yoksa SE1 (hatalı bir durum) mi olduğunun ayırt edilmesi şeklinde açıklanabilir. Bloğun saat girişine DPLL çıkışında elde edilen clk sinyali gelir. Normal çalışma sırasında, USB hattından veri birbirinin tümleyeni olacak şekilde gelir.

Son olarak, kontrol bloğunda HS veri ile LS/FS veri arasında bir seçim yapabilmek için bir MUX kullanılmıştır. MUX, USB hattından gelen HS ya da LS/FS veriyi, her iki durum için de ortak kullanılan alıcı bloğuna yönlendirmek için kullanılır. MUX'un kontrol ucunun alacağı değer, yani MUX'un hangi veriyi çıkışına aktaracağı, Alıcı bloğuna dışarıdan uygulanan HS_LS_select ucu ile belirlenir.

4.2.4.2 NRZI Kodçözücü Bloğu (NRZI Decoder Block)

NRZI Kodlama-Kodçözme İşlemi (Encode – Decode)

Veri, USB hattına gönderilmeden önce, NRZI kodlama işleminden geçirilir. NRZI kodlamada, kodlanacak seri veri içinde geçen '1'ler çıkış seviyesinde bir değişiklik olmamasına, '0'lar ise çıkış seviyesinin değişmesine yol açarlar. Arka arkaya sürekli '1'gelmesi, NRZI kodlanmış verinin uzun bir süre boyunca konum değiştirmeden sabit kalmasına, sürekli '0' gelmesi ise, NRZI kodlanmış verinin her bitinde konum değiştirmesine, bir önceki durumunun tersine dönmesine, neden olur. Bu değişim, alıcı tarafında saat işaretinin elde edilmesini kolaylaştırır.

USB hattından gelen verinin SYNC ve EOP dışında kalan kısımları, alıcı bloğunda NRZI kod çözme işlemine tabi tutulur. Verici bloğunda ise, veri USB hattına gönderilmeden önce NRZI kodlama işlemine tabi tutulmalıdır. NRZI Kodlayıcı ve Kodçözücü bloklarına veri seri olarak girer, seri olarak çıkar.

Alma işlemi sırasında, veri, NRZI Kodçözücü, Bit Ayıklayıcı ve Alıcı Durum Makinası blokları üzerinden protokol katmanına gönderilir. Yani ilk olarak NRZI kod çözme işlemi yapılmalıdır. Gönderme işlemi sırasında ise veri, Gönderici Durum Makinası, Bit Ekleme ve NRZI Kodlama bloklarından geçerek, USB hattına gönderilmeye hazır hale gelir. Dolayısıyla,

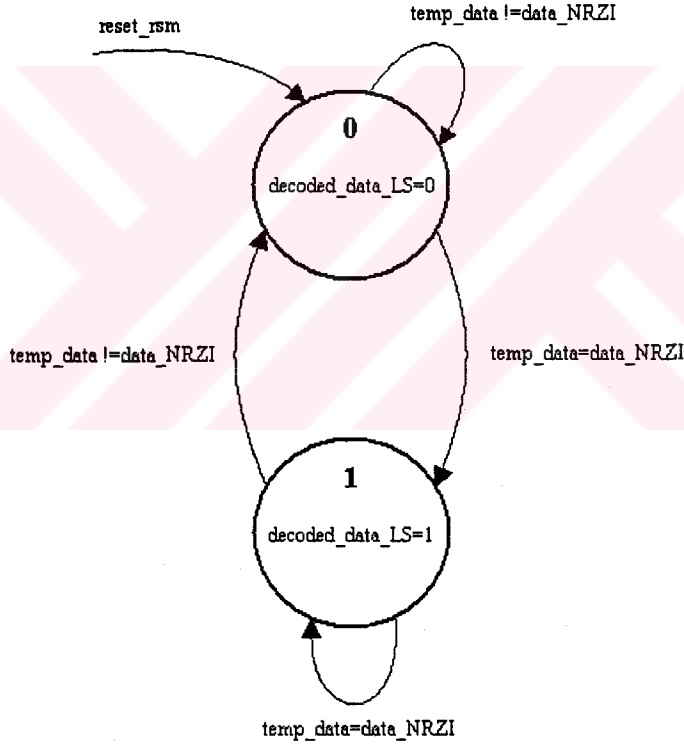
NRZI bloğu, alma işlemi sırasında fiziksel katmanda verinin işlendiği ilk blok, gönderme işlemi sırasında da fiziksel katmanda verinin işlendiği son bloktur.

NRZI Kodçözücü (Decoder)

Alma işlemi başladığında, SYNC patterni SYNC Algılayıcı bloğu tarafından algılanıp, veriden ayrılır. SYNC kısmı ayrılmış veri, NRZI Kodçözücü bloğuna gelir ve NRZI kod çözme işlemine tabi tutulur. Kod çözme işleminden sonra elde edilen veri, Bit Ayıklayıcı bloğuna gönderilir.

NRZI Kodlayıcı (Encoder)

Gönderme işlemi sırasında, Bit Ekleyici bloğundan NRZI Kodlayıcı bloğuna gelen seri veri, NRZI kodlama yapıldıktan sonra, yine seri şekilde USB hattına gönderilmeye hazır hale gelir.



Şekil 4.18 NRZI kodçözücü durum makinası

Şekil 19’da NRZI Kodçözücü Durum Makinası görülmektedir.

Data_NRZI, o an ki işlenen veriyi, temp_data ise bir saat periyodu önceki veriyi temsil eder. NRZI kod çözme işlemi gereği bu iki bilgi karşılaştırılır. Eşit değilse, yani hattın arkaya arkaya gelen iki bit’ten ikincisi birincisinden farklı ise durum makinası 0. durumda kalır ve çıkış işareti olan NRZI kod çözülmüş işareti, decoded_data_LS, “0” a çeker. Eğer, iki bilgi

birbirine eşitse bu gerçek bilginin “lojik 1” olduğunu gösterir. Durum makinası 1. duruma geçer ve decoded_data_LS “lojik 1”e çekilir.

Bu bloğun çıkışı olan, NRZI kodu çözülmüş işaret decoded_data_LS, bit ayıklama yapılmak üzere Bit Ayıklayıcı bloğuna gönderilir.

4.2.4.3 Bit Ayıklayıcı Blok (Bit Destuff Block)

Bit Ekleme İşlemi (Bit Stuff)

Gönderilen veride yeterli sayıda $1 \rightarrow 0$ ve $0 \rightarrow 1$ geçişini sağlayabilmek için, USB hattına veri gönderilmeden önce bit ekleme işlemi yapılır. Bit ekleme işlemi, NRZI kodlama işleminden önce yapılır. Arka arkaya gelen altı bitin değeri de ‘1’ise, bu altı ‘1’den sonra araya bir ‘0’ eklenir. NRZI kodlama işleminde, seri veride her ‘0’ görüldüğünde bir geçiş elde edildiğinden, ardışık altı ‘1’den sonra gelen ‘0’, NRZI kodlanmış veride bir geçiş olmasını sağlayacaktır. Bu durum, alıcı tarafın veri ve saat işaretini elde etmek için kilitlenmesine olanak verecek şekilde - en azından - 7 bitte bir veri geçişini ($1 \rightarrow 0$ ve $0 \rightarrow 1$) garantiler.

Alıcı bloğu, NRZI kodlanmış veriyi çözüp, araya eklenmiş ‘0’ları görmeli ve o bitleri veriden ayıklamalıdır. Eğer alıcı, veri paketi içerisinde herhangi bir yerde ard arda 7 adet ‘1’ görürse, bit ekleme hatasının meydana gelmiş olduğunu anlar ve veri alma işlemini yarım bırakır.

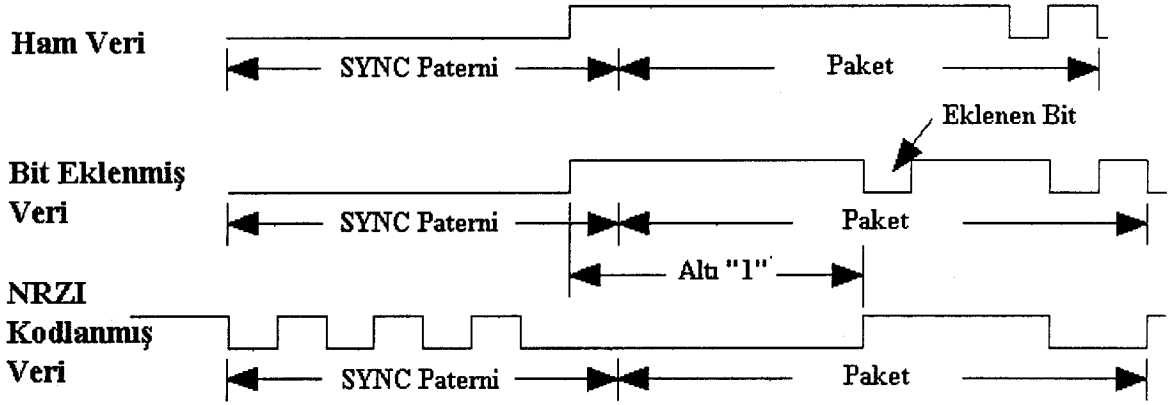
Bit ekleme işlemi, SYNC paterninin algılanması ile aktif hale gelir ve EOP gelene kadar aktif halde kalır. SYNC paterninin son biti olan ‘1’, bit ekleme işlemi için sayılacak ‘1’ dizisinin ilk biti olarak algılanır.

Bit Ayıklama İşlemi (Bit De_stuff)

Bit Ayıklayıcı bloğu, yukarıda açıklanan bit ekleme işleminin tersini yapar, yani gelen veride aralara eklenmiş olan ‘0’ları ayıklar ve bit ekleme hatalarını algılar. Bu tip bir hata, Rx_Error bayrağı ile protokol katmanına bildirilir.

USB hattındaki veri akış hızı sabittir. Fakat, fiziksel katmandan protokol katmanına veri akış hızı, aralara eklenen ‘1’lerin ayıklanmasıyla biraz azalır. Normalde, USB hattından alınan her 8 bitlik veri için, Rx Tutmalı Yazmaca da (Rx Hold Register) 8 bitlik veri yüklenmelidir. Ancak sekiz tane eklenmiş-bit (araya eklenmiş bitler) algılandığı zaman, bir saat darbesi süresince beklenenecektir. Yazmacın kontrolü için de Rx Valid bayrağı kullanılacaktır. Bu işlemler sırasında eğer bir bit-ekleme hatasına rastlanırsa alma durum makinası Rx_Error bayrağını ‘1’e çeker.

Şekil 20’de USB hattından gelen işlenmemiş (ham) verinin (Raw_data) NRZI kodlama ve bit ekleme işlemlerinden geçtikten sonraki hali görülmektedir.

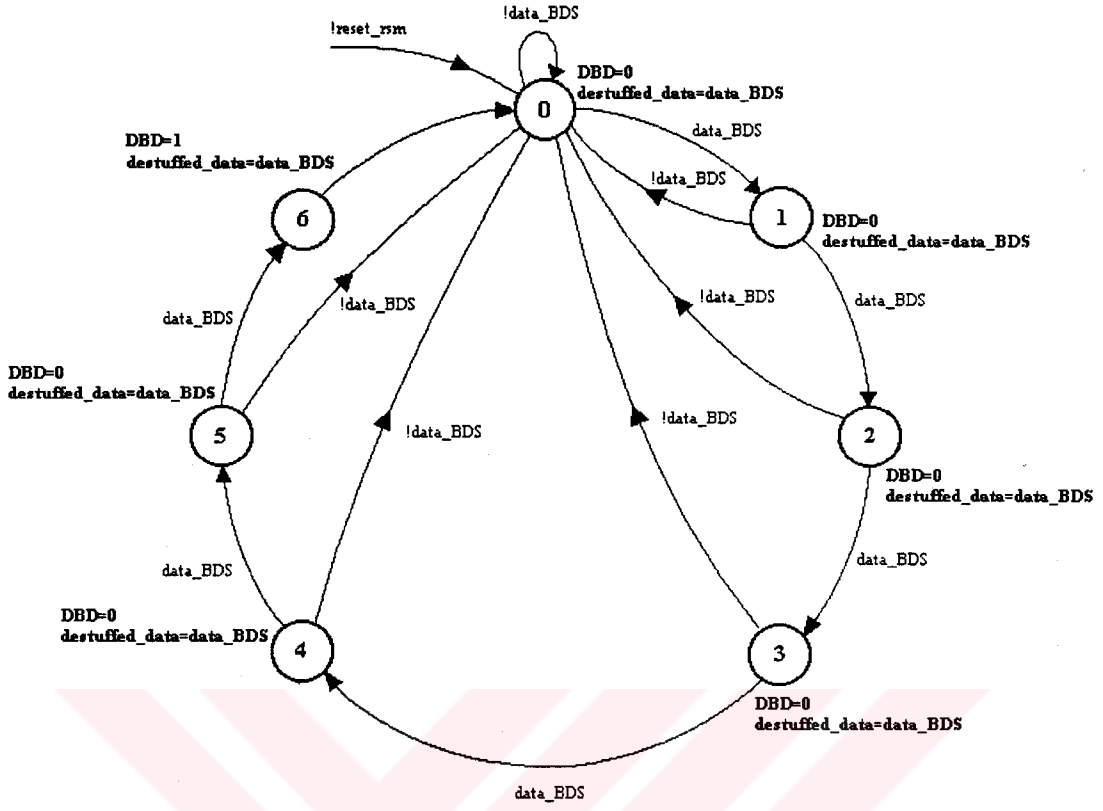


Şekil 4.19 İki aşamalı veri kodlama işleminin gerçekleşmesi

Şekilde 4.19’da da görüldüğü gibi, aygıttan sunucuya gönderilecek veride arka arkaya altı tane ‘1’ algılandığında, araya bir ‘0’ ilave edilerek bit ekleme işlemi gerçekleştirilmiştir. NRZI kodlanmış veri, saat işaretinin her yükselen kenarında bit eklenmiş verinin durumuna göre kodlanır. Saat işaretinin yükselen kenarında, bit eklenmiş verinin değeri ‘0’ ise NRZI kodlanmış veride bir değişim meydana gelir, eğer ‘1’ ise, sabit kalır.

Alma işlemi sırasında, hattın SE0, SE1 ve suspend sinyalinin gelmesi durumunda, güç sarfiyatını önlemek için NRZI Kodçözücü ve Bit Ayıklayıcı bloklarının çalışması istenmez. Bu sebeple, bu blokların saat girişleri, Kontrol Bloğunun çıkışı olan control_NRZI ve control_NRZI ile ilişkilendirilmiştir.

Bit ekleme işleminde arka arkaya altı bit “1” den sonra bir bit eklenmekteydi ve bu bit bilgi içermez sadece 1-0 geçişini sağlamak için eklenir. Öyleyse ayıklama işlemi sırasında bu bit atılmalıdır. Şekil 4.20’de görülen durum makinası bu bitin atılabilmesi için gelen veride bit ekleme yapıldığını yakaladığında DBD çıkışını “1” e çekerek bildirir. Böylece RSM blok içinde bu bilgi işlenirken, işlem DBD bayrağının “1” olduğu saat periyodu için durur ve bu bilgi dikkate alınmaz. Böylece Bit ayıklama işlemi gerçekleştirilmiş olur. Şimdi bu durum makinasının çalışmasını inceleyelim.

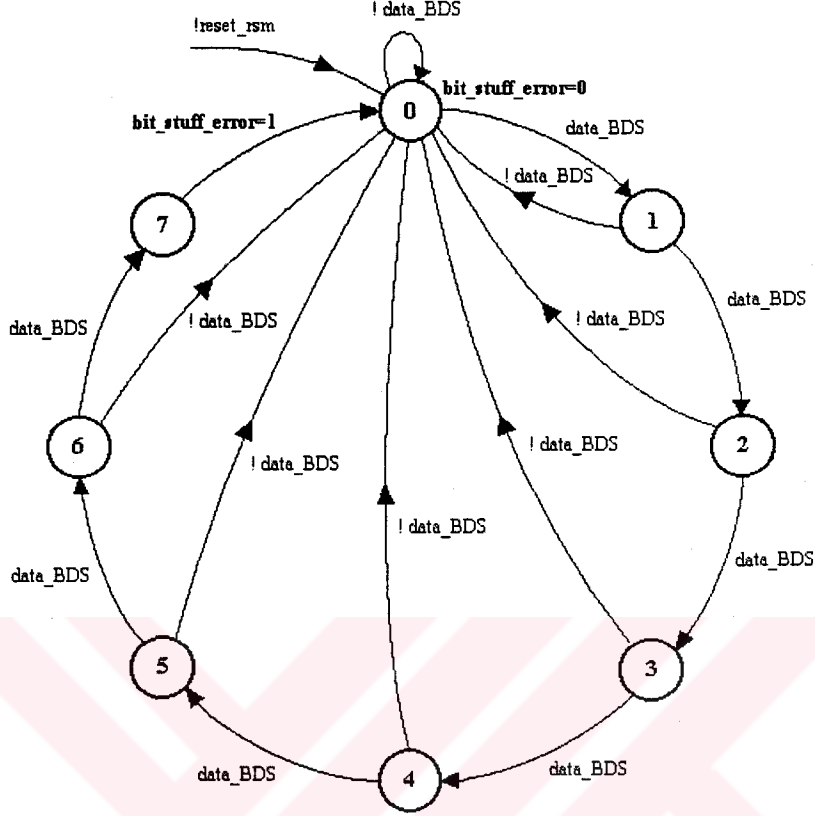


Şekil 4.20 Bit ayıklayıcı durum makinası

Durum makinası 7 durumdan oluşmaktadır. Aktif düşük reset_rsm işareti ile 0. duruma geçer. Bundan sonra sürekli hattın gelen bilgi yani data_BDS'i kontrol eder. Her "1" yakaladığında bir sonraki duruma geçer. 6. durumda yani 6 tane 1 yakaladığında DBD bayrağını kaldırır ve eklenen bitin yakaladığını haber verir. 1 ile 6. durumlar arasında data_BDS içinde "0" görecektir olursa hemen 0. konuma geçerek yeniden aynı işlemlere devam eder.

Her durumda data_BDS bitini destuffed_data bitine eşitleyerek Bit Ayıklayıcı bloğunun çıkış bilgisini oluşturur. Bu bilgi, hattın gelen veri içinde bit ekleme hatasının olup olmadığının anlaşılması için Bit Ekleme Hatası Algılayıcı Bloğuna gönderilir.

4.2.4.4 Bit Ekleme Hatası Algılayıcı Blok (Bit Stuff Error Detection Block)



Şekil 4.21 Bit ekleme hatası algılayıcı durum makinası

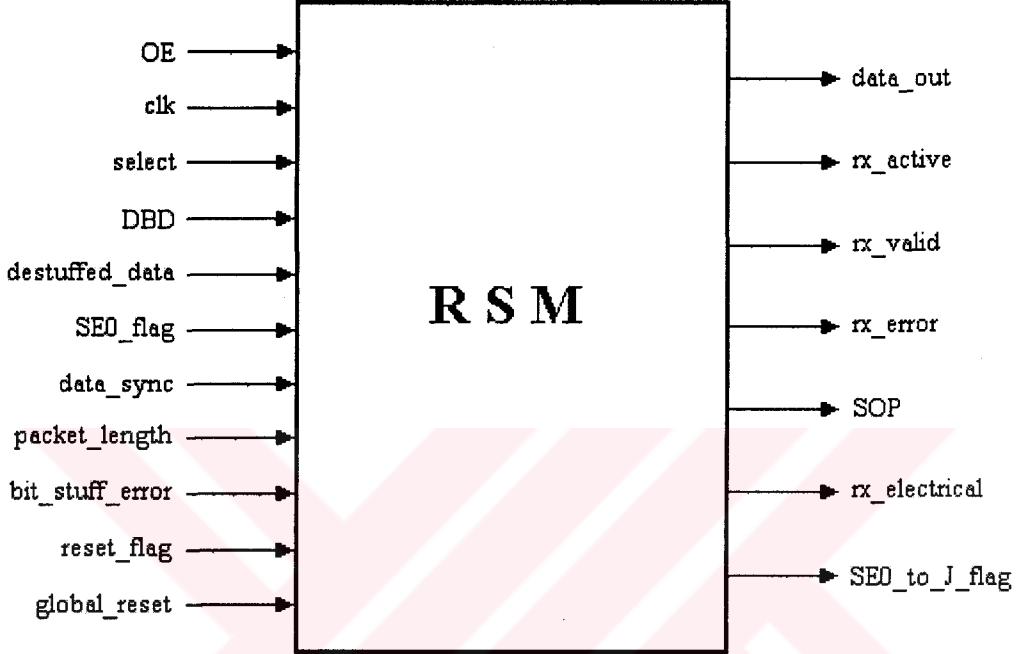
Bazı durumlarda, hattan verinin gönderilişi ya da alınışı sırasında hatalar oluşabilir. Veri sunucu tarafından, bit ekleme işleminden hatalı geçirilmiş olabilir. Bilgi arka arkaya 7 bit “1” içeremez. Böyle bir bilginin bit ekleme işleminde hata yapıldığı alıcı tarafından tespit edilmesi gerekir yoksa 6 “1” den sonra DBD bayrağı kaldırılıp eklenen bit atılır ve 7. “1” sanki bilgiymiş gibi işlenmeye devam eder. Halbuki yapılan işlem hatalıdır.

İşte bu tür hatalardan korunabilmek için şekil 4.21’de görülen Bit Ekleme Hatası Algılayıcı Durum Makinası tasarlanmıştır. Bu durum makinasının çalışması şöyledir:

Bu bloğun girişi, Bit Ayıklayıcı bloğundan gelen data_BDS işaretidir. Durum makinası bit ayıklama işleminde olduğu gibi sürekli data_BDS’i kontrol eder ve “1” arar. Veri içinde 7 kez arka arkaya yakalarsa bit ekleme hatası olduğunu anlar ve bit_stuff_error bayrağını kaldırır. Bu 7 durum arasında herhangi bir anda, hatta “0” görürse 0. duruma geçerek işleme baştan başlar.

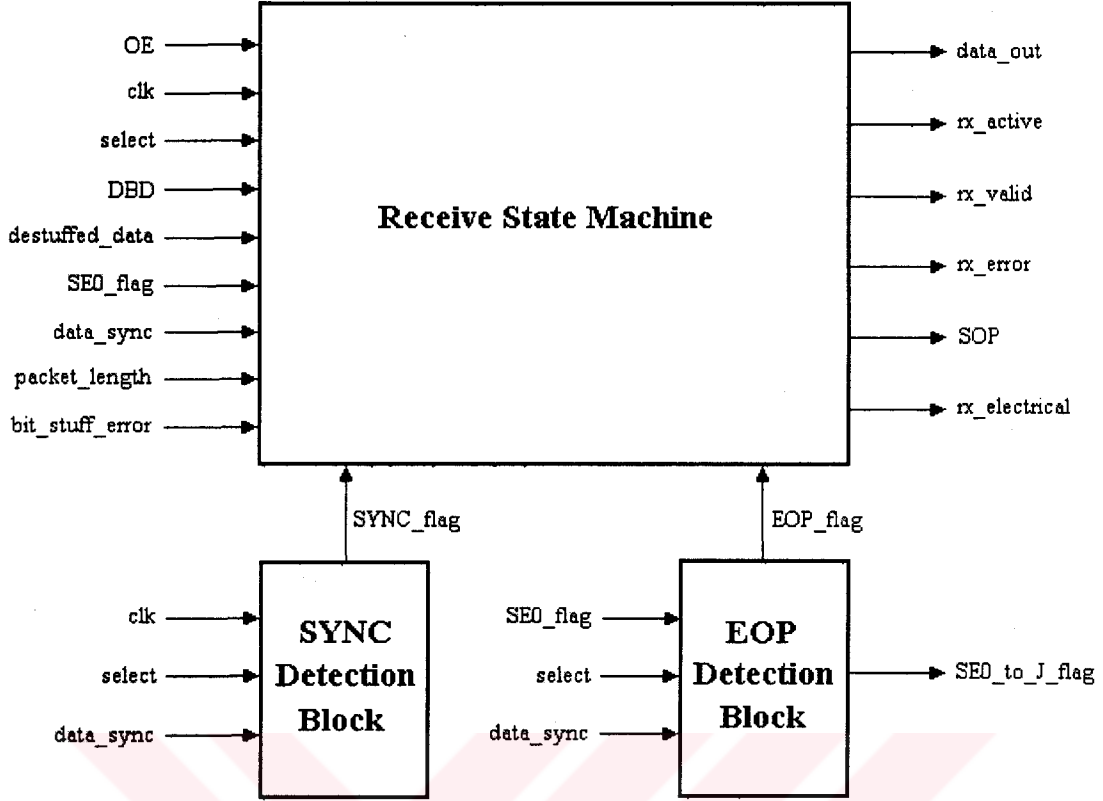
Bu bayrak Fiziksel Katmanda RSM blok tarafından kullanılır. Bayrağın kalktığı anda alma işlemi kesilir. Bayrak ayrıca durumu bildirmek amacıyla Protokol Katmanına da iletilir.

4.2.5 Alıcı Durum Makinası Bloğu (Receive State Machine “RSM” Block)



Şekil 4.22 RSM Bloğu

Şekil 4.22’de RSM blok, 4.23’te ise bu bloğun iç yapısı görülmektedir. RSM blok Alıcı Durum Makinası, SYNC Algılayıcı Blok ve EOP Algılayıcı Blok isminde üç alt bloktan oluşmaktadır. Alınan veri içindeki paketlerin başlangıç “SYNC” ve bitiş “EOP” bilgileri bu blokta çözülür. Ayrıca bu kısımlar atılarak Protokol Katmanında işlenecek olan anlamlı veri elde edilir. Bunların dışında veri alma işleminin başlayıp bittiğini bildiren bayraklar bu blok tarafından üretilir.

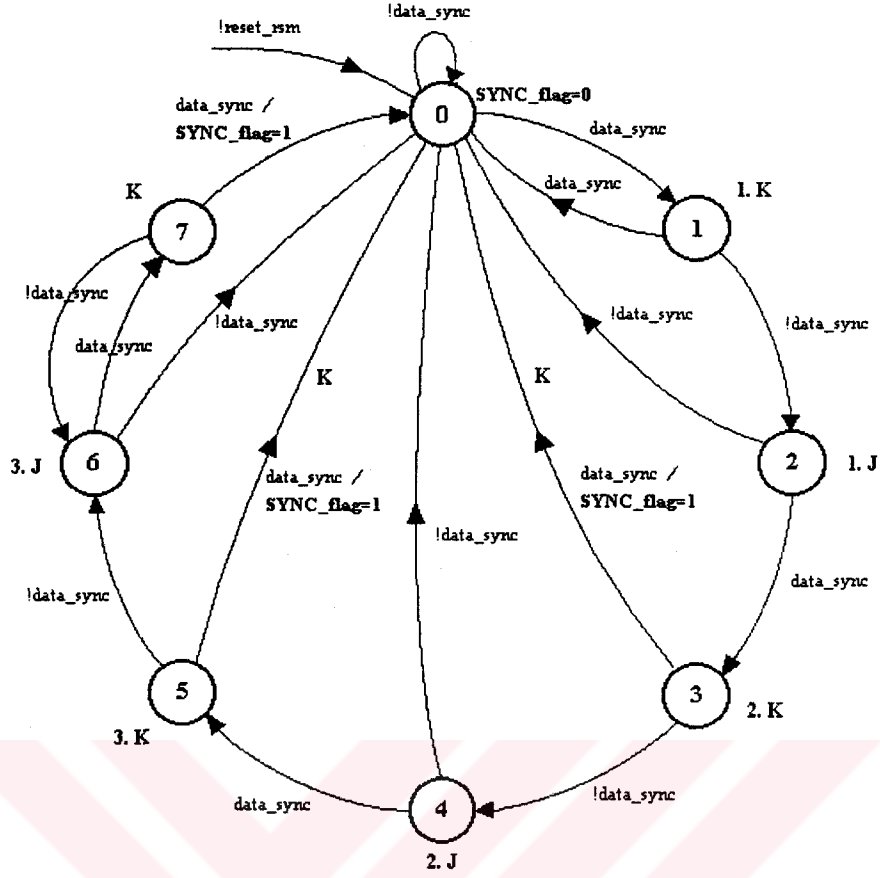


Şekil 4.23 RSM bloğunun iç yapısı

4.2.5.1 SYNC Algılayıcı Blok (SYNC Detection Block)

SYNC Paterni

USB hattının bekleme (idle) durumdan (J state), K durumuna geçmesi ile SOP (Start Of Packet) paketinin başlangıcını ifade eder. Hattaki bu durum değişikliği, aynı zamanda, SYNC paterninin de ilk bitini oluşturur. SYNC paterni, 7 tane '0' ve ardından bir tane '1'den oluşan 80H'e eşit bir bilgidir. NRZI kodlama işlemine tabi tutulduktan sonra, KJKJKJKK dizisine dönüşür. USB hattında, bir SYNC paterninin algılanması, yeni bir paketin başladığı anlamına gelir. SYNC senkronizasyon paternidir. Her paketin önünde yer alarak ve maksimum sayıda geçiş sağlayarak, alıcı tarafın, gönderici taraf ile senkronizasyonunu sağlar.



Şekil 4.24 SYNC algılayıcı durum makinası

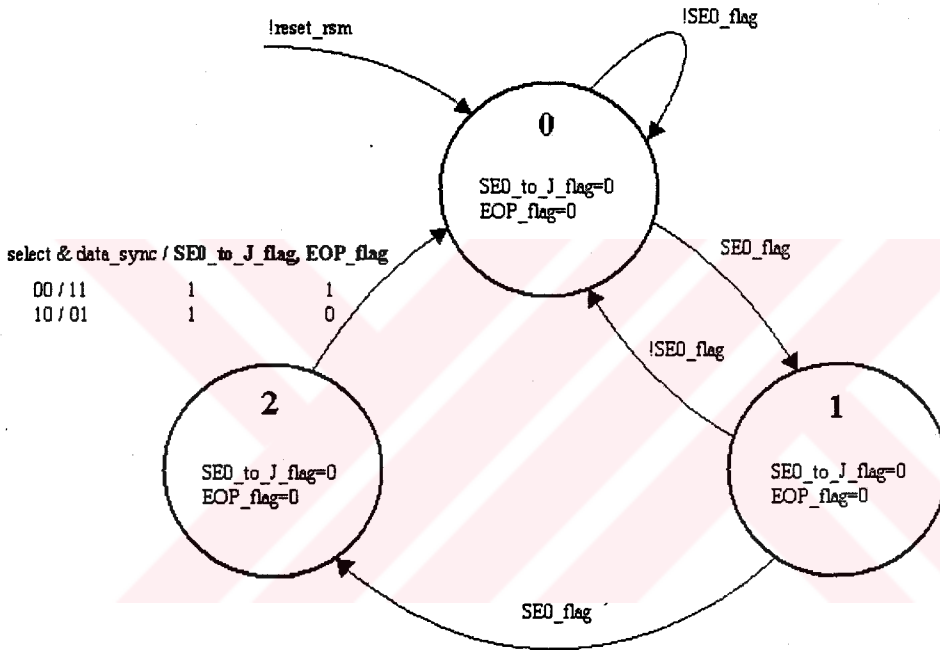
Daha önce de bahsedildiği gibi SYNC paterni KJKJKJK dizisinden oluşmaktadır. Bu dizinin, alınan veri içinden elde edilebilmesi için şekil 4.24'teki durum makinası tasarlanmıştır.

Bu durum makinası, aktif düşük reset_rsm işaretiyle 0. duruma geçer ve kendisine Üst Kontrol Bloğundan gelen data_sync bilgisini kontrol etmeye başlar. Bir "K" yakaladığında 1. duruma geçer ve "J" gelmesini bekler. Eğer bu arada tekrar bir "K" gelirse bu durum SYNC paternine uymadığı için 0. duruma geri döner ve yeniden başlar. "J" gelirse 2. duruma geçer ve bu şekilde tek tek paterni izler. 1, 2, 4 ve 6. durumlarda SYNC paternine uygun bir sırada işaret gelmediğinde 0. duruma geri dönder ve yeniden işleme başlar. Durum makinası, SYNC paterninin geldiğini bildiren SYNC_flag'i kaldırmak için her zaman SYNC dizisinin sonuna kadar beklemez. SYNC_flag en erken "KJKK" algılandığında kaldırılır. Bu bilgi işaretin SYNC olduğunun anlaşılması için yeterlidir. Bundan başka 5. durumdan sonra yani "KJKJKK" algılandığında da bayrak kaldırılır. 7. durumdan sonra paternin bitiş biti son "K" yerine bir "J" gelirse 0. duruma dönüş işlemi sonlandırmak yerine 6. duruma geri dönüp yeniden son "KK" bitlerini bekler.

4.2.5.2 EOP Algılayıcı Blok (EOP Detection Block)

EOP Paterni

USB hattının, iki bit süreyle SE0 ve ardından bir bit süreyle J durumunda olması EOP paternini oluşturur. USB hattında, bir EOP paterninin algılanması, bir paketin bittiği anlamına gelir. Bir bit süresince hatta görülen J durumundan sonra, D+ ve D- hatlarının her ikisi de yüksek empedans durumuna geçerler ve veriyolu sonlandırma dirençleri, hattı bekleme durumunda tutarlar.



Şekil 4.25 EOP algılayıcı durum makinası

Hattan gelen bilgi içinden paketlerin sonlandırıldığı bilgisi EOP'un algılanabilmesi için şekil 4.25'teki durum makinası tasarlanmıştır.

Durum makinası 3 durumdan oluşmaktadır. Aktif düşük reset_rsm işaretiyle 0. duruma geçer ve hattan, SE0_flag'i kontrol ederek, 2 bit SE0 gelmesini bekler. İlk SE0'da 1. duruma ikinci SE0'da da 2. duruma geçer. Bundan sonra EOP_flag'in kalkması için hatta bir J görmelidir. Bayrakların kalkması select ile ilişkilendirilmiştir çünkü sistem LS ve FS EOP algılamaya uygun tasarlanmıştır. Bu durumlar çizelge 4.6'da gösterilmiştir.

Çıkışlardan biri olan SE0_to_J_flag Protokol Katmanına, EOP_flag ise blok içinde Alıcı Durum Makinasına gönderilmektedir.

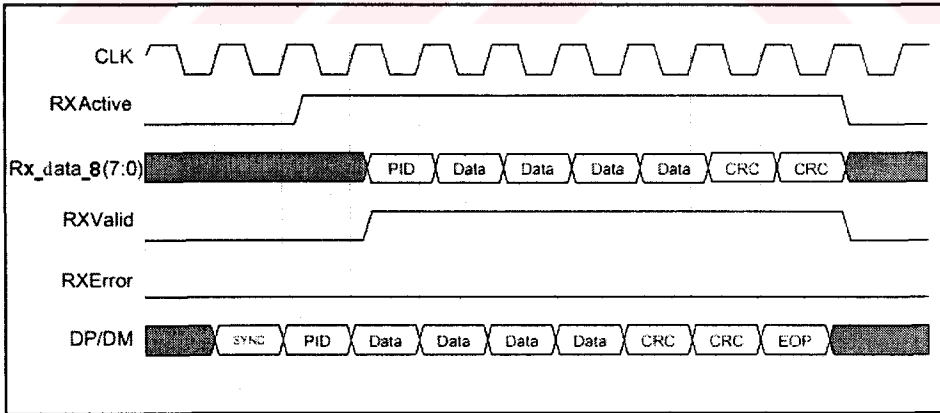
Çizelge 4.6 Çalışma hızına karşılık bayrakların durumları

Çalışma Hızı	Select	Data_sync	SE0_to_J_flag	EOP_flag
LS	0	0	1	1
LS	0	1	1	0
FS	1	0	1	0
FS	1	1	1	1

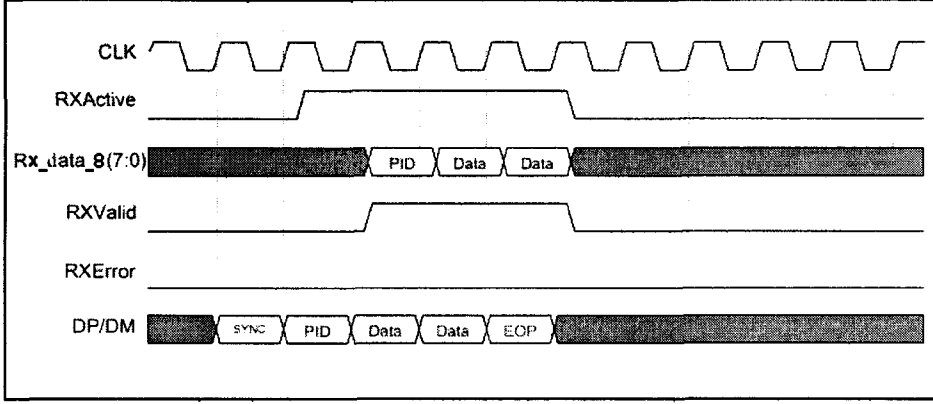
Çizelge 4.6'dan da görüldüğü gibi EOP_flag'in kalkması için iki bit SE0'dan sonra bir J gelmelidir. LS modunda J, data_sync'nin "0" olması, FS modunda ise "1" olmasıyla algılanmaktadır.

4.2.5.3 Alıcı Durum Makinası ("RSM" Receive State Machine)

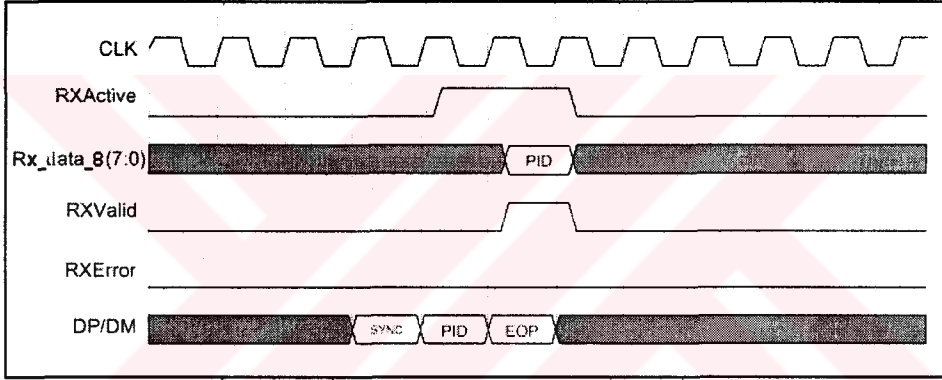
Alma İşlemi



Şekil 4.26 USB hattından gelen bir veri paketini alma işlemi

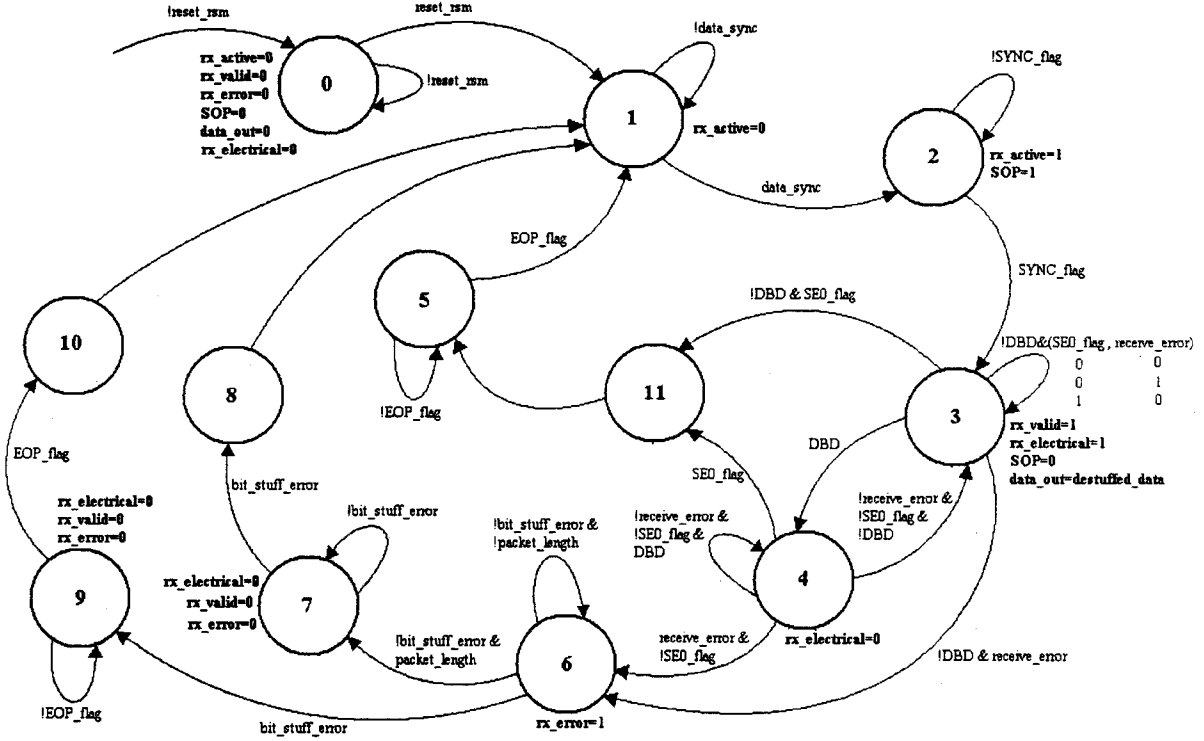


Şekil 4.27 USB hattından gelen bir kurucu paketini alma işlemi



Şekil 4.28 USB hattından gelen bir el sıkışma paketini alma işlemi

Şekil 4.26, 4.27 ve 4.28’de alma işlemi sırasında, DP/DM hattından gelen veriye karşılık, RX Active , RX Valid , RX Error bayraklarının ve Rx_data_8 sinyalinin ne olacağına ilişkin üç farklı örnek verilmiştir.



Şekil 4.29 Alıcı durum makinası

Şekil 4.29’da Alıcı Durum Makinası görülmektedir. Bu durum makinası ile verinin alınıp yazmaçlara gönderilme işlemi gerçekleşmektedir. Veri içindeki SYNC ve EOP işaretleri ile eklenen bitler bu durum makinası ile ayrılır ve anlamlı veri elde edilir. Durum makinasının çıkış bayrakları, verinin alınmaya başladığı, hata olduğu ve alınma işleminin tamamlandığı konularında Protokol Katmanını uyararak hattaki veri akışından senkron bir şekilde haberdar olması sağlanır.

Çizelge 4.7’de Alıcı Durum Makinası içindeki durumların açıklamaları görülmektedir.

Alıcı Durum Makinasının çalışması kısaca şöyledir:

Sistem aktif düşük reset_rsm işareti ile 0. duruma geçer ve tüm çıkışlarını sıfırlar. Reset’in “1” olması ile 1. duruma geçer. Bu durumda hatta bir hareketlenme bekler. Hat bekleme durumunda dururken bir “K” gelmesiyle, SYNC’nin ilk biti, 2. duruma geçerek SYNC paterninin tamamlanmasını bekler. Bu durumda, SOP “Start Of Packet” ve rx_active bayraklarını kaldırarak Protokol Katmanına paketin başladığını haber verir. SYNC_flag’in kalktığını gördüğü anda 3. duruma geçer ve bu durumda hattan gelen bilgiyi data_out ve dolayısıyla RX_shift_register’a yazar. Eğer bu sırada Üst Kontrol Bloğu tarafından eklenmiş bit algılanırsa DBD kaldırılır ve bunu gören durum makinası 4. duruma geçerek 1 saat

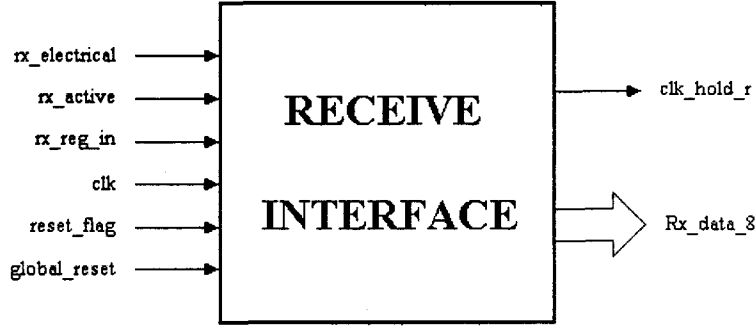
darbesi süresince bekler. Böylece ekleniş bit yazmaçlara yüklenmez. Sonra tekrar 3. duruma geçerek veri tamamlanana kadar yüklemeye devam eder. Sunucu veri göndermeyi tamamladığı zaman paketin sonuna EOP ekleyecektir. Durum makinası, SE0_flag'in kalktığı gördüğü an 11. duruma oradan da 5. duruma geçer ve EOP_flag bekler. EOP_flag görüce alma işlemini sonlandırır ve 1. duruma geçerek yeni veri gelmesini bekler.

Sistem 3. durumda veri alma işlemine devam ediyorken receive_error işareti ile bir hata algılanırsa 6. durum üzerinden hata koşullarına geçilir ve sonuçta alma işlemi sonlandırılır. Bayraklar ile olay Protokol Katmanına bildirilir

Çizelge 4.7 RSM durumlarının açıklaması

Durum	Durum Tanımı	Açıklama
0	Reset State	Reset
1	RX Wait State	SYNC paterninin ilk bitini bekler
2	Strip SYNC State	SYNC_flag ile SYNC'in dedekte edilmesini bekler
3	RX Data State	Eklenmiş bit gelmediği sürece Kaydırmalı Yazmaca yüklenir
4	RX Data Wait State	Eklenmiş bit algılandığında yükleme bir saat peryodu süresince durur
5	Strip EOP State	EOP paterninin dedekte edilmesini bekler
6	Error State	Hata durumu geçişi
7	Abort State	EOP alınmadan alma hatası durumu
8	Terminate State	Alma hatası sonlandırılır
9	Abort State	EOP'lu alma hatası
10	Terminate State	Alma hatası sonlandırılır
11	Pass State	SE0'dan EOP'a geçiş

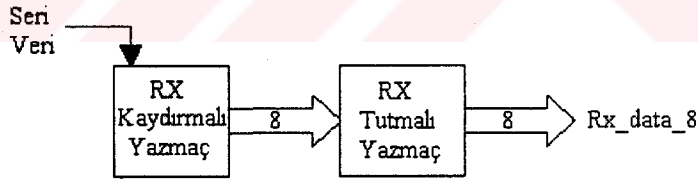
4.2.6 Alıcı Arayüz Bloğu (Receive Interface Block)



Şekil 4.30 Alıcı arayüz bloğu

Receive Arayüz bloğu şekil 4.30'da görülmektedir. Bu blok USB hattından gelen seri veriyi paralele çevirip Protokol Katmanına iletmekle görevlidir.

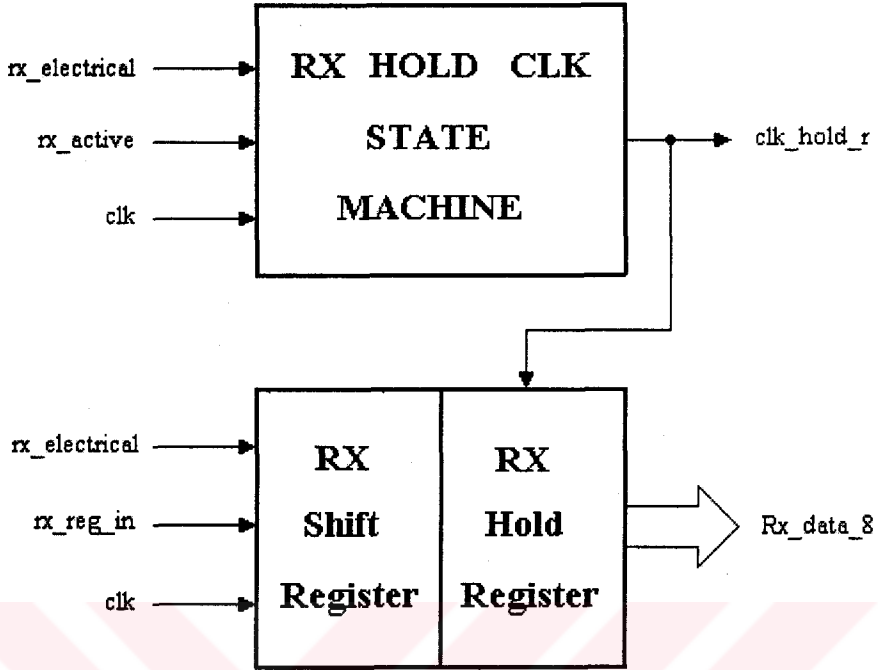
Şekil 4.31'den de görüldüğü üzere, Fiziksel Katmandan, Protokol Katmanına veri iletimi sırasında RX kaydırmalı yazmaç (RX Shift Register) ile RX tutmalı yazmaç (RX Hold Register) kullanılmaktadır. Bu iki yazmaç, USB hattından gelen seri veriyi, paralel veriye çevirip Protokol Katmanına gönderir. Her iki yazmaç da 8 bitlidir. RX kaydırmalı yazmaç, seri veriyi paralele çevirmek için, RX Tutmalı Yazmaç ise alınan veriyi tutmak ve Protokol Katmanına aktarmak için kullanılır. Şekil 4.31 ve 4.32'de her iki yazmaç da gösterilmiştir.



Şekil 4.31 RX kaydırmalı ve tutmalı yazmaç

USB hattından gelen verinin seri olması nedeniyle kaydırmalı yazmacın seri yüklenmesi ve yüklenen verinin tutmalı yazmaca paralel olarak yüklenmesi, her iki yazmaç için farklı saat işaretlerinin kullanılmasını gerektirir. Kaydırmalı yazmaca 8 bitlik veri yüklemek için sekiz saat darbesine ihtiyaç vardır. Oysa, 8 bitlik aynı veriyi tutmalı yazmaca yüklemek için tek saat darbesi yeterli olacaktır. Buna ilaveten, USB hattından gelen seri veriye bit ayıklama işlemi uygulandığında, gelen veriye ilave edilmiş olan '0'lar ayıklanacağından, USB hattından gelen verinin hızı ile kaydırmalı yazmaca yüklenen verinin hızı aynı olmayacaktır. Çünkü, eklenmiş

bitler protokol katmanına iletilmezler, bu yüzden de eklenmiş bitin geldiği saat darbesinde kaydırmalı yazmaca veri yüklenmez ve bir saat darbesi kadar beklenilir.

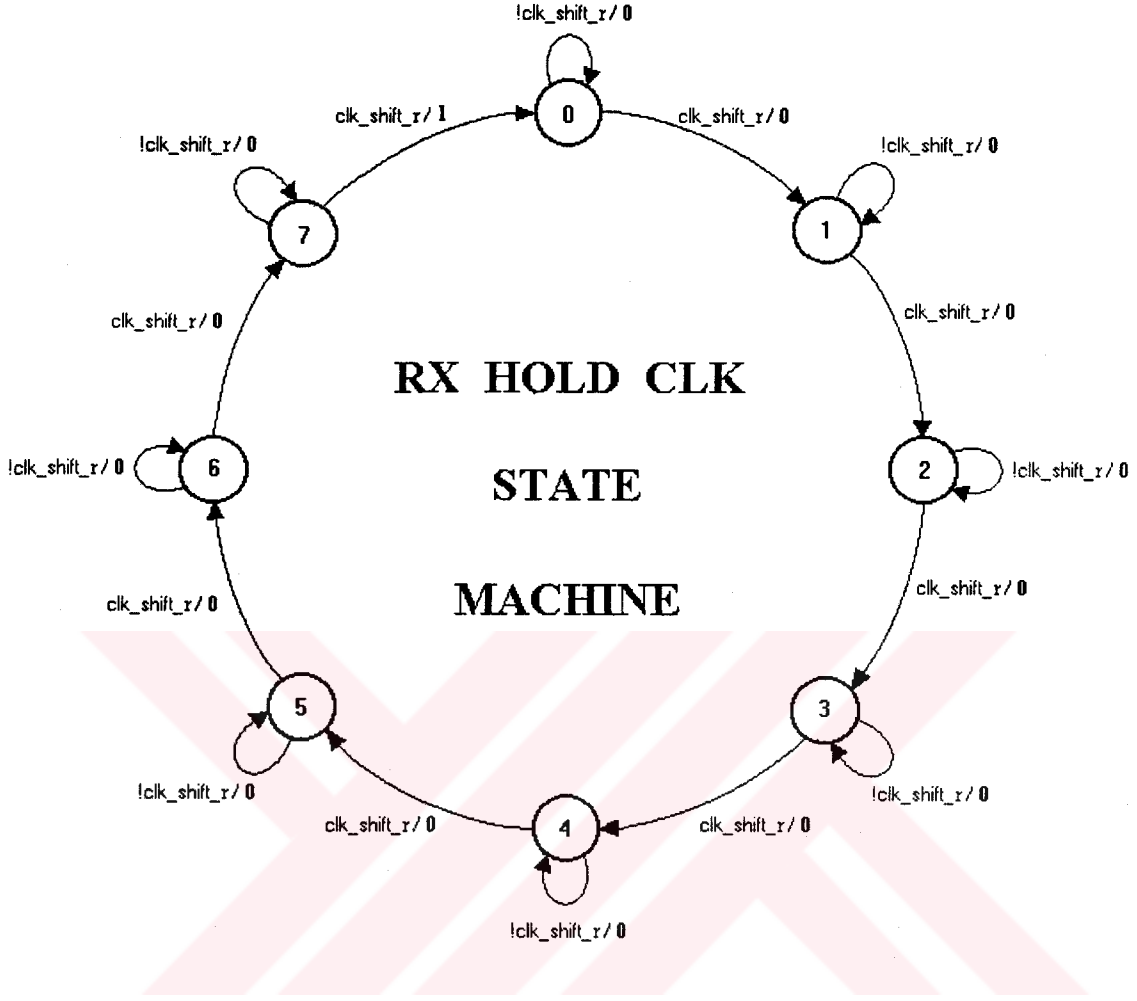


Şekil 4.32 Alıcı arayüz iç yapısı

Sonuç olarak, RX kaydırmalı yazmaç ile RX tutmalı yazmaç için kullanılacak saat işaretlerinin dikkatli seçilmesi gerekir. Bit ayıklama işlemi yapılmasaydı, RX kaydırmalı yazmacı tetikleyen saat işaretinin frekansının, RX tutmalı yazmacı tetikleyen saat işaretinin frekansının 8 katı hızda olması yeterli olacaktı. Ancak bit ayıklama işlemi de dikkate alınmalıdır. Bu amaçla da, Şekil 4.32’de görülen RX tutma saati üretici durum makinası tasarlanmıştır. Bu yapının çalışma prensibi kısaca şöyle açıklanabilir :

Fiziksel katmandaki RSM bloğu, USB hattından gelen seri veride eklenmiş bit yani araya ilave edilmiş bir ‘0’ algıladığı zaman, rx_electrical bayrağını ‘0’e çeker. Kaydırmalı yazmaç için kullanılacak saat işareti clk’dır ve rx_electrical bayrağını da giriş olarak alır. Bu iki giriş içeride VE işleminden geçirilerek kullanılır. Böylece, eklenmiş bit geldiğinde o saat darbesinde kaydırmalı yazmaca veri yüklenmeyecektir. Aynı anda RX tutma saati durum makinası da saymasını durduracak ve 8 bitlik veri yazmaca tamamen yüklendiğinde clk_hold_r “1” olacaktır. Böylece kaydırmalı yazmaçtaki veri, tek saat darbesiyle, clk_hold_r, tutmalı yazmaca yüklenir.

4.2.6.1 RX Tutma Saati Üretici Durum Makinası (RX Hold Clk State Machine)

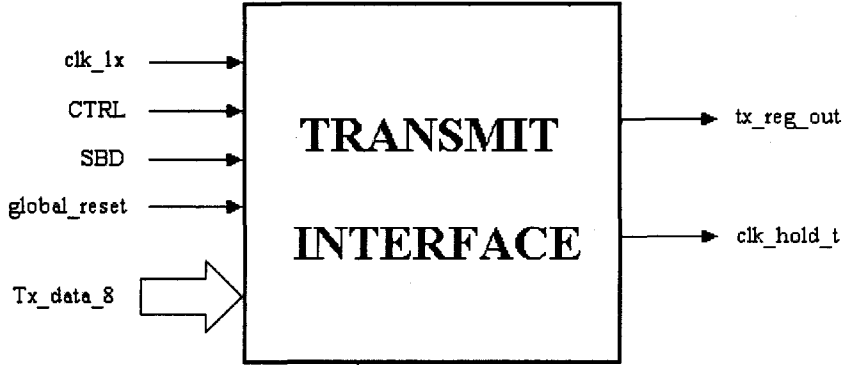


Şekil 4.33 RX tutma saati üretici durum makinası

Şekil 4.33'te RX tutma saati üretici durum makinası görülmektedir. Durum makinasının clk_shift_r girişi clk ile rx_electrical girişlerinin VE'lenmiş halidir.

Bu durum makinasında 8 adet durum vardır. Clk işaretinin düşen kenarında eğer clk_shift_r işareti '1' ise - ki bu kaydırmalı yazmaca bir bitlik seri verinin yüklenmiş olması anlamına gelir - durum makinası durum değiştirir ve bir sonraki duruma geçer. Clk işaretinin düşen kenarında, clk_shift_r saat işareti '1' olduğu sürece, durum makinası bir sonraki duruma geçmeye devam eder, fakat durum makinasının çıkışı (clk_hold_r), hep '0' da tutulur. Durum makinası 7. duruma geldikten sonra, clk işaretinin düşen kenarıyla beraber başlangıç durumuna döner ve çıkışını '1'e çeker. Böylece, tutmalı yazmacı tetikleyen saat işareti (clk_hold_r), '1'e çekilmiş olacak ve kaydırmalı yazmaçtaki 8 bitlik veri tutmalı yazmaca yüklenecektir.

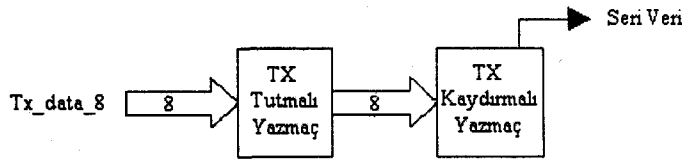
4.2.7 Gönderici Arayüz Bloğu (Transmit Interface Block)



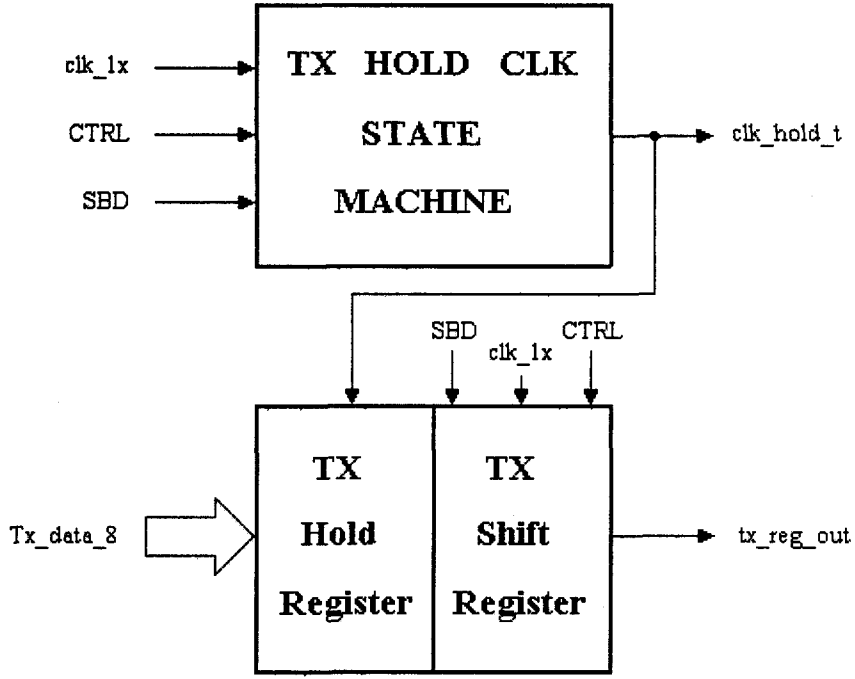
Şekil 4.34 Gönderici arayüz bloğu

Gönderici arayüz bloğu şekil 4.34'te görülmektedir. Bu blok Protokol Katmanından gelen paralel veriyi seriye çevirip Gönderici Bloğa iletmekle görevlidir.

Protokol Katmanından, Fiziksel Katmana veri iletimi sırasında TX kaydırmalı yazmaç (TX Shift Register) ile TX tutmalı yazmaç (TX Hold Register) kullanılmaktadır. Bu iki yazmaç, Protokol Katmanından gelen 8 bitlik paralel veriyi okuyup, seriye çevirir ve USB hattına gönderilmek üzere ilgili bloğun girişine uygular. Her iki yazmaç da 8 bitlidir. TX kaydırmalı yazmaç, paralel veriyi seriye dönüştürmek için, TX tutmalı yazmaç ise paralelden seriye dönüştürülecek bir sonraki 8 bitlik veriyi tutmak için kullanılır. Şekil 4.35 ve 4.36'da her iki yazmaç da gösterilmiştir.



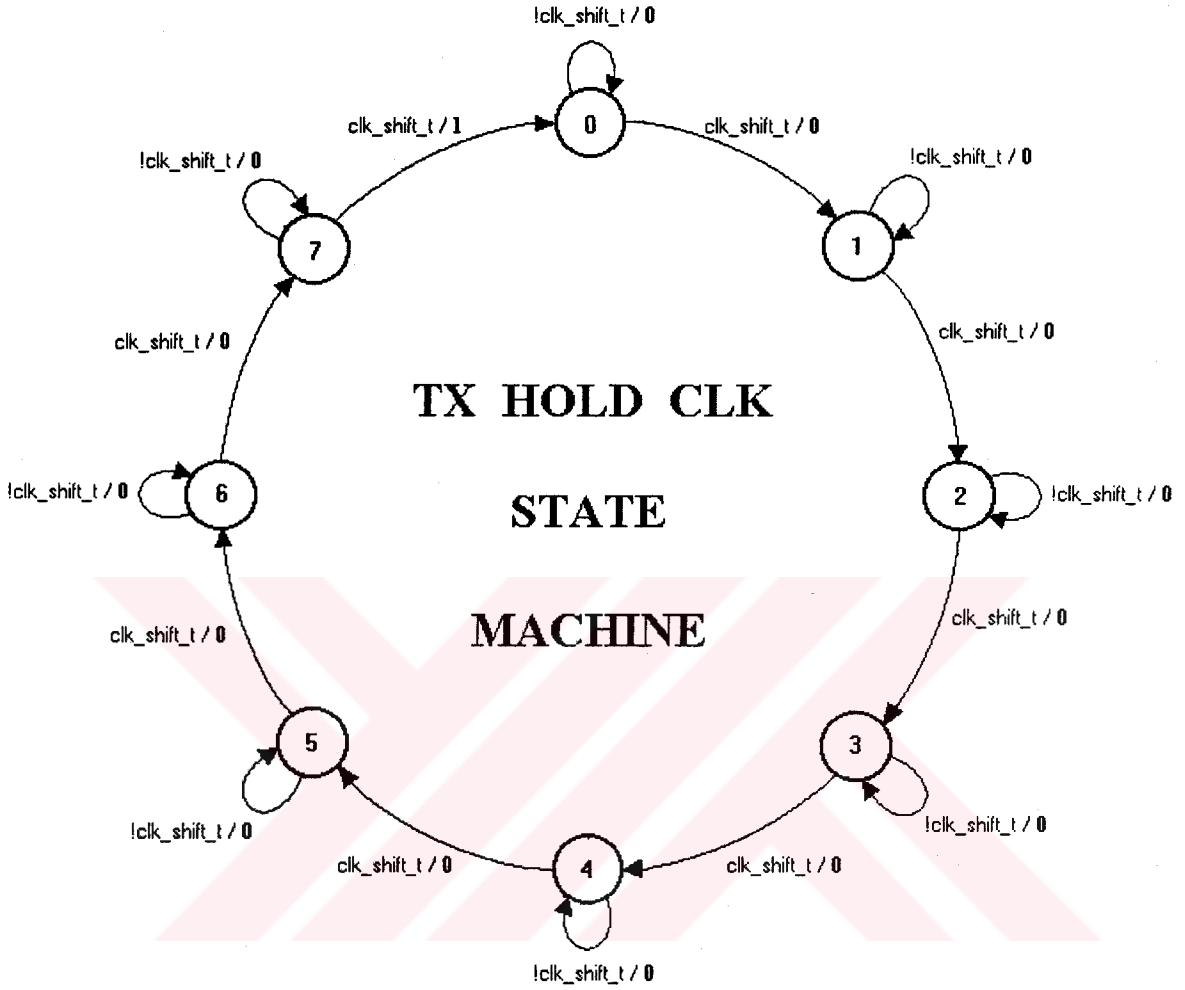
Şekil 4.35 TX tutmalı ve kaydırmalı yazmaç



Şekil 4.36 Gönderici arayüz iç yapısı

TX tutmalı yazmaç ile TX kaydırmalı yazmacı tetikleyen saat işaretlerinin elde edilmesinde, yukarıda ayrıntılarıyla açıklanan RX tutma saati üretici bloğuna benzer bir yapı, TX tutma saati üretici bloğu kullanılır. Protokol katmanından bit ekleme (bit stuff) bloğuna gelen seri veride, ard arda altı tane '1' algılandığında, veri USB hattına gönderilmeden önce araya bir '0' ilave edilir ve bir saat darbesi süresince kaydırmalı yazmaçtan bit ekleme bloğuna veri yüklenmez. Bunu sağlayabilmek için, bit ekleme bloğu, araya ilave ettiği her '0' için, SBD (Stuffed Bit Detector) bitini '1'e çeker. Kaydırmalı yazmaç için kullanılacak saat işareti (clk_shift_t), bu SBD bitinin tümleyeni ile clk_1x saat işaretinin bir VE kapısından geçmesiyle elde edilecektir. Böylece, kaydırmalı yazmaçtaki verinin bit ekleme bloğuna ne zaman yükleneceği, SBD biti ile kontrol edilmiş olacaktır. TX kaydırmalı yazmacının clk_shift_t saat işareti ile 8 kez tetiklenmesiyle birlikte, yazmaçtaki verinin tamamı da boşaltılmış olur. Bu yüzden 8. saat darbesi ile '1'e çekilen clk_hold_t saat işareti, TX tutmalı yazmacını tetikleyerek Protokol Katmanından tutmalı yazmacıya 8 bitlik yeni verinin yüklenmesini sağlar. Clk_hold_t saat işaretinin elde edilebilmesi için alma işlemindekine benzer bir durum makinası kullanılır.

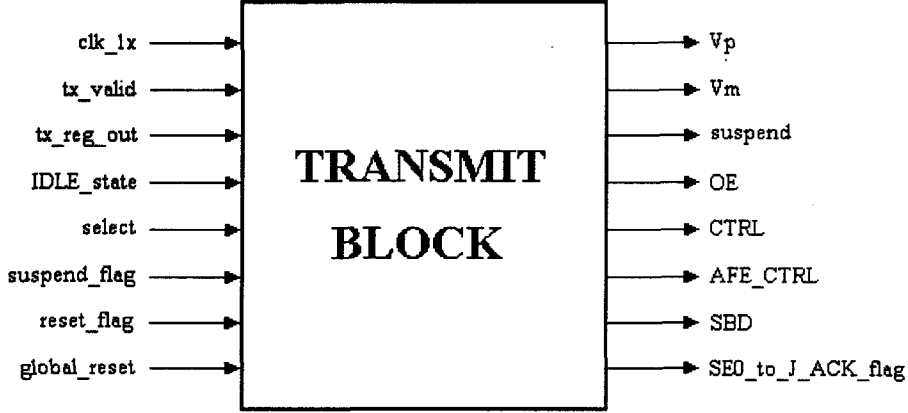
4.2.7.1 TX Tutma Saati Üretici Durum Makinası (TX Hold Clk State Machine)



Şekil 4.37 TX tutma saati üretici durum makinası

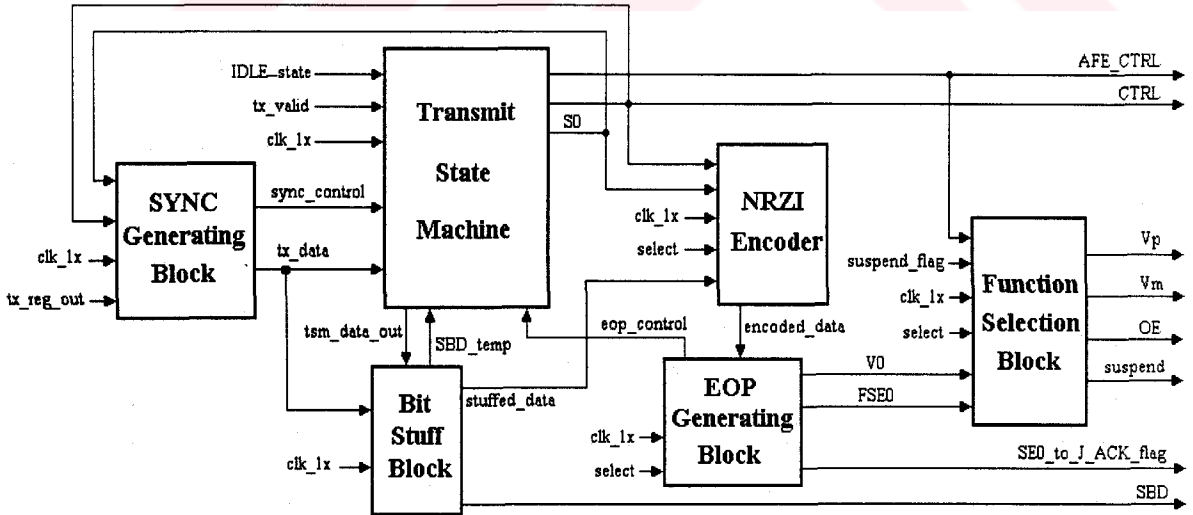
Şekil 4.37’de TX tutma saati üretici durum makinası görülmektedir. Bu durum makinasının çalışma şekli RX tutma saati üretici durum makinasınıninki ile tamamen aynıdır. 8 saat darbesi sayıp `clk_hold_t` bayrağını kaldırır ve bilgi Protokol Katmanından TX Hold Register’a alınır.

4.2.8 Gönderici Bloğu (Transmit Block)



Şekil 4.38 Gönderici bloğu

Gönderici bloğu üst seviye giriş-çıkışları şekil 4.38’de görülmektedir. Bu blok, Protokol Katmanından gelen ve Gönderici Arayüz bloğunda seriye çevrilmiş veriyi bit ekleme (bit stuff) ve NRZI kodlama işlemlerinden geçirir. USB standartlarına uygun bir paket oluşturmak için bu verinin başına SYNC, sonuna da EOP paternini ekler ve USB hattına gönderilmek üzere MIC 2550 tümdevresinin Vp, Vm uçlarına uygular. USB hat üzerinden J, K ya da SEO göndermek Vp ve Vm pinlerinin ne olması gerektiği, AFE bloğu bölümündeki çizelge 4.1’de görülmektedir.

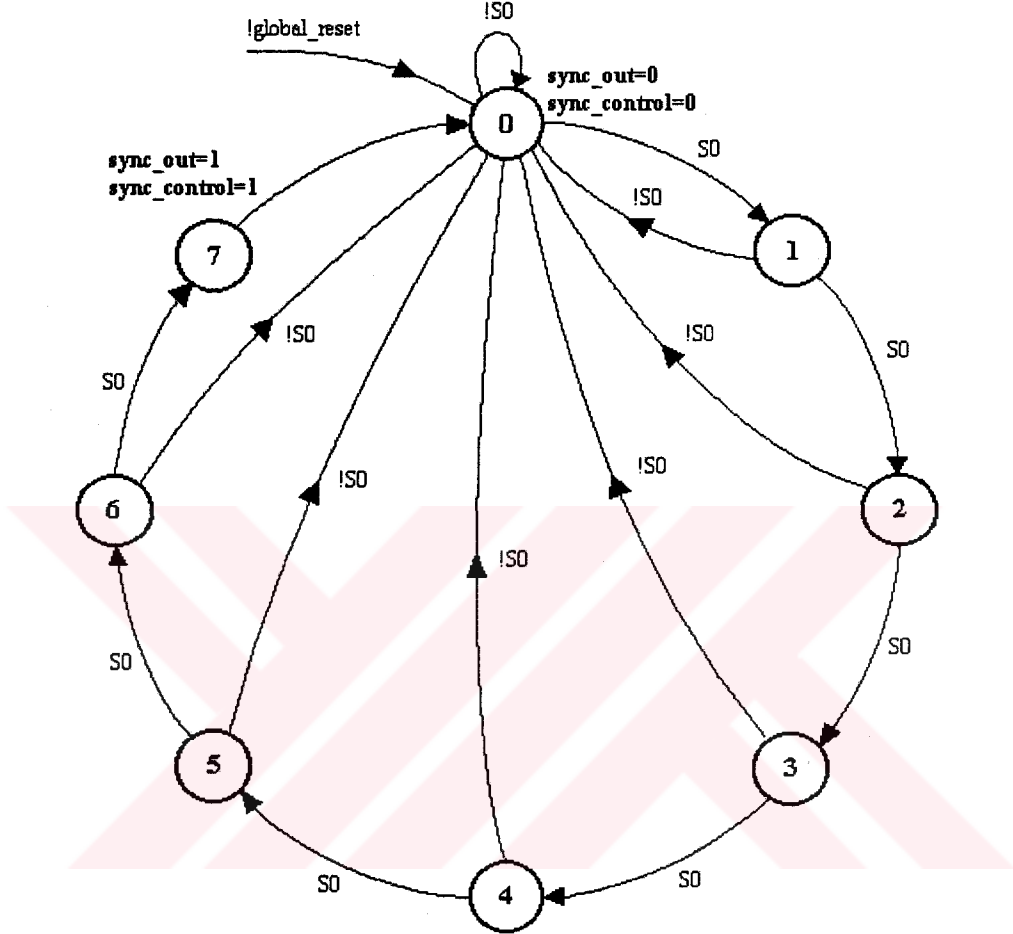


Şekil 4.39 Gönderici bloğu iç yapısı

Şekil 4.39’da görüldüğü gibi Gönderici Blok beş alt bloktan oluşmaktadır. Bunlar verinin izlediği yol sırasıyla, SYNC Üretici, Gönderici Durum Makinası, Bit Ekleme, NRZI

Kodlama, EOP Üretici ve Fonksiyon Seçici Bloklardır. Bu bloklar aşağıda sırasıyla incelenecektir.

4.2.8.1 SYNC Üretici Bloğu (SYNC Generating Block)



Şekil 4.40 SYNC üretici durum makinası

Şekil 4.40’da SYNC üretici durum makinası görülmektedir.

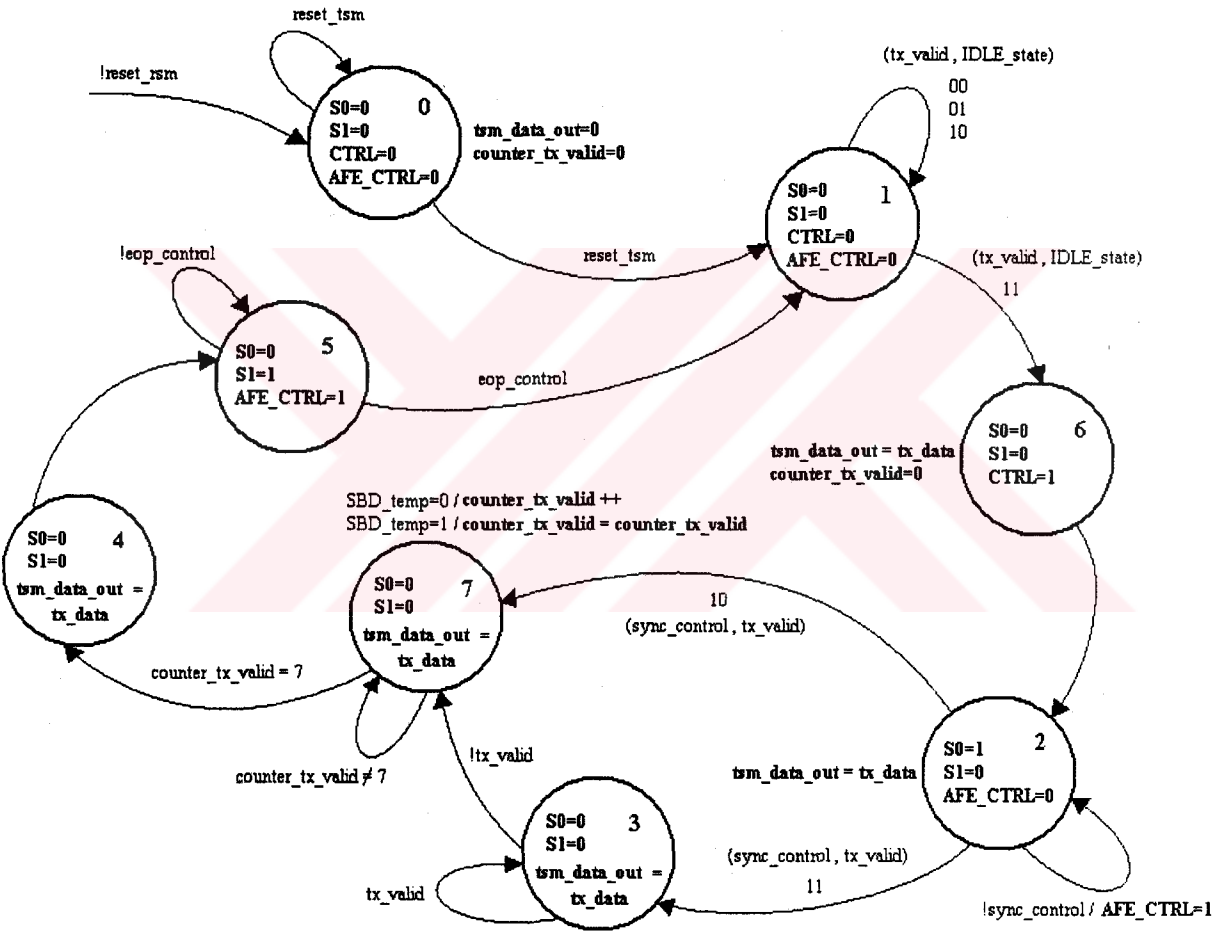
SYNC üretici bloğunun işlevi, 8 bit süresince KJKJKJKK SYNC paternini çıkışına aktarmaktır. Bu durum makinasının çalışması şöyledir:

SYNC paterni 8 bit’ten oluştuğu için bu durum makinası da 8 durumdan oluşmaktadır. Her durumda SYNC paterninin bir biti gönderilir. SYNC göndermeye başlanması için S0 bayrağı kontrol edilir. S0 bayrağı gönderici durum makinası tarafından SYNC gönderme aşamasında “1”e çekilir ve sync_control “1”e çekilene kadar yani SYNC gönderme işlemi tamamlanana kadar “1”de kalır. Böylece her saat darbesinde SYNC paterninin bir biti gönderilir ve 7.

durumdan 0. duruma geçerken işlemin tamamlandığı sync_control bayrağı kaldırılarak işlem sonlandırılır. Durum makinası yeniden bekleme durumuna geçer.

Bu durum makinası SYNC paterninin NRZI kodlama işleminden geçmemiş hali yani 80h “10000000” bilgisini üretir. Bu bilgi NRZI kodlama bloğunda SYNC paternine “KJKJKJKK” dönüştürülerek hatta gönderilir.

4.2.8.2 Gönderici Durum Makinası (Transmit State Machine)



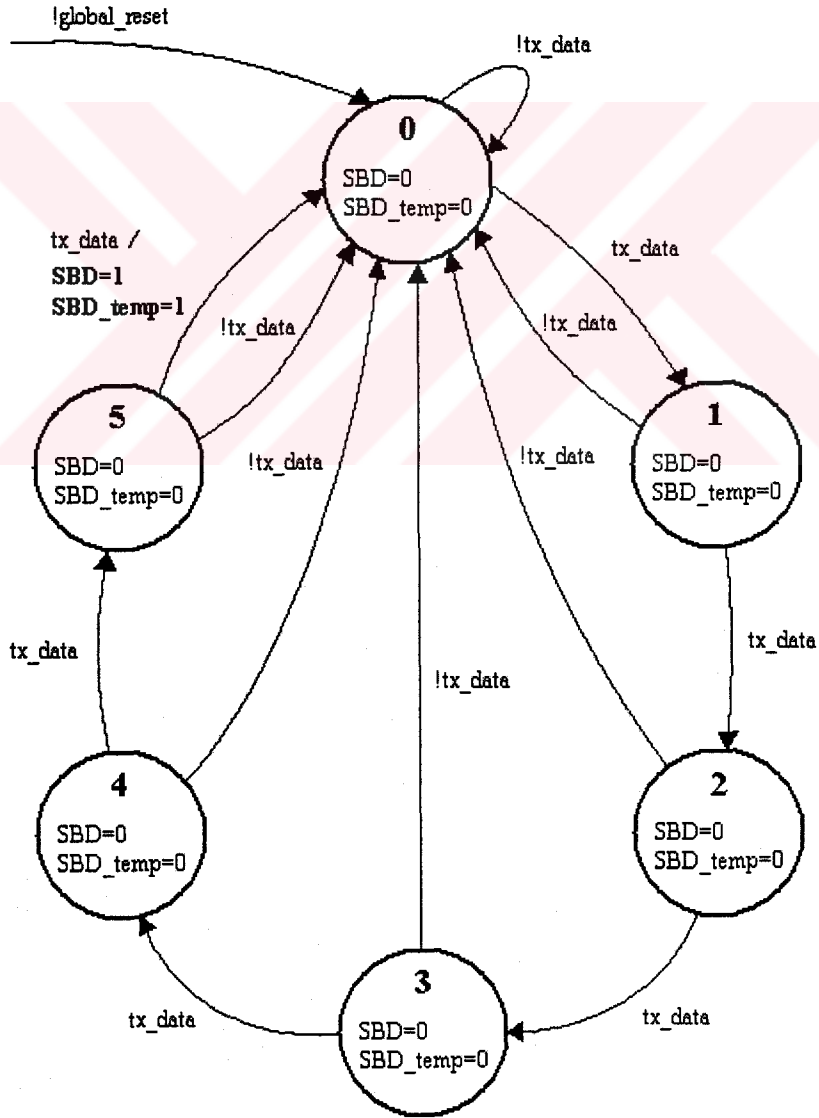
Şekil 4.41 Gönderici durum makinası

Şekil 4.41’de Gönderici durum makinası görülmektedir. Çalışması kısaca şöyledir:

Sistem reset_rsm’in “0”a düşmesiyle 0. duruma, “1”e çıkmasıyla 1. duruma geçer ve Protokol Katmanı tarafından verinin gönderilmeye başlandığı bilgisini taşıyan tx_valid bayrağını bekler. Bu bayrak kalktığı anda 6. duruma geçer. Bu durum bir geçiş durumudur ve CTRL

bayrağı kaldırılır. Sonra 2. duruma geçerek $S0=1$ ve $S1=0$ yapılır. Bu, SYNC gönderme durumudur. Sync_control “0” olduğu sürece bu durumda kalarak SYNC gönderilme işleminin tamamlanmasını bekler. İşlem tamamlandığında ya tx_valid bayrağı “0” olmuştur ve sistem paketi sonlandırmaya gider ya da tx_valid bayrağı hala “1” dir ve durum makinası 3. duruma geçerek tx_data’yı göndermeye başlar. Göndeme işlemi tx_valid bayrağının “0”a düşmesiyle biter ama sistem 7. duruma geçerek 8 bit süresince yazmaçlardaki kalan bilgiyi de gönderir ve sonra 4. durum ve 5. duruma geçerek EOP gönderme işlemine başlar. EOP gönderme işleminin tamamlandığı eop_control bayrağının “1”e çıkmasıyla görülür ve sistem başlangıç konumu olan 1. duruma dönerek yeniden gönderme işleminin başlamasını bekler.

4.2.8.3 Bit Ekleyici Blok (Bit Stuff Block)

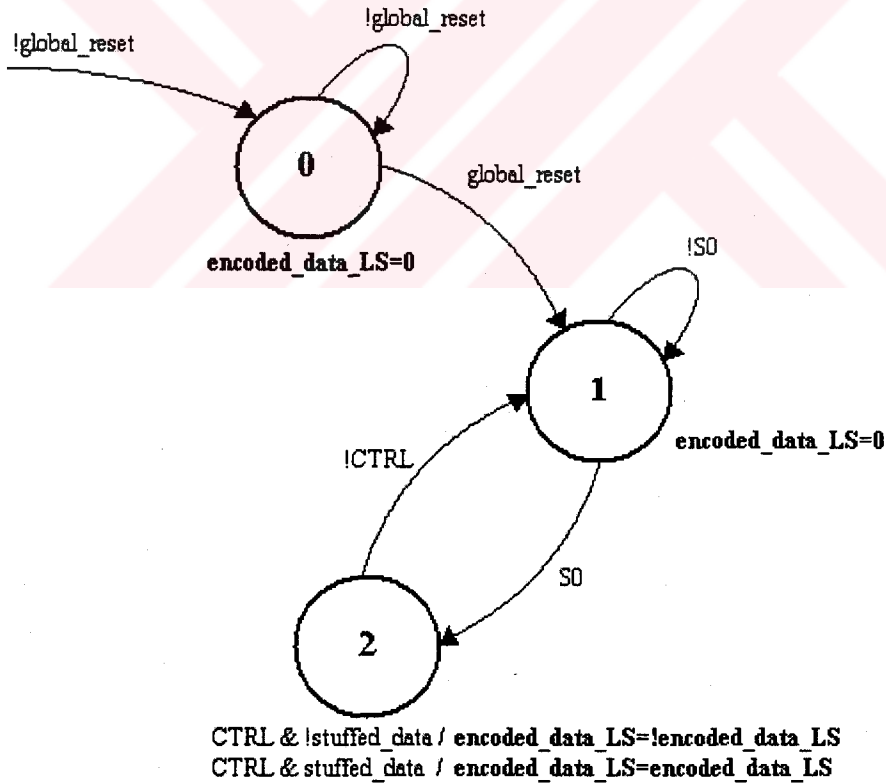


Şekil 4.42 Bit ekleyici durum makinası

Şekil 4.42’de Bit ekleyici durum makinası görülmektedir. Bu durum makinası 6 durumdan oluşmaktadır. Bit ekleme işlemi gereği hatta gönderilecek olan veri içinde arka arkaya 6 “1” gördüğü anda SBD “Stuffed Bit Detected” ve SBD_temp bayraklarını kaldırarak haber verir. Gönderici Durum Makinası ve Gönderici Arayüz bloklarında bu bayraklar kullanılır ve bit ekleme sırasında veri hatta yükleme işlemi durdurularak araya eklenen bit “0” eklenir. Durum makinasının çalışması kısaca şöyledir:

Global_reset’in “0” olması ile durum makinası 0. duruma geçer ve hatta gönderilecek veriyi “tx_data” kontrol etmeye başlar. Tx_data içinde her “1” gördüğünde bir durum atlar ve 5. durumdan sonra 6. “1”i gördüğünde bit eklenmesi için SBD ve SBD_temp bayraklarını kaldırır. Sonra 0. duruma geçerek yeniden tx_data’yı kontrol etmeye devam eder. 0. duruma geçtiği anda bayrakları indirir. Bayraklar sadece bir saat peryodu süreyle “1” konumunda dururlar ve bu anda bit eklenir.

4.2.8.4 NRZI Kodlayıcı Durum Makinası (NRZI Encoder State Machine)



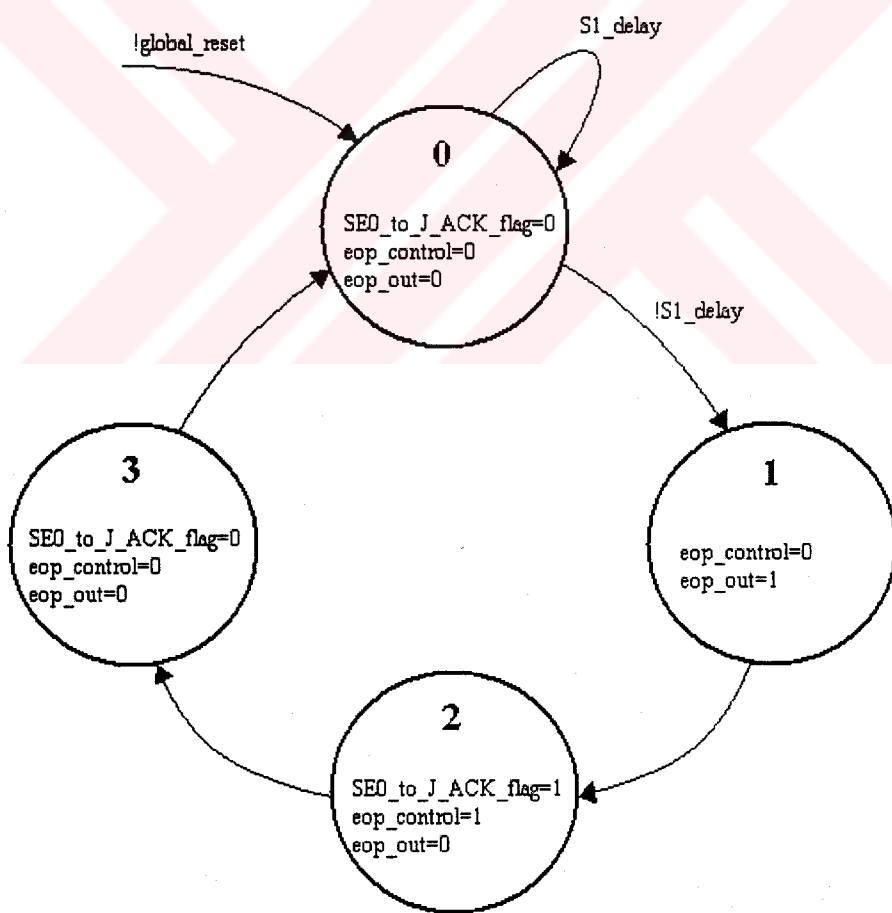
Şekil 4.43 NRZI kodlayıcı durum makinası

Şekil 4.43’te NRZI kodlayıcı durum makinası görülmektedir.

Bu durum makinası üç durumdan oluşmaktadır. `global_reset`'in "0" a düşmesiyle 0. duruma geçer ve `global_reset`'in "1" olması ile 1. duruma geçerek gönderici durum makinası tarafından kontrol edilen S0 bitini izler. S0 "1" e çıktığı anda yani hatta SYNC pateni gönderilmeye başlandığı anda durum makinası 2 duruma geçer ve CTRL "1" de kaldığı sürece yani veri hatta gönderilmeye devam edildiği sürece bu durumda kalarak veriyi NRZI kodlama işleminden geçirir. CTRL "0" a düştüğünde bu hatta veri gönderilme işlemi tamamlanmış demektir ve durum makinası 1. duruma geçerek yeniden gönderme işleminin başlamasını bekler.

2. durumda NRZI kodlama, `stuffed_data`'ya bakılarak yapılır. `Stuffed_data` "1" ise herhangi bir işlem yapılmayacak ve gelen bilgi, `encoded_data_LS` aynen çıkışa aktarılacaktır. `Stuffed_data` "0" ise gelen bilgiye NRZI kodlama yapılacaktır yani evriği alınacaktır.

4.2.8.5 EOP Üretici Durum Makinası (EOP Generating State Machine)



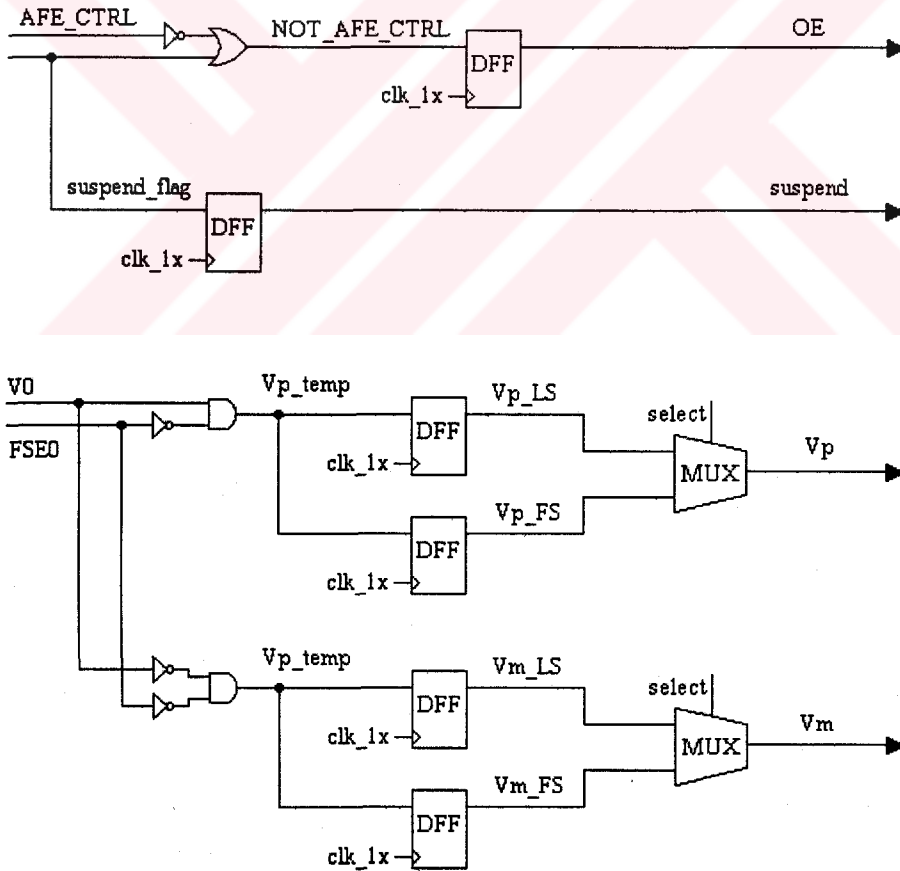
Şekil 4.44 EOP üretici durum makinası

Şekil 4.44'te EOP üretici durum makinası görülmektedir.

Bu durum makinasının görevi, USB standartlarında belirtildiği gibi paketlerin sonuna eklenmesi gereken EOP (End Of Packet) paternini zamanında paket sonuna eklemektir. Bu durum makinasının çalışması kısaca şöyledir:

Aktif düşük global_reset işareti ile sistem 0. duruma geçer ve S1_delay işaretinin “0” a düşmesini bekler. S1_delay işareti gönderici durum makinası tarafından kontrol edilen S1 işaretinin 1 saat peryodu geciktirilmiş halidir. Sistem 1. durumdan sonra koşulsuz olarak 2. duruma geçer ve eop_out “0” a çekilir. Böylece ilk EOP biti gönderilmiş olur. Ayrıca eop_control biti “1”e çekilir. Bu bayrak gönderici durum makinası tarafından EOP gönderilme işleminin durumunu bilmek için kontrol edilmektedir. Data sonra sistem yine koşulsuz olarak 3. duruma geçer ve EOP paterinin 2. bitini de gönderir. Sonra başlangıç durumuna döner ve yeniden EOP göndermek üzere paketin bittiği bilgisinin gelmesini bekler.

4.2.8.6 Fonksiyon Seçici Blok (Function Selection Block)



Şekil 4.45 Fonksiyon seçici blok iç yapısı

Fonksiyon seçici bloğunun görevi, Protokol Katmanından gönderilen ve Fiziksel Katman tarafından USB standartlarına uygun hale getirilen veriyi Vp ve Vm pinlerini kullanarak MIC 2550 AFE tümdevresine iletir. Böylece veri USB hattına gönderilmiş olur.

Ayrıca OE pinini kullanarak AFE’i alma ya da gönderme modunda çalıştırır. Normalde sistem alma modunda bekler. Her an USB hattından bir veri alacakmış gibi beklemede durur. Sunucu bir bilgi gönderirse ve Protokol Katmanından buna bir cevap gelirse, bu cevabı hatta göndermek için AFE’yi gönderme moduna geçirir ve veri gönderildikten sonra yeniden alma modunda beklemeye geçer.

Son olarak, sistemin Suspend moda geçtiği durumlarda suspend çıkışıyla AFE’nin SUS pinini tetikler ve AFE’yi suspend moda geçirir.



4.3 Alıcı ve Gönderici Blokları İçin Kullanılan Bayraklar

Çizelge 4.8 Alıcı ve gönderici bloklar için kullanılan bayraklar

Alıcı Blok	Gönderici Blok
Rx_Active Protokol Katmanına, USB hattından veri gelip gelmediğini haber verir. USB hattından veri geldiği sürece “1”, veri gelmediği zaman “0”da tutulur. • SYNC paterni algılandığında “1” • EOP paterni algılandığında “0”	Tx_Valid Protokol Katmanı tarafından kontrol edilir ve veri iletiminin başlangıç ile bitiş zamanlarını haber verir. • Veri iletimini başlatmak için “1” • Veri iletimini sonlandırmak için “0” Tx_valid “1” olduğunda hatta SYNC gönderilmeye, “0” olduğunda EOP gönderilmeye başlanır.
Rx_Valid Protokol Katmanına RX tutmalı yazmacın durumu ile ilgili bilgi verir. • Durum makinasına reset gelmesi ile “0” • USB hattından gelen verinin ilk baytı RX tutmalı yazmaca yüklendiğinde “1” • Yazmaçta veri olmaması durumunda “0” • Yazmaca veri yüklenince “1” • USB hattından gelen verinin son baytı da RX tutmalı yazmaçtan çekildikten sonra “0” Tutmalı yazmaç dolu olduğu sürece Rx_valid “1”de tutulur ve veri Protokol Katmanı tarafından yazmaçtan çekilir.	Tx_Ready Protokol Katmanına, TX tutmalı yazmacının durumu ile ilgili bilgi verir. • Durum makinasına Reset gelmesi ile “0” • Durum makinası, Protokol Katmanından gelen veriyi tutmalı yazmaca yüklemeye hazır olduğunda “1” TX_Ready “1” olduğu sürece, Protokol Katmanından gelen veri tutmalı yazmaca yüklenir. • Yazmacın dolması durumunda “0” • Yazmaç boşalınca tekrar “1” • USB hattına gönderilecek verinin son baytı tutmalı yazmaca yüklendiğinde “0”
Rx_Error Alma işlemi sırasında meydana gelebilecek bir hatayı ifade etmek için kullanılır. • Alma işlemi sırasında sorun meydana geldiğinde “1” • Bir sonraki duruma geçilir geçilmez “0”	AFE_CTRL Fiziksel Katman bloğunun, gönderme moduna ne zaman geçeceğini ve bu moddan ne zaman çıkacağını haber verir. • SYNC gönderilmeye başlandığında “1” • EOP gönderildikten sonra “0”

4.4 Fiziksel Katman Test Senaryoları

4.4.1 Verinin USB Hattından Doğru Alınıp Yazmaçlara Yazılma Senaryosu

AFE tarafından USB hattından alınan veri DPLL bloğa gönderilir. Veriye senkronlanan DPLL blok “clk” saat işareti ile a_sampled, b_sampled işaretlerini üretir. Clk saat işareti bütün Alıcı Bloкта kullanılır. a_sampled ve b_sampled örneklenmiş işaretleri ise Üst Kontrol Bloğuna gönderilir. Burada ilk olarak Kontrol Bloğundan geçerek veri hattı tek hata düşürülür “data”. NRZI Kodçözücüde NRZI kod çözme işleminden geçer, Bit Ayıklayıcı Bloğunda, veri içinde eklenmiş bit aranır. Eklenmiş bit yakalansa da yakalanmasa da Üst Kontrol Bloğu çıkışı destuffed_data hattıdır. Eklenmiş bit tespit edildiğinde DBD (Destuffed Bit Detect) bayrağı kaldırılır ve bu bayrağı gören RSM Bloğu o saat peryodu için veri yazma işlemini durdurarak eklenmiş biti yok eder. Alınan veri içindeki SYNC ve EOP algılanıp elenme işlemleri RSM Bloğu tarafından yapılır. Veri data_out ile bu blok çıkışına, Alıcı Arayüz girişine verilir “rx_reg_in”. Alıcı Arayüz bloğu aldığı her 8 bitlik veride clk_hold_r bayrağını kaldırarak verinin paralel olarak RX Kaydırmalı Yazmaçtan, RX Tutmalı Yazmaca yazılmasını sağlar. Bu durumda veri Rx_data_8 hattı üzerinde Protokol Katmanı tarafından alınmaya hazırdır.

4.4.2 Veri Alınması Sırasındaki Hata Durumu Senaryoları

Veri alma işlemi hatasız yapılıyorsa, veri alma işlemi sırasında Alıcı Durum Makinası 3. durumda olmalıdır. Sadece DBD bayrağını görüp bit ayıklama yapılacağı zaman 4. duruma geçer. Veri sonlandığı zaman ise 11 ve 5. durumlar üzerinden EOP_flag’i görerek 1. duruma geçer ve alma işlemini sonlandırır. Bu durumların dışındaki bir durumda bulunması hata olduğunu işaret eder.

4.4.2.1 EOP’lu Alma Hatası Durumu

Alıcı Durum Makinası içinde tanımlanmış olan “receive_error”, bit_stuff_error biti ile packet_length bitlerinin VEYA işleminden geçirilmesiyle elde edilir. Normal alma sırasında, yani 3. durumda, receive_error & !DBD algılanması ile, bit ayıklama işlemi sırasında, yani 4. durumda, receive_error & !SEO_flag algılanmasıyla hata durumlarına geçiş yapılır. RSM içinde hata durumu 6. durumdur. Bundan sonra sistem bit_stuff_error ile 9. duruma geçer ve EOP_flag algılandığında 10. durum üzerinden 1. duruma, yani bekleme durumuna, geri döner.

4.4.2.2 EOP'suz Alma Hatası Durumu

Alıcı Durum Makinası, hata durumu başlangıcı olan 6. durumdayken !bit_stuff_error & packet_length algılanmasıyla 7. duruma geçer ve bit_stuff_error ile 8. durum üzerinden 1. duruma geçiş yapılır.

Alıcı Durum makinası hata durumu olan 6. duruma geçtiği anda “rx_error” bayrağını kaldırarak durumu bildirir. Bundan sonraki diğer durumlarda da veri alma işleminin yapılmasını kontrol eden diğer bayraklar indirilerek alma işlemi sonlandırılır.

4.4.2.3 SYNC Algılama Hatası Durumu

SYNC paterninin algılanması SYNC_flag'in kalkmamasından anlaşılır. SYNC_flag'in hangi durumlarda kalkacağı SYNC Algılayıcı Blok bölümünde detaylıca anlatılmıştır. SYNC Algılayıcı Blok, SYNC paterninin tamamını beklemeden de SYNC_flag'i kaldırabilir. Eğer SYNC_flag kalkmıyorsa Üst Kontrol Bloğundan gelen data_sync hattı incelenmelidir ve girişe doğru (AFE) kontrol edilmelidir. Bunun dışında “select” ve “clk” da kontrol edilmelidir. SYNC'in algılanamaması durumunda Alıcı Durum Makinası 2. durumda kalır ve SYNC bekler. 3. duruma geçemez.

4.4.2.4 İlk “K” Alınamaması Durumu

İlk “K”, alma işleminde sisteme gelen ilk bittir (SYNC paterninin ilk biti). İlk bit gözlenemiyorsa Alıcı Durum Makinası 1. durumda kalır. Alma işlemi başlamadığı için rx_active bayrağı kaldırılmaz.

İlk bitin alınamaması durumunda veri hattı RSM bloktan başlanarak AFE'ye kadar incelenmelidir. Ayrıca sistemin çalışma hızı (LS-FS) kontrol edilmeli AFE'in hız ayarı doğru yapılmalıdır. AFE'in Alma modunda çalıştığından emin olunmalıdır. Sisteme dışarıdan uygulanan “select” kontrol edilmelidir.

4.4.2.5 NRZI Kodçözücü ve Bit Ayrıştırıcı Bloğun Çalışmaması Durumu

Bu iki blok “clk” işaretiyle çalışırlar. Sadece hattın SE0 ve SE1 geldiğinin algılandığı durumlarda çalışmazlar. Kontrol Bloğu tarafından üretilen control_NRZI ve control_BDS işaretleriyle bu iki özel durum olduğu zaman bloklar durdurulurlar. Bunun dışında sistemde “clk” olduğu sürece çalışmalıdırlar.

4.4.2.6 Saat İşaretlerinin Üretilmemesi Durumu

Sistemde tüm saat işaretleri “clk hariç” Saat Üretici Blok tarafından üretilmektedir. Üretilen saat işaretlerinden clk_1x ve clk_4x, suspend ve reset durumlarında çalışmazlar. Bu özel durumlarda çalışması istenilen bloklar için clk_1x_const ve clk_4x_const saat işaretleri üretilmektedir. Bu saat işaretlerinin üretilmeleri clk_4x_crystal ile olmaktadır. Dolayısıyla saat işaretlerinin üretilmemesi sisteme dışarıdan bağlanan kristalden işaret alınamamasından kaynaklanabilir.

4.4.2.7 Verinin Yazmaçlara Yüklenememesi Durumu

Eğer Rx_data_8 hattında, 8 bitlik veriyolu, veri okunamıyorsa clk_hold_r işaretinin üretilip üretilmediğine bakılmalıdır. Clk_hold_r ile veri RX Kaydırmalı Yazmaçtan Rx Tutmalı Yazmaca paralel olarak yüklenir. Rx Kaydırmalı Yazmacın çıkışı olan rx_shift_out'ta, 8 bitlik veri yolu kontrol edilmelidir. Son olarak verin kaydırmalı yazmacın girişine gelip gelmediği, rx_reg_in, kontrol edilmelidir.

4.4.3 Verinin Protokol Katmanından Alınıp USB Hattına Gönderilmesi Senaryosu

Veri Tx_data_8 veri yolundan Tx Tutmalı Yazmacına ve oradan da Rx Kaydırmalı Yazmaca yüklenerek tx_reg_out ile seriye çevrilir. Bu işaret Gönderici Blok içindeki SYNC Üretici Bloğa gelir. Gönderilecek verinin başına SYNC paterni ekleneceğinden Gönderici Durum Makinasının 2. durumunda S0 kaldırılır ve SYNC gönderilene dek 1'de tutulur. SYNC Üretici Blok çıkışı (tx_data), CTRL ve S0 ile kontrol edilen iki MUX ile üretilir. Böylece SYNC üretilip tx_data'ya bu bilgi verilirken, SYNC bittiğinde tx_reg_out çıkışa aktarılır. Gönderici Durum Makinasının 3. durumunda veri, tx_data_out ile Bit Ekleme Bloğuna gönderilir. Bit Ekleyici ve NRZI Kodlayıcıdan geçerek kodlanır. EOP Üretici Blok üzerinden Fonksiyon Seçici Bloğa gelir ve buradan da AFE'ye verilerek USB hattına gönderilir. EOP gönderme işlemi 5. durumda S1 in “1”e çekilmesiyle başlar ve eop_control görüldüğünde 1. duruma geçilerek gönderme işlemi tamamlanır.

4.4.4 Verinin Gönderilmesi Sırasındaki Hata Durumu Senaryoları

4.4.4.1 Verinin Yazmaçlardan Okunamaması Durumu

Protokol Katmanı, tx_valid bayrağını kaldırdığında bu, veri göndereceği anlamına gelir. Tx_valid'i gören Gönderici Durum Makinası CTRL'yi kaldırır ve 2. duruma geçerek SYNC

göndermeye başlar. Clk_shift_t için CTRL & clk_1x & (~ SBD) tanımlanmıştır. SBD (Stuffed Bit Detect) olmadığı ve CTRL bayrağı kalktığı durumlarda clk_shift_t, her clk_1x darbesiyle bir artar. Tx Tutma Saati Üretici, clk_shift_t işaretini kullanarak durum değiştirir. Tx_data_8, 8 bitlik bus olduğundan bu durum makinası 8 durumdan oluşmaktadır ve 7. durumdan 0. duruma geçerken de clk_hold_t'yi kaldırır böylece veri tutmalı yazmaca alınır. Kaydırmalı yazmaçta da yine SBD ve CTRL kontrol edilip clk_1x kullanılarak veri seri çekilir ve tx_reg_out ile çıkışına aktarılır.

4.4.4.2 SYNC Üretilmeme Durumu

SYNC üretilmiyor ise S0 işareti Gönderici Durum Makinası tarafından üretilmiyor olabilir. S0 2. durumda kaldırılır, bu durum SYNC gönderme durumudur. Bunun dışında saat işareti clk_1x'in de gelmemesi SYNC'nin üretilmemesine neden olur.

4.4.4.3 Bit Ekleyici ve NRZI Kodlayıcı Bloklarının Çalışmaması Durumu

Bu iki blok da clk_1x saat işareti ile çalışmaktadır. NRZI Kodlayıcı ayrıca Gönderici Durum Makinasından gelen S0 ve CTRL işaretlerini de kullanır. Bunların dışında bu iki bloğun çalışmaması durumu söz konusu olamaz.

4.4.4.4 EOP Üretilmeme Durumu

EOP Üretici Durum Makinası, Gönderici Durum Makinasından gelen S1 işareti ile çalışmaya başlar. Dolayısıyla EOP üretilmeme durumu sadece S1 bayrağının "1"e çekilememe yani Gönderici Durum Makinasının 5. duruma geçmemesiyle oluşur.

4.4.4.5 Veri Gönderme Yapılamama Durumu

Veri Fonksiyon Seçici Bloğa kadar gelip gönderilmiyor ise sistemin gönderme modunda olduğundan emin olunmalıdır. Gönderme moduna geçiş, Fonksiyon Seçici Blok tarafından OE bitinin "0"a indirilmesiyle gerçekleşir.

5. SONUÇLAR

Bu tezde, USB Arayüz Tasarımı projesinin iki alt bölümünden biri olan Fiziksel Katman Tasarımı sunulmuştur. Tasarlanan katman, arayüze bağlanan herhangi bir düşük hızlı standart USB aygıt ile uyumludur. Ayrıca tasarımda tam hızlı aygıtların da desteklenebilirliği sağlanmıştır.

Tasarım için Verilog HDL tanımlama dili kullanılmış ve oluşturulan kodlar Synopsys Design Analyzer programı ile sentezlenmiştir. Kod düzeyinde tasarlanan alt modüllerin, gecikmeler dikkate alınarak kapı düzeyinde eşdeğer devreleri elde edilmiştir. Sistemin doğruluğu Cadence DFII tasarım ortamının temel lojik simülatörü Verilog XL kullanılarak test modülleri ile sınanmıştır. Elde edilen simülasyon sonuçları ile USB 1.1 protokolünün gerektirdiği kriterlerin uyumlu olduğu gözlenmiştir. Son olarak, gerçek hayat testleri yapılmak üzere sentezlenen kodlar LV500 FPGA ortamına aktarılmış ve sisteme dışarıdan gerçek sinyaller uygulanmıştır. Sistemin uyumlu çalıştığı gözlenmiştir.

KAYNAKLAR

Designing A Robust USB Serial Interface Engine (SIE).pdf

Hyde J., (1999), USB Design by Example, Intel University Press, USA.

Kapanoğlu B., (2001), USB Cihaz Arayüzüne Ait Protokol Katmanı Tasarımı, YTÜ, İstanbul.

MIC2550.pdf

Thomas D.E., (1994), The Verilog Hardware Description Language, Kluwer Academic Publisher, USA.

Universal Serial Specification Revision 1.1, 23 Sept. 1998

USB Tasarım Grubu, (2001), USB Arayüzü Tasarımı Raporu1, ETA ASIC Tasarım Merkezi, 10.01.01, İstanbul.

USB Tasarım Grubu, (2001), USB Arayüzü Tasarımı Raporu2, ETA ASIC Tasarım Merkezi, 27.10.01, İstanbul.

USB 2.0 Transceiver Macrocell Interface (UTMI) Specification Version 1.03, 08.04.00.

INTERNET KAYNAKLARI

<http://www.micrel.com>

<http://www.usb.org>

İ.C. YÜKSEKÖĞRETİM KURULU
DOKÜMENTASYON MERKEZİ

ÖZGEÇMİŞ

Doğum tarihi	06.09.1975	
Doğum yeri	İzmir	
Lise	1991-1995	İzmir Çınarlı Anadolu Teknik Lisesi Elektronik Bölümü
Lisans	1995-1999	Yıldız Teknik Üniversitesi Elektrik-Elektronik Fak. Elektronik ve Haberleşme Mühendisliği Bölümü
Yüksek Lisans	1999-2002	Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve haberleşme Müh. Anabilim Dalı, Elektronik Programı
Çalıştığı kurumlar		
	1999-...	YTÜ Elektronik ve Haberleşme Müh. Bölümü, Elektronik Anabilimdalı Araştırma Görevlisi

